

## 제품생산비용과 관련된 PCB ARTWORK



윤종호  
(인팝 대표이사)

### 1. 글을 시작하며

최근 PCB설계기술의 기술 동향에선 고속 설계 디자인, 시뮬레이션 S/W로, 차세대 디자인, 경제성을 구현하고, 제품의 타임투마켓을 최소화 하기위한 조건은 고집적화에 따른 고속처리 기능, 스피드 증가에 따른 다양하고 정확한 시뮬레이션 검증 기능이다.

최근에는 집적도가 매우높은 BGA(BALL GRID ARRAY), CSPC(CHIP SIZED PACKAGE) 제품군의 보드클럭속도가 높아지면서 고속 디자인설계(HIGH SPEED DESIGN)을 필요로하고 있으며 신호통합(SIGNAL INTEGRITY)에 대한 관심이 매우 높아지고 있는 추세이다.

이러한 추세에 맞춰 PCB 설계들도 PC급에서 지원되는 고밀도 디자인용 소프트웨어가 속속 등장하고 사용되어 지고 있다.

최근 PC급의 PCB설계들이 워크스테이션급의 성능을 많이 갖추며 추격하고 있다.

고급기능으로 알려진 "RULE BASE DESIGN"과 같은 기능들이 PC급에서도 지원 되면서 그 성능면에서 차이가 줄어들고 있는 추세다.

특히 PC급의 설계들은 PC의 하드웨어 성능이 강화 되면서 워크스테이션에서 지원되는 기능들이 PC급들로 이식되고 있으며, 가격대비 기능이 뒤떨어지지 않는 면에서 중소 아트워

크업체 뿐만 아니라 전체 대기업에도 많은 도입과 사용이 이루어지고 있다.

그러나 대기업에선 고가인 워크스테이션급을 안정적이며 전사적 데이터를 요하기 때문에 많이 사용하고 있는 형편이다. 많은 PC급 PCB ARTWORK TOOL들이 각 사의 개성을 가지고 등장하게 되었으며 이러한 TOOL들 중엔 WORKSTATION급에서나 가능했던 기능들을 포함한 고급 제품들도 다 수가 있다. 현재 PCB ARTWORK TOOL에선 현재 가장 문제시 되는 기술적인 측면의 기능들이 강화되고 있는 상황이며 이러한 가운데 기업의 이윤과 관련된 생산성 향상을 위한 기능들도 많이 고려 되어 TOOL 개발에 반영되고 있다. 과거 수 작업의 작업지연성을 해결하기 위해 CAD를 이용하는 목적보다는 제품의 기획, 생산 단계의 기본인 원가 절감 차원에서 이러한 것들을 유용하게 활용을 해야 할 것이다. PCB ARTWORK에선 현재 많은 관심이 EMIC, EM 대책에 모아지고 있다. 그러나 PCB의 생산성을 효과적으로 상승시키지 않으면 경쟁회사에 기본적인 면에서부터 뒤쳐지게 될 것이다.

PCB 설계 작업자들에게 역시 생산성을 고려한 ART-WORK 작업이 이루어야 하기에 PCB 생산성과 제품 생산비용에 직접적으로 관련된 2 가지 사항을 간략하게 설명하겠다.

## 2. PCB의 층수 결정

PCB 원가결정의 가장 중요한 부분인 PCB층수는 제품의 기획단계에서 항상 최우선적으로 검토되어야 할 사항이다. 가격을 고려하여 저층의 PCB를 사용하여 생산을 하면 제품 자체의 오동작의 원인이 될 수 있기 때문이다. 그렇다고 무작정 층수가 많은 고다층 PCB를 고집한다면 제품원가가 상승으로 인하여 소수의 필요한 소비자에게만 판매가 가능할 것이다. PCB를 설계할 시에 고려되어야 할 우선 사항은 몇 층의 배선층과 전원 PLANE이 필요한가 하는 것이다.(생산 단가를 고려한 적절한 단계내에서)

PCB층 수는 기능, 사양, NOISE IMMUNITY와 신호 종류의 분리, PIN TO PIN NET 수(TRACE), IMPEDENCE 제어, 회로의 소자밀도, BUS의 배선등에 의해 결정된다.

STRIP LINE과 MICRO STRIP LINE형태의 적당한 사용은 PCB에 있어 무선주파(RF)를 억제하는데 필요하다. 금속으로 된 새시또는 도전성 PLASTIC CASE에 의존하는 것 보다는 PCB상에서 RF ENERGY를 억제하는 것이 조금 더 바람직한 방법이다. PCB배부에 매립된 PLANE (GROUND와 전원)의 사용은 COMMON MODE RF를 기판의 내부에 억제시키는 가장 중요한 방법의 하나이다. 다른 많은 설계법에 대한 이점은 이들 PLANE이 본질적으로 고주파 전원의 분배 IMPEDENCE를 감소시키는데 기여한다는 것이다.

그림 1에 두 가지 중요한 부분인 MICRO STRIP LINE과 STRIP LINE형태의 차이를 나타낸다.

① MICROSTRIP LINE은 유전성의 재료에 의해 고체의 PLANE으로부터 분리된 PCB상의 외층면 TRACE를 지칭한다.

MICROSTRIP기술은 PCB상에서 RF에너지의 억제를 제공하지만, STRIPLINE보다 고속의 CLOCK이나 논리신호를 가능하게 한다. 고속신호의 에지를 유연하게 하기 위해, CLOCK 신호에 콘덴서를 사용하는 경우가 있다. 두 고체

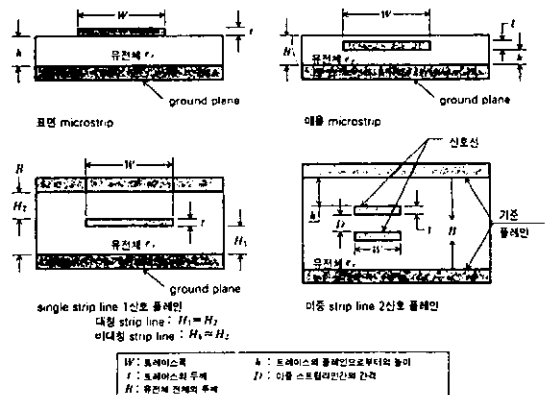


그림 1.

PLANE 간의 용량성 결합을 저감하게 되면 더욱 빠른 신호 전달이 된다. MICROSTRIP 의 결점은 만일 이 외부회로 PLANE의 양측에 보호판을 설치 하지 않으면 (TRACE의 상부와 하부의 양면에 차폐를 실시하지 않으면) PCB의 외층이 외부 환경에 RF 에너지를 방출하는 것이다.

② STRIPLINE은 두 고체 PLANE (GROUND또는 전원) 간에 회로 PLANE을 배치한 구성을 말한다. STRIPLINE은 RF 방사에 대해 보다 양호한 NOISE IMMUNITY를 제공하지만, 전달 속도가 훨씬 느리지는 결과를 초래한다.

회로(신호)PLANE이 고체 PLANE (GROUND또는 전원)간에 위치하기 때문에 두 PLANE간에 용량성 결합이 발생하여 고속신호의 상승속도를 느리게 한다. STRIP LINE형태의 용량성 결합 효과는 일반적으로 1ns보다 빠른 상승의 신호로 보인다. STRIPLINE을 사용하는 주된 이점은 내부 TRACE로부터 발생하는 RF 에너지의 완전한 차폐와, 그 결과 생기는 RF 방사의 억제이다.

여기서 주의할 점은, 방사는 어떤 종류의 소자에서나 발생할 수 있는 것이다. 내부의 신호 TRACE는 RF 에너지를 방출하는 경우는 없지만, 상호 접속 부분 상호접속 케이블, 릿프래임 소켓, 본딩 와이어 등)이 또한 문제를 제기한다. 시스템, 부품, TRACE의 IMPEDENCE 순으로 IMPEDENCE 부정합이 발생할 가능성이 항상 존재한다. 이 IMPEDENCE 부정합에 의해 RF 에너지가 내부 회로 TRACE로부터 다른 회로 또는 자유 공간에 결합되는 경우가 있을 수 있다. PCB의 외층면의 소자의 리드 인덕턴스를 최소화 하는 것이 방사 잡음 효과를 경감시키다.

여기서 언급하는 PCB 적층 할당법은 PCB 적층법의 선택 지침으로 제공되고 있다.

이 할당법은 고정된 것이 아니고 기능과 필요로 하는 배선층의 수에 따라 변경가능한 것이다. 다만 지켜야 하 것은 고체 PLANE (GROUND또는 전원)에 인접 시키지 않으면 안 된다는 것이다. (표1 참조)

여러가지 층의 기판이 있으나 여기선 주로 많이 우리 나라에서 많이 양산하고 있는 2 LAYER와 4 LAYER 에 대해서만 요약한다.

### 2.1 2층 기판

2 LAYER PCB에는 두 가지의 LAYOUT 방법이 있다. 첫째 방법은 DUAL-IN-LINE(DIP)로 구성된 재래의 기술(저속 소자)에 사용되는 일렬 또는 MATRIX구성으로 나열한 것이다.

현재 이 기법을 사용하는 엔지니어는 많지 않을 것이다. 현재에는 구성법2로 작업하는 경우가 많다.

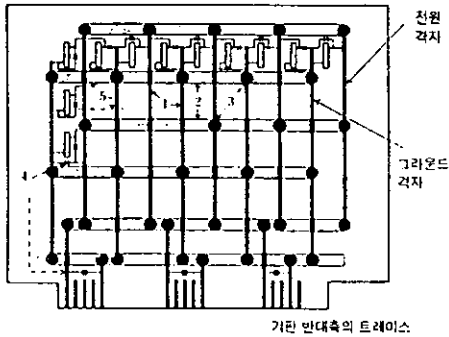
● 전원과 GROUND를 격자 형상으로 배치하고, 각 격자로 구성되는 루프면적이 1.5 제곱 INCH를 넘지 않도록 한다.

표 1.

층번호	1	2	3	4	5	6	7	8	9	10	기타
2층	S1(G)	S2(P)									저속설계
4층(2배선)	S1	G	P	S2							고신호 임피던스와 저전원 임피던스의 유지가 어렵다
6층(4배선)	S1	G	S2	S3	P	S4					저속설계, 전원부족, 고신호임피던스
6층(4배선)	S1	S2	G	P	S3	S4					중요 PATTERN은 S2 만
6층(3배선)	S1	G	S2	P	G	S3					저속신호는 S2-S3에
8층(6배선)	S1	S2	G	S3	S4	P	S5	S6			고속신호는 S2-S3에, 전원임피던스는 좋지않다.
8층(4배선)	S1	G	S2	G	P	S3	G	S4			EMC에 최적
10층(6배선)	S1	G	S2	S3	G	P	S4	S5	G	S6	EMC에 최적, S4는 전원 노이즈의 영향을 받는다.

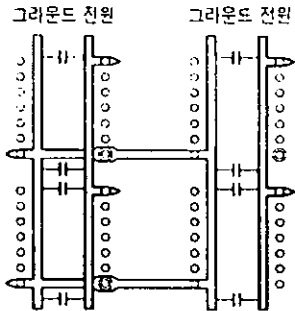
S : 신호배선층, P : 전원, G : GROUND

구성법(그림 2)



기판 반대쪽의 트레이스

1. 기판의 표면은 모두 서로 트레이스
2. 기판의 이면은 모두 수평 트레이스
3. 전원과 그라운드의 트레이스가 교차하는 점에서 스루홀 집중한다
4. 커넥터와 각 IC의 전원과 그라운드간에 decoupling condenser를 배치
5. 신호선은 수직 또는 수평의 패턴으로 한다



전원과 그라운드 격자의 확대도

그림 2. 전원 격자를 가지는 2층 PC기판

○ 전원과 회로의 PATTERN을 서로 90도의 각도로 배치 하고, 전원층을 하나의 층에, GROUND를 다른 남은층에 배치한다.

● GROUND PATTERN을 TOP면에 수직으로 배치한 경우, 전원 PATTERN은 BOTTOM면에 수평으로 배치한다.

○ 모든 CONNECTOR와 IC마다 전원과 GROUND 간에 DECOUPLING CONDENSER를 배치한다.

구성법2 (그림3)

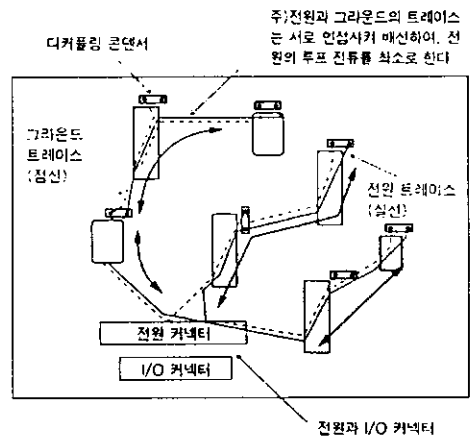


그림 3. 전원 배선과 신호 흐름의 이동이 방사상인 2층 PC 기판

이 구성법은 10KHz 미만의 저주파 ANALOG 설계에서 일반 적으로 사용되어 지고 있다.

● 모든 전원 PATTERN을 전원으로부터 모든 소자에 방사상으로 동일면을 통해 배선한다. 모든 PATTERN의 종합 배선 길이를 최소화 한다.

○ 모든 GROUND 와 전원의 PATTERN을 서로 인접(평행으로)하여 배선한다. 이것은 LOOP 전류를 최소화 하여, 고주파의 스위칭 잡음(소자의 내부에서 발생)에 의해 다른 회로와 제어 신호를 오염시키는 것을 최소화 한다. 이들 PATTERN이 개별 PATTERN의 폭보다 넓게 분리되는 것은 DECOUPLING CONDENSER와 접속하기 위한 것 뿐이다.

신호의 흐름은 이들 GROUND 경로와 평행으로 해야 한다.

● TREE가 다른 가지를 그 외의 가지와 접속하는 것을 피함으로써 전류 LOOP의 발생을 피한다.

그림 3을 살펴볼 때, 저주파의 기생적인 IMPEDENCE와 정전용량은 일반적으로 문제를 야기하지 않을 것으로 생각된다. 이 상태에 있어서 1점 GOUND접속이 권장된다. 다시 말하면 저주파 용도의 배치에 고주파의 성능을 도입하는 것이다.

그림 3에서 다음과 같은 점에 유의 하기 바란다.

● 고주파에서 응용하기 위해서는 모든 신호 PATTERN 과 그 RETURN PASS의 표면 IMPEDENCE(Z)를 제어한다.

○ 저주파의 용도로 사용될 때, IMPEDENCE라고 하기 보다는 오히려 형태의 LAYOUT을 제어한다.

2 LAYER PCB 상에서 부품이 그림 3에 나타낸 바와 같이 배치되는 이유를 그림 4에 나타낸다.

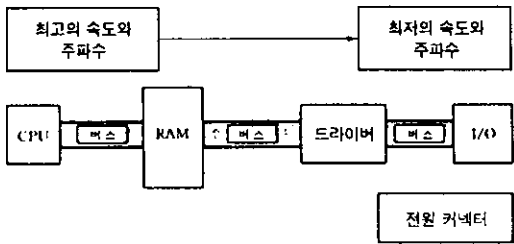


그림 4. 방사성의 이동

고대역폭(CPU)의 소자에서 저속도 소자 (I/O)로 그 방사상에 대한 이동을 나타내고 있다. 방사상 이동 (이 기법은 W.MICHAEL King에 의해 개발됨.)이 의미하는 것은 회로가 고대역에서 저대역폭 AREA 로 진행함에 따라 PATTERN에 의한 신호전달지연이 적어지고, I/O CONNECTOR 부분에서 EMI특성이 개선된다는 점이다.

이 신호전달지연의 저하가 발생하는 것은 소자가 내부용량과 신호지연을 가지기 때문이다.

각 소자가 신호의 상승시간  $t_r$ 을 느리게 한다. CPU 부분부터 I/O까지의 직렬접속회로에서, 이 지연은 집적 (FILTER

와같이) 되어 SYSTEM과 I/O 회로에서 고대역의 성분이 제거된다.

## 2.2 4층 기판

4층의 적층을 실행하는데는 한 가지 방법밖에 없다.

GROUND와 전원 PLANE의 사용이 2 LAYER PCB에 비해 EMI의 억제를 개선한다. 그러나 4 LAYER PCB는 회로나 PATTERN에 의해 형성되는 RF 전류의 지속 소거에 적합하지 않다. 그림 5는 이 적층을 자세히 도시한 것이다.

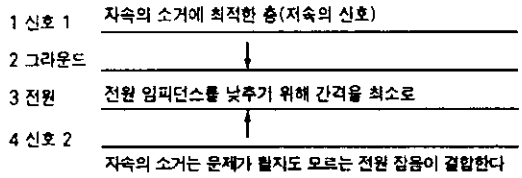


그림 5. 4층기판의 적층

- 1 LAYER (COMPONENT SIDE) : 신호와 CLOCK
- 2 LAYER : GROUND PLANE
- 3 LAYER : 전원 PLANE
- 4 LAYER (SOLDER SIDE) : 신호와 CLOCK

이하의 적층 할당에 대해, 3층 이상의 PLANE (즉 1 전원 과 2 GROUND PLANE)이 갖추어진 경우, 초고속 CLOCK PATTERN의 최적한 성능은 그들이 전원 PLANE에 인접하지 않고 GROUND PLANE에 인접하여 배선될 때 실현된다. 이것은 PCB내에 있어서 EMI 억압의 기초적인 기본 개념이다. 이것을 확실히 기억해 두지 않으면 안된다. 다층 PCB는 STRIP LINE 또는 MICROSTRIP LINE에 의한 신호 IMPEDENCE 제어가 관찰되므로, 우수한 신호품질과 EMC 성능을 제고한다. 전원과 GROUND의 PLANE배선 IMPEDENCE는 대폭 삭감되지 않으면 안된다. 이들 PLANE은 "논리의 교차", 순간적인 단락 및 폭넓은 버스를 가지는 신호상의 요량성 부하에 의해 야기되는 RF SPECTRUM 전류 SURGE를 포함한다. MICRO STRIP (또는 STRIP LINE)의 응용에 있어서 주요한 문제는 모든 전송 선로에서 인덕턴스를 최소화 하는 지속 소거에 대한 이해이다. 각종 논리 소자는 그 pull-up/pull-down 전류 비율이 거의 비대칭일수 있다. 이것은 지속 소거가 전원 PLANE 간이 아니라, 신호와 GROUND의 PLANE 간에서 강화되는 것을 의미한다. 이 상황에서, 전원 PLANE을 지속 소거 제어에 사용하는 것은 최적 조건을 나타내지 않으면 신호 지속의 위상 변화보다 큰 인덕턴스, 좋지 않은 IMPEDENCE제어와 NOISE 불안정을 수반한다.

최적의 신호 기준을 위한 PLANE으로 GROUND PALNE 이 바람직하다. 기판 LEVEL의 억압에 대한 기초적 개념은 PCB내의 PATTERN, 소자, 회로가 PLANE 에 관련되어 존재하는 RF 전류간의 자속소거에 있다. 전원 PLANE은 이 자속 위상의 어긋남으로 인해, GROUND PLANE 일 수록 자속 소거에 관하여 잘 기능하지 않는다. 즉, PATTERN이 전원 PLANE보다 GROUND PLANE에 인접하여 배선되었을 때 최선의 성능이 발휘된다. 이것은 자속 위상의 우위의 증거인 pull-up/pull-down비에 의해 증명된다

특히 ANALOG와 DIGITAL의 혼재회로는 다층기판이 기본이다.

다층 기판의 이점을 정리해보면 다음과 같다.

- 전원과 GROUND LAYER는 평판 PLANE이 되므로 SHIELD의 역할을 수행한다.
- 안정되고 낮은 전위의 IMPEDENCE 기준 전위를 얻을 수 있다.
- 도체 PATTERN이 안테나가 되어 외부에 전자 NOISE를 방사하는 것을 억제할 수 있으며 PCB 내부로 침입하는 것 또한 억제할 수 있다.
- GROUND면과 신호 PATTERN과의 간격이 좁아 신호선의 고주파 IMPEDENCE가 낮아진다.
- CROSSTALK를 감소 시킬 수 있다.
- 소자의 고밀도 실장이 가능하다.

위와 같이 PCB의 층수를 결정하는 것은 서로 상반된 면이 있다. 경제적인 측면에서는 양면 PCB가 장점을 다층 PCB 보다 많이 가지고 있지만 회로상 특성을 고려하면 많은 것이 낮은 편으로 PCB ARTWORK으로 극복하기엔 한계가 분명하다.

이러한 층수 결정은 상황에 따라 고려되어야 한다.

### 3. 자동 실장

자동실장과 P.C.B ARTWORK은 생산성과 직결되고 있다. 그러나 P.C.B ARTWORK에서는 공간 확보의 어려움이라는 이유로 많이 중요시 되고 있지 않는다. 올바른 자동삽입장치의 기계적인 이해와 원리를 알아야 한다.

- 자동 실장에 따른 생산성 향상을 위한 PCB 설계시 고려 사항.
  1. PCB외곽 SIZE에서의 THOUGH HOLE 및 부품 BODY 간격
  2. SOLDERING 방향을 고려한 부품의 LAYOUT
  3. THROUGH HOLE SIZE와 부품 LEAD 굵기의 관계
  4. PCB 두께 및 SIZE
  5. 자삽 POINT와 PATTERN과의 관계
  6. PCB ARRAY 및 자삽용 BAR
  7. GUIDE HOLE 및 SCREW 고정 HOLE 처리

8. VIA HOLE에 대한 밀집도, VIA HOLE SIZE 위치, SOLDER MASK 처리
9. GROUND PATTERN (연결 HOLE)에 대한 처리
10. 극성 부품의 배치 방향 일관성
11. 소자의 LEAD 굵기와 LEAD 폭
12. 넓은 동판부의 처리 관계  
부품형상별 배치위치 결정 (TOP OR BOTTOM)  
SMT 부품은 부품 특성상 부품면과 SOLDERING면에 배치할 수 있다. 부품면에 배치 할 시에는 SOLDER CREAMDP 의한 접합을 해야 하므로 별도의 공정이 필요하게 된다.

◎ : 배치가능 ○ : 필요에 의한 배치가능 X : 배치 불가

부품 TYPE	조 건	부품면 배치	SOLDER 면	비 고
1005 CHIP		◎	X	접착제 도포 불가
1608이상 CHIP	밀폐형	◎	◎	
	개방형	◎	X	
SOT (DIODE, TR, ETC)	높이 3mm 이상	◎	X	단면 PCB의 경우에만 SOLDER면에 배치
	미만	◎	X	
SOIC (SOT)	1.27mm PITCH 이상 미만	◎	X	단면 PCB의 경우에만 SOLDER면에 배치
		◎	X	
	20 PIN 이상 미만	◎	X	
QFP	0.65mm PITCH 이상 미만	◎	X	
		◎	X	
PLCC, LCC (J-LEAD etc.)		◎	X	
이형 부품	PLASTIC 재료	◎	X	
	CERAMIC 재료	◎	○	

\*\* 주의 : 소자 높이가 3mm 이상되는 SMT 소자는 SOLDERING 면에 배치할 수 없음/  
( WAVE SOLDERING 시 납 POT에 걸림 )

COMPONENT면과 SOLDERING면에 혼재하여, SMT 소자를 배치할 경우, COMPONENT면에 우선 배치하도록 한다.

SMT소자는 CHIP MOUNTING MACHINE의 특수성을 고려하여 PCB 외곽에서의 이격거리를 5mm 이상으로 한다.

#### PAD SIZE의 결정

1985년 IPC(Institute for Interconnecting and Packaging Electronic Circuit) 산하의 Surface-Mount Land pattern Task Group이 표면실장부품(SMC-Surface mount Component)을 실장하기 위한 산업표준을 마련하기 위하여 최초로 결정되었다.

당시에는 많은 기업들이 각자 회사의 제품들에 표면실장부품들을 적용하려 하였지만 경험과 자료가 부족한 현실이었다.

북미와 유럽에서는 이런 SMC형태의 소자들을 JEDEC (JOINT ELECTRONIC DEVICE Engineering Council)에 등록시킴으로써 외형과 기구에 대한 일반적인 표준을 마련하고 제한을 하게 되었다. 그러나 각 부품소자회사의 Package data를 보면 현재까지도 동일한 Pin 수와 동작기능이 일치함에도 불구하고 서로 다른 Package 형태를 가지고 있는 것을 볼수 있다. 다음에 언급하는 것은 오늘날 가장 범용적으로 사용되는 부품에 관한 것이다.

SMT 소자는 PAD SIZE/형상/위치에 대하여 SOLDERING 안정도의 95% 이상을 차지 할 정도로 매우 비중이 높아 PCB 설계시 주의 해야 한다. 이는 일반 소자들이 부품 PAD를 이용하여 어느정도 이격된 거리에서 SOLDERING이 이루어지는 반면, SMT소자들은 부품의 배치 밀집도 자체도 높고, 한 부품내에서의 PAD 간격도 상당히 좁아 SOLDERING시 많은 납 SHORT 및 미납현상을 유발한다.

또한 같은 SMT소자라도 SMT SOLDERING 공법 (FLOW, REFLOW)에 따라 SOLDERING 형태가 다르기 때문에 그에 알맞는 PAD를 별도로 구성하지 않으면 안 된다.

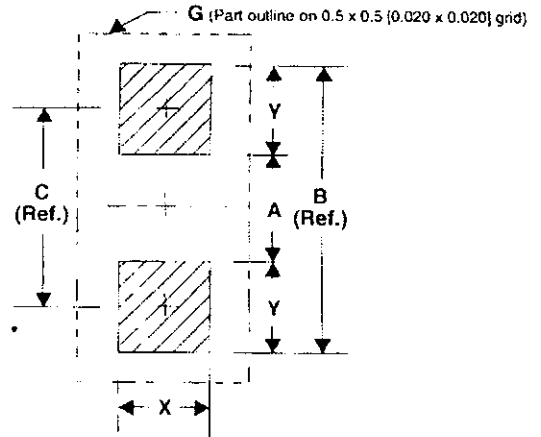
일반 소자들은 PCB상에 가공되어 있는 HOLE을 이용하여 삽입하기 때문에 어느 정도의 삽입 정도가 떨어져도 부품이 원하는 위치에 삽입되지만, SMT소자는 HOLE이 없는 PAD를 이용하기 때문에 SMT소자 장착 정도가 떨어지면, 많은 납 SHORT가 발생하므로, 장착에 대한 MARGIN을 또한 SMT PAD SIZE 결정시 고려하여 부품 LIBRARY를 구성하고 설계해야 한다.

아래 그림과 표에 현재 자동삽입업체에서 사용되어지고 있는 chip capacitor 와 resister의 flow용과 reflow용의 land size와 pin to pin 간격을 나타내었다.

● FLOW SOLDERING 용

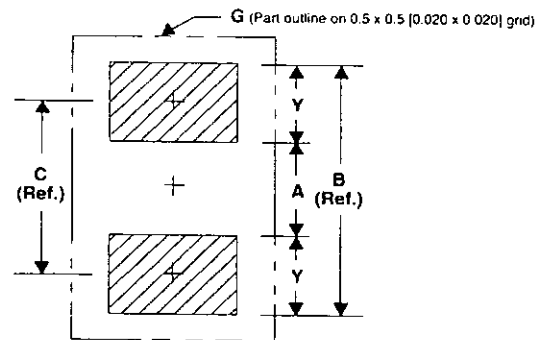
UNIT : mm

CHIP SIZE	PAD SIZE X BY Y	FOOTPRINT C
0805	0.30 X 0.60	0.90
1005	0.30 X 0.60	1.10
1206	0.40 X 0.64	1.34
1210	0.70 X 0.64	1.34
1505	0.30 X 0.64	1.60
1608	1.00 X 0.90	1.60
1805	0.30 X 0.64	1.90
1812	0.80 X 0.70	2.00
2125	1.80 X 0.70	2.40
3216	1.80 X 1.60	3.20
3226	2.80 X 1.60	3.20
5025	2.60 X 2.50	5.00
6315	3.20 X 3.00	6.00



● REFLOW SOLDERING 용

CHIP SIZE	PAD SIZE X BY Y	FOOTPRINT C
0805	0.56 X 0.60	0.90
1005	0.56 X 0.60	1.10
1206	0.64 X 0.64	1.34
1210	1.02 X 0.64	1.34
1505	0.56 X 0.64	1.60
1608	1.10 X 0.90	1.60
1805	0.56 X 0.64	1.90
1812	1.26 X 0.70	2.00
2125	2.60 X 0.70	2.40
3216	2.00 X 1.60	3.20
3226	2.80 X 1.60	3.20
5025	2.70 X 2.50	5.00
6315	3.40 X 3.00	6.00



ICT ( IN-CIRCUIT TEST )

ICT의 기본원리는 그림에서 표시한 것과 같이 다음과 같다.

ICT에서 부품의 측정은 부품의 한쪽 끝에 전류 또는 전압을 인가하고 다른 한쪽끝에서는 전류또는 전압을 측정함으로써 부품의 특성을 검사하는데 이때, 인가 전압 및 전류는 PROGRAM에서 지정하는 각 부품의 용량값에 맞게 장비에서 Computing Resistor를 지정하여 이를 비교기에 의해 비교분석 함으로써 지정한 허용공차의 범위내의 용량값에 대하여 양품과 불량품을 판정하게 된다. PCB BARE B/D TEST 에서의 사용은 PCB상에 존재하는 PATTERN(상하층 TRACE PATTERN과 내진원층과 GROUND PLANE)의 단락여부, SHORT여부등을 CHECK하여 부품을 조립하기 전의 PCB의 불량여부를 검사하며 부품이 장착된 PCB에서는 각 부품들의 정위치 삽입여부를 판단하는 기준으로 사용되어지고 있다.

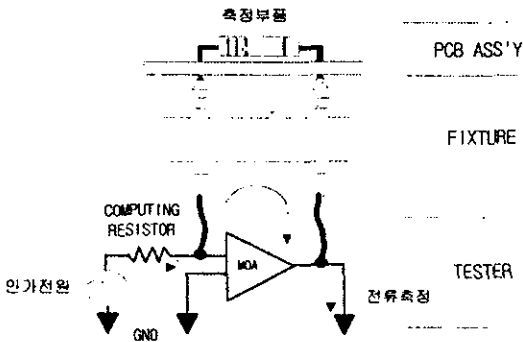
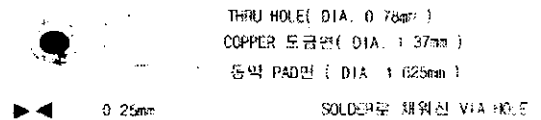


그림 8.

ICT를 위한 PCB DESIGN 방법을 알아보기로 하자

FIXTURE 제작이 가능한 PCB SIZE는 가로 340, 세로 220 mm 내에서만 가능하다고 한다. 물론 PCB를 여러개 ARRAY 했을 때에도 이 규격은 적용되어지며 ARRAY B/D의 GUIDE HOLE은 DAUGHTER PCB 내부에 2개소 이상 위치해야 하며 GUIDE HOLE의 구성은 각각의 개별 PCB 내에서 대각선에 반드시 위치하여야 한다. SINGLE PCB의 경우에는 GUIDE HOLE은 4개소로 구성하며 PCB 외곽에 10 mm 이내에 소자가 위치하고 있으면 자동삽입 장비의 기계적 성능상 부품을 삽입 할 수 없으므로 흔히 덧살이라고 하는 일정한 추가적인 자동삽입용 여분의 공간을 PCB 상에 만들어 V-Cutting 이나 HOLE을 일직선상에 가공하여 분리할 수 있게 한다. 이 때 4개소의 HOLE 가운데 일반적으로 좌측 하단에 위치한 HOLE은 張空 (일반적으로 가로 3.5 mm, 세로 5 mm)으로 형성된다. 이것은 SOLDERING MACHINE에서의 유격을 자르기 위해서 인 것이다. GUIDE HOLE은 SOLDER PAD면이 없어야 하며 허용공차는 일반적으로 DIA 0.1 mm (MAXIMUM)으로 한다.

TEST PAD는 일반적으로 JIG POINT라고 하며 어떤 제품의 시험용 MODEL 에서는 이 TEST PAD를 흔히들 초보 PCB ARTWORK 작업자들이 우선적으로 고려하지 않고 작업하는 부분이다. 그러나 모든 제품의 성능시험을 끝마치고 양산 단계에서 이 부분을 추가 삽입하려고 하면 기존에 ARTWORK 된 수많은 PATTERN 위치들이 변경되어 지금까지의 많은 TEST의 결과는 무용지물이 되어 일련의 시험 측정치들을 다시 얻어야만 되는 결과를 초래하기 때문에 PCB ARTWORK의 초기 단계에서 계획, 검토 되어 작업에 반영되는 것이 기본인 것이다. TEST PAD 혹은 TEST POINT는 소량의 기본 시험용 PCB에서도 유용하게 쓰이며 제품의 양산시에는 반드시 필요한 것이기에 PCB상에 존재하는 하나의 NODE에 하나의 TEST PAD를 가져야 하며 최소 DIA 1.625 mm 크기로 형성되어야 한다. (현재 PCB의 PATTERN 밀도가 높은 경우에는 VIA PAD를 TEST PAD로 사용하고 있으며 HOLE SOLDERING TYPE의 부품과 연결된 NODE에는 TEST PAD가 필요없음) THROUGH HOLE의 PAD 끝부분에서 SMD 부품의 PAD 끝부분의 간격은 최소 1.9 mm이며 그림과 같이 동박 PAD면과 COPPER 도금면의 간격은 최소 0.25 mm가 되어야 한다.



또한 회로도 작성시 TEST POINT를 SYMBOL로 작성하면 결과 추적에 용이하므로 가급적이면 회로도에 TEST PAD의 REFERENCE NAME를 부여하는 것이 바람직하다. TEST PAD사이의 이격거리는 PAD의 중심으로부터 최소 2.54 mm가 되어야 하며 자동 SOLDERING방향에서는 (일반적으로 수평 방향) 각각의 TEST PAD 사이의 이격거리는 최소 4.0 mm로 지정한다. 설명한 바와 같이 TEST PAD의 크기와 이격 거리만을 가지고 생각해 보아도 많은 공간이 추가적으로 형성되어야하므로 부품배치시나 PATTERN ROUTING 시 가급적 여유공간을 확보 해 두는 것이 좋다.

### 글을 마치며..

몇 글자 추가한다면 누군가 이런 글을 web-site에 올린 것일 본 적이 있다.

“나는 일류인가!!!” 하는 글이다. 좀더 구체적인 제목은 이러하다. 전자 CAD를 사용하는 PCB ARTWORK을 하는 사람으로써 나는 일류인가? 진정한 의미에서 일류가 되기 위해서 첫번째 스스로 자기의 능력과 실력을 냉정하게 성찰 해보고 스스로에게 질문을 던지자....

소위 캐드경력이 5년 이상이 넘어가게 되면 자기가 사용하고 있는 프로그램의 운용에 대해서는 숙달되어 더 이상의 자기정진에 소홀하게 되는 경우가 많다. 또한 현재 국내에서는 공식적인 PCB ARTWORK만을 위한 정규교육과정이 없으므로 더 이상 실력증진을 하고 싶어도 길이 거의 없는 안타까운 실정이다.

일부 학원에서 교육을 실시하고 있지만 실제 교육기간도 짧을 뿐더러 캐드 프로그램의 사용법에 치중할 수밖에 없는 실정이다. 국내에도 일본이나 미국 등에서 유학을 가서 공부한 정통파가 극소수 있는 걸로 알고 있지만 대부분 현역에 있거나 캐드와 무관한 일을 하고 있는 경우도 많다. 대기업에서도 과거에는 기업 내부에서 교육을 하고 인재를 양성했지만 이제는 여러 이유로 외주로 돌리고 있다. 국내에서는 PCB ARTWORKER가 별정직으로 사실 별로 대우받고 있지 못한 품목에서 정책을 수립하는 정책가들이나 경영진에서도 새로운 시각으로 생각해야 할 것이다. 실질적으로 PCB는 전자산업의 가장 기초 소재이자 자재로서 양산시에 적지 않은 원가 포지션을 차지하고 있고 기판 설계자는 실질적으로 회사에 큰 기여도 반대로 손해도 줄 수 있는 것이다. 과거와 달리 기판설계자에게는 갈수록 힘든 과제가 주어지고 있다 고속, 고밀도, 다층화, 소형화, 경박단소화, 단기간 설계라는 과제이고 여기서 과거 단면 양면 기판에서는 크게 문제되지 않았던 여러 문제들이 등장하게 되었고 과거와 같이 GND는 될 수록 넓게 하고 VIA를 줄이고 기판 사이즈를 줄이는 정도로는 해결하지 못하는 것이다. 위와 같이 PCB에 대한 요구가 복잡 다양화해짐에 따라 전자 캐드들도 발맞추어가는 추세이지만 아무리 도구가 좋아도 올바른 사용법과 전문지식이 없으면 빛좋은 개살구가 될 것이다.

이제 막 PCB ARTWORK에 입문한 사람이거나 현역에 종사하고 있는 사람들은 이제 아래와 같은 질문을 스스로에게 하자 그리고 스스로 채점하고 스스로 평가하기 바란다

여기서부터는 전자전공 무관한 공통 부분이다.

6. PCB 기판의 재질과, 종류, 용도에 대해서 정확히 알고 있다.
7. 항상 부품의 배치에 가장 신경을 쓰며 최적의 배치를 하려고 한다.
8. 전자 캐드 프로그램 뿐만 아니라 사용하는 컴퓨터에 대해서도 잘 알고 있으며 운영체제에 대해서도 잘 알고 있으며 활용하고 있다
9. HPGL, POSTSCRIPT, EPS, RASTER, VECTOR, GERBER가 무언지 알고 관련 유틸리티를 활용할 줄 안다.
10. 캐드를 사용하는 목적이 무언지 알고 있으며 실천하고 있다.
11. 전자부품에 관한 기초지식이 있고 SOLDERING 공법에 대해서도 알고 있다.
12. PCB 제조공정에 대해서 알고 있고 사용되는 용어도 알고 있다.
13. 각종 기구 부품에 대해서 알고 있고 주의 사항을 알고 있다.
14. PCB와 기구물의 결합관계, 교환 할 부품의 위치, 열에 대해서도 고려한다.

위에 열거한 정도를 거의 모두 알고 있고 구사할 수 있으면 당신은 일류라고 자부해도 무리가 없을 것이다. 만약 7개 이하라면 당신은 아직도 초보이다.

PCB PATTERN을 보기 좋고 가지런히 아름답게 연결하는 아티스트이자 캐드프로그램을 능숙하게 사용하는 기능인들 역시 양질의 자료 습득과 체계적인 교육을 통해 전문인으로써 거듭 양성되어 할 것이며 미래 전자와 정보 통신의 기본 부분 중의 하나인 PCB ARTWORK 분야는 국가적인 투자가 많이 되어야 할 것이다.

## 저 자 약 령

성명 : 윤 종 호

❖ 학 령

1985년 홍익공업대학 전자과 졸업

❖ 경 령

1990년 (주)에이드엔지니어링 PCB ARTWORK팀  
선임연구원

1994년 PCB ARTWORK 전문회사 인품 설립.(대표책임)

✉ E-mail: jhyoon@informcosmo.com

전자를 전공하거나 공부하지 아니한 분은 논의이다

1. PCB 패턴의 두께의 직류 저항과 임피던스 리액턴스 용량을 구할 수 있으며 이해하고 있다.
2. 전압, 전류, 임피던스, 노이즈 마진, 스루레이트, 타이밍 마진, 패턴 인덕턴스, 데시벨, S/N 비, 부유용량, 패턴 간의 용량 결합, 패턴의 지연시간, 고속펄스, 링킹, 언더슈트, 오버슈트, 전송라인, 분포 정수, 크로스 토크, TTL, CMOS, ECL 등등 의 각종 전자 용어에 대한 올바른 이해를 하고 있다.
3. 회로도를 정확히 볼 줄 알며 신호의 흐름을 알 수 있다.
4. EMI, EMC 에 대해 알고 있으며 어디서 주의 해야 할지 알고 있다.
5. 전면어스와 일점어스가 무언지 알고 있으며 구사할 수 있다.