구리반도체용 저유전재료의 신뢰성 평가

차 국 헌
(서울대 응용화학부)

주 상 현
(서울대 공학연구소)

주 영 창
(서울대 재료공학부)

1. 서 론

반도체 기술의 발전에 따라 고밀도의 집적도와 고속의 속도를 지닌 반도체 칩의 개발이 지금까지 앞다투어 이루어져 왔다. 그러나, RC time delay (R은 배선의 저항, C는 절연체의 전하용량)와 배선간 crosstalk의 증가로 말미암아 반도체 회사들은 기존의 알루미늄과 SiO_2를 사용한 반도체 재료를 저항이 낮은 구리와 저유전재료로 대체하는 결정을 내리지 않으면 안 되었다. 1998년 초 IBM이 알루미늄 대신 구리를 배선공정에 도입하기로 발표한 이래 Motorola, Fujitsu, Texas Instruments 등 세계적인 반도체 제조회사들이 구리칩 개발에 뛰어들었으며, Dow Chemical, Asahi Chemical 등 세계적인 화학회사들과 협력하여 구리와 저유전재료가 결합된 구리칩의 상용화를 위하여 막대한 비용을 들여 연구개발에 힘쓰고 있다. 올해 4월에는 세계에서 최초로 IBM이 구리와 저유전재료 중 하나인 SiLKTM (k=2.65, Dow Chemical)를 사용하여 반도체 제조에 성공하였으며 이에따라 관련회사들의 개발경쟁이 점점 치열해지고 있는 실정이다. 그러나, 저유전재료를 사용한 구리칩의 상용화를 위해서는 아직도 해결해야 할 문제들이 많으며 특히 저유전재료의 열적, 기계적, 전기적 특성과 관련된 신뢰성 평가는 대단히 중요하다. 현재 0.18 ㎛ 이하의 제조공정에 적합한 유전율은 2.5~2.9 정도이나 2003년 이후에 도입될 것으로 예상되는 0.13 ㎛, 0.10 ㎛ 선폭의 반도체 공정에는 2.0 이하의 초저유전재료(ultra low-k material)가 요구된다. 초저유전재료의 경우에는 박막 안에 도입된 나노미터 크기의 기공(k=1.0) 때문에 재료의 기계적, 전기적 물성과 관련된 신뢰성 평가의 중요성이 더욱 커질 것으로 보인다.

한편, 저유전재료의 신뢰성을 고려함에 있어서는 재료 자체의 신뢰성뿐 아니라 배선재료(구리나 알루미늄과 같은)를 동반하는 집적된 금속화공정 시스템 전체에서의 신뢰성까지도 고려해야만 한다. 사실 절연재료로서 기계적 강도가 취약한 저유전재료를 이용하는 경우는 배선의 신뢰성에도 큰 영향을 미치는 것이 잘 알려져 있다.

본고에서는, 구리반도체용 저유전재료의 신뢰성 평가와 관련하여 저유전박막의 기계적 물성의 평가와 박막의 접착특성과 파괴거동 평가에 대해 살펴보고, 저유전재료 절연막의 신뢰성 가운데에서도 배선의 신뢰성과 연관된 부분, 특히 배선의 일렉트로마이그레이션(electromigration)에 미치는 절연체의 영향과 절연막에서의 구리 확산 문제에 대해 논의하고자 한다.

2. 저유전재료의 기계적 물성

2.1 미소하중 압입방법(nanoindentation)

구리배선공정에는 구리의 에칭(etching)이 어려운 특성 때

문에 damascene 공정이 필수적이다. 특히 전기도금으로 구리배선을 도포한 후 거치는 평탄화 공정인 CMP(Chemical Mechanical Planarization) 공정에서는 단단한 패드와 실리카 슬러리의 기계적인 마찰과 화학적인 반응이 가해진다. 이와같은 가혹한 조건에서도 견딜 수 있도록 저유전재료는 우수한 기계적 물성을 지니고 있어야 한다. 실제 반도체공정에서는 저유전 절연박막의 취약한 기계적 물성을 보완해주기 위해 박막의 상부와 하부에 단단한 SiO_2 캡 레이어(cap layer)를 만들어 주지만 CMP 공정에서는 이 캡 레이어의 일부분도 손상을 받는다. 따라서 저유전재료 자체의 기계적 물성의 향상과 정확한 신뢰성 평가가 반드시 요구된다. 반도체 회로의 집적도 증가에 따라 회로의 다층구조가 필수적이므로 저유전재료는 박막의 다층적재에 따른 응력 증가와 반복적인 thermal cycle 공정을 거친다. 특히, 기판 및 이웃한 박막과의 열팽창계수 차이에 의한 열응력(thermal stress)의 증가는 반도체 제조 공정 중에 저유전재료에 균열 등의 손상을 가져올 수 있다. 일반적으로 저유전재료의 기계적 물성은 기존의 SiO_2에 비해 상당히 취약하며 이는 유전율을 낮추기 위하여 물질의 자유부피(free volume)를 증가시키면서 비롯된다. Fused silica의 경우 탄성계수 E=72 GPa, 경도 H=9.0 GPa이나, 저유전재료의 우수한 후보물질 중 하나로서 주목을 받고 있는 유기실리케이트인 methylsilsesquioxane (MSSQ)의 경우에는 E=2~3 GPa, H=0.7 GPa 정도이다. 언급된 MSSQ는 유전율이 낮고(k=2.8), 비교적 우수한 기계적 물성을 지니며, 열안정성이 뛰어나고, 회전코팅에 의해 박막을 쉽게 형성할 수 있는 장점과 함께 특히 나노미터 크기의 기공을 도입하여 유전율을 연속적으로 낮추어 초저유전재료를 만들 수 있는 특성이 유리하게 제시되고 있다.[1-3] 그러나, 아직도 반도체 공정에 도입하기에는 기계적 물성의 보완이 필요하다. 특히 초저유전재료의 경우 나노기공이 도입되면 박막의 기계적 물성이 저하되며, 기공의 크기나 분포에 따라 기계적 물성이 변하므로 이에 관련된 체계적이고 일관된 신뢰성 평가가 필요하다.

반도체에 사용되는 저유전재료는 1 ㎛ 이하의 두께를 가진 박막이므로 그 기계적 물성과 관련된 신뢰성 평가에 있어서는 미소하중 압입방법(nano- indentation)과 Vickers 미세압입기(microindenter)를 사용한 균열전파속도(crack propagation velocity) 측정을 사용한다. 미소하중 압입기(nanoindeter)는 미세한 하중으로 압자(indenter)를 눌러서 측정하고자 하는 박막의 변형정도를 측정하여 박막의 기계적 물성인 탄성계수 E와 경도 H를 측정한다. 주로 사용하는 압자로는 삼각뿔 모양의 Berkovich tip이 있으며, 실험에서 측정한 하중 P, 표면에서부터의 깊이 l, 측정시간 등에서부터 그림 1과 같은 하중의 load-unload 곡선을 얻고, 다음과 같은 식에 의해서 각각의 기계적 물성을 계산한다.

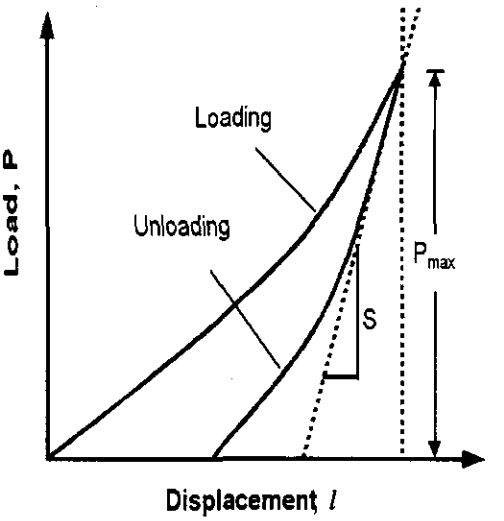

그림 1. 미소하중 압입방법에서 구한 load-unload 곡선의 개략도

$$E_r = \frac{1}{\beta}\frac{\sqrt{\pi}}{2}\frac{S}{\sqrt{A}} \tag{1}$$

$$\frac{1}{E_r} = \frac{1-\nu_i^2}{E_i} + \frac{1-\nu_{film}^2}{E} \tag{2}$$

$$H = \frac{P_{\max}}{A} \tag{3}$$

식(1)에서 E_r는 환산탄성계수, β는 압자형상 보정상수(Berkovich tip의 경우 1.034), S는 stiffness로 unloading 곡선의 기울기 dP/dl, A는 압자의 접촉투영면적이다. 구해진 E_r과 압자와 시편의 Poisson ratio인 ν_i와 ν_{film}, 압자의 탄성계수 E_i을 이용하여 식(2)에서 박막의 탄성계수 E를 구한다. 박막의 경도 H는 load-unload 곡선에서의 최대하중값인 Pmax와 접촉투영면적 A로부터 식(3)과 같이 계산한다. CSM(Continuous Stiffness Method)방법을 적용하면, 한 번의 압입시험으로 압입깊이에 따른 연속적인 탄성계수와 경도의 분포를 얻을 수 있으며, 필요에 따라서는 압입조건을 조절하여 CMP 공정에서 중요한 물성인 박막 표면 근처의 경도를 보다 정확히 측정할 수 있다. 그외 미소하중 압입과 관련하여 측정원리나 관련된 기술적 내용은 참고문헌에 자세히 기술되어있다.[5,6]

저유전재료인 유기실리케이트의 미소하중 압입방법에 의한 기계적물성 평가에 대한 실제 실험결과를 그림 2와 그림 3에 보였다.[7] 사용한 환산깊이는 박막의 두께를 기준으로 하였으며 그림 2에는 깊이에 따른 탄성계수와 그림 3에는 깊이에 따른 경도 곡선을 나타냈다. 사용한 유기실리케이트의 전구체(precursor)의 분자량이 증가함에 따라 기계적 물성들이 감소

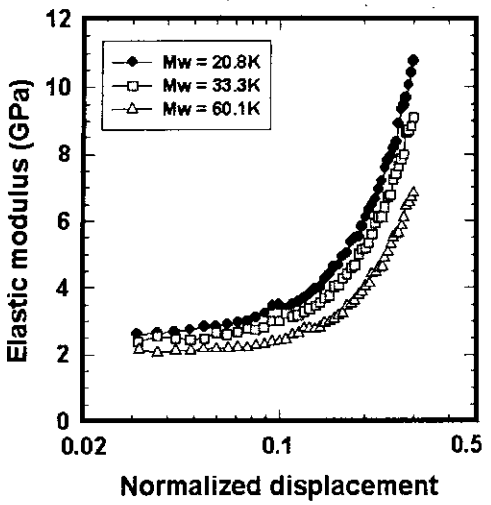

그림 2. 다양한 분자량의 전구체로 합성한 MSSQ 저유전박막의 깊이에 따른 탄성계수 곡선

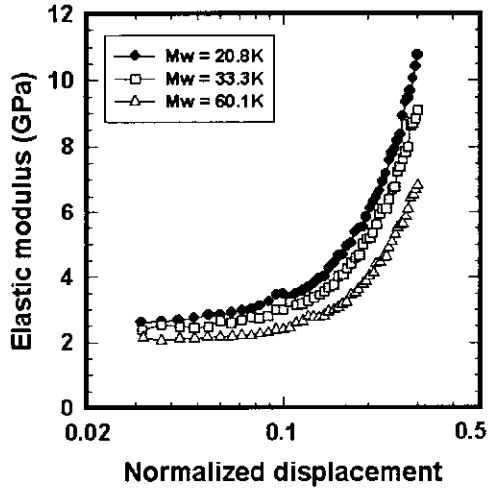

그림 3. 다양한 분자량의 전구체로 합성한 MSSQ 저유전박막의 깊이에 따른 경도 곡선

함을 알 수 있었으며, 각 곡선이 환산깊이 0.1 이후 증가하는 것은 박막 아래의 실리콘 기판의 영향 때문이다.

2.2 균열전파속도 측정

CMP 공정이나 열응력에 의한 균열의 발생여부는 해당 재료의 신뢰성에 대단히 중요한 요소이다. 일반적으로 재료의 인성(toughness)에 의해서 균열에 대한 저항성이 결정된다고 알려져 있으며, 균열전파속도 측정을 통해서 각 물질의 인성의 상대적인 비교와 함께 균열 발생에 대한 신뢰성을 평가할 수 있다.

균열전파속도를 실제로 측정하기 위해서는 동일한 조건에서 초기 균열을 박막에 도입해야 한다. 이를 위해서 일정한 하중을 줄 수 있는 미세압입기 (microindenter)를 사용하며 주로 사각뿔 모양의 Vickers tip을 이용한다. 균열의 전파속도는 크게 두가지 조건에 의해서 영향을 받는다.[4] 첫 번째는 박막과 기판의 열팽창계수 차이에 의한 응력의 존재이며, 두 번째는 실리케이트를 주로 구성하는 -Si-O-Si- 분자구조가 다음과 같은 반응을 거치면서 균열의 전파속도가 증가한다.

$$\text{-Si-O-Si-} + H_2O \rightarrow \text{-Si-OH} + \text{HO-Si-}$$

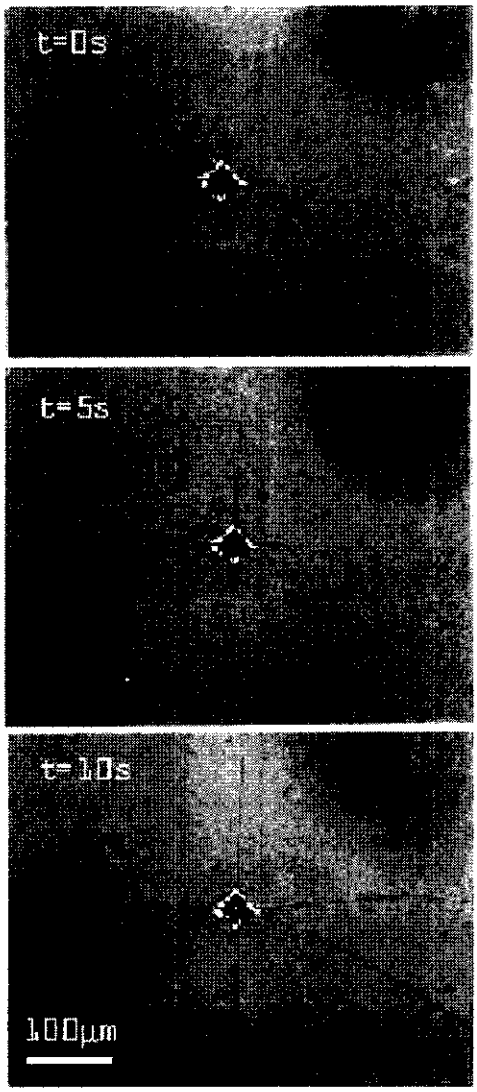

그림 4. HSSQ에 대한 균열의 개시와 전파의 광학현미경 사진[4]

특히 CMP 공정에서 저유전재료는 실리카 슬러리 수용액 내에서 높은 마찰력과 전단응력(shear stress)을 받으므로 균열이 쉽게 발생하며, 수용액에 의하여 균열의 전파가 촉진된다. 신뢰성 평가를 행할 때에도 이와 같은 조건을 고려하기 위해 균열을 발생시킨 후 물 속에서 균열의 전파속도를 측정한다. 대기 중이나 질소분위기 하에서 측정된 균열의 전파속도와 비교하면 상당히 큰 값을 나타낸다.[4] 그림 4에는 실제 균열을 발생시켜서 시간에 따라 균열이 전파되는 모습을 나타내었다. 사용한 저유전재료는 hydrosilsesquioxane(HSSQ)로서 균열전파를 물 속에서 진행시킨 결과이다. 반도체 공정에서의 저유전재료의 재료특성과 경화조건이 균열전파속도에 많은 영향을 미치는 것을 알 수 있으며 그 외에 박막의 두께도 많은 영향을 주는 것으로 알려져 있다.[4] 이와같은 균열의 발생과 성장이 진행되면 결국 박막내부나 박막과 박막 사이의 계면에서 파괴가 일어난다. 특히 계면에서 일어나는 파괴거동은 구리칩의 신뢰성에 중요한 요인이며, 다음의 계면접착성과 관련된 신뢰성평가에서 살펴본다.

3. m-ELT(modified Edge Lift-off Test) 방법을 이용한 저유전재료의 계면접착 신뢰성 평가

앞에서 언급한 CMP 공정은 저유전재료 내에 균열을 발생시키는 동시에 저유전재료와 접착되어 있는 캡 레이어(SiO_2)나 각종 방지막들(Ti, Ta, TiN, TaN 등)사이의 계면에 균열을 개시 및 성장시켜 결국 박리(delamination)이나 파괴(fracture) 거동을 일으킬 수 있다. 다양한 원인에 의해서 재료 내에 존재하는 공동(void), 마세균열(microcrack), 계면의 어긋남(dislocation) 등이 CMP 공정에서 가해지는 강력한 마찰력과 전단응력 때문에 파괴거동으로 전이된다. 단단한 다른 박막들에 비하여 저유전재료는 비교적 부드럽고 신축성이 있으며, 이 때문에 CMP 패드가 가하는 응력에 의해서 저유전박막의 계면에 균열과 파괴가 발생하는 원인이 된다. 또한, 저유전재료는 SiO_2에 비해 열전도성이 좋지 않기 때문에 CMP 패드에 의해서 발생하는 마찰열에 의해 국부적인 응력의 증가와 캡 레이어와의 접착손상이 촉진될 수 있다. 물론 반복적인 thermal cycle에 따른 구성재료들의 열팽창계수의 차이에 의한 열응력도 계면의 접착손상의 주요한 원인이 된다. 그러므로, 저유전재료의 계면접착력의 측정과 그 신뢰성 평가는 매우 중요하며 계면접착력을 향상시키는 것은 저유전재료의 중요한 연구과제이다.

구리칩에 사용될 저유전절연박막은 취성(brittleness)이 크고 두께가 얇으므로(< 1 ㎛), 계면접착성을 테스트하는데 있어 기존의 방법(peel test, blister test, scratch test 등)으로는 측정 상에 어려움이 많다. 특히 재료의 파괴거동과 관련한 특성들은 공정이나 환경조건들에 많이 영향을 받는다. 그러므로, 측정하고자 하는 시편을 실제 공정과 같은 조건으로 준비할 수

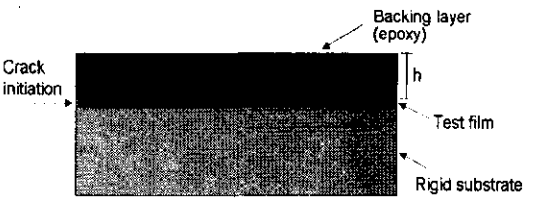

그림 5. m-ELT 방법을 이용한 저유전박막의 계면접착성 및 파괴인성에 대한 신뢰성 평가를 위한 개략도

있고, 취성이 큰 물질에 대해서도 재현성있는 평가를 할 수 있는 것이 m-ELT 방법의 장점이라 하겠다.[8,9] 실제로 반도체 공정의 후공정(back-end of line)에서 사용할 수 있는 회전코팅, CVD, PVD, etch, CMP 등의 공정들을 사용해서 제작한 다양한 시편에 이 방법을 사용할 수 있다. m-ELT 방법으로 저유전재료의 파괴인성(fracture toughness)를 측정하기 위해서는 저유전박막 상부에 덮개층(backing layer)을 올리고 온도를 -100 ℃ 이하로 낮추어 덮개층이 저유전박막에 계면파괴에 필요한 에너지를 가하도록 한다. 덮개층은 저유전재료와의 접착에너지가 크며 저유전박막보다 훨씬 두껍게(100 ㎛ 이상) 형성할 수 있는 에폭시 수지를 사용한다. m-ELT 측정을 위한 개략도를 그림 5에 나타냈다. 이와같이 준비된 시편의 온도를 낮추면서 파괴거동이 일어나는 온도를 확인하면 다음과 같은 식에 의해서 파괴인성을 구할 수 있다.

$$K_{IC} = \sigma_o \sqrt{\frac{h}{2}} \qquad (4)$$

여기서 K_{IC}는 파괴인성, σ_o는 덮개층의 잔류응력, h는 덮개층의 두께이다. 그러므로, 사용한 에폭시 수지의 온도에 따른 잔류응력(residual stress)과 계면파괴가 일어나는 온도에서의 덮개층 두께에 대한 정보만 있으면, 비교적 간단한 방법으로 저유전박막의 계면접착성 및 인성파괴에 대한 거동을 측정할 수 있다. 현재 m-ELT 방법은 SiLK™ 에 대한 신뢰성 평가를 위해 Dow Chemical과 SEMATECH에서 사용되는 것으로 알려져 있다.[9]

4. 구리이온 이동현상

전통적인 배선재료였던 알루미늄 대신 구리가 이용되기 시작하면서 새로운 문제로 대두된 것이 구리의 절연재료 내부로의 확산현상이다. 실제로 배선공정이 진행되는 450℃ 이하의 온도구간에서는 구리의 산화물내 열확산 문제가 무시할 수 있는 정도이지만, 구리 이온(Cu^+)의 경우에는 상온에 가까운 온도에서도 산화물 내로 쉽게 확산, 침투가 발생하는 것이 알려져 있다.[10~14]

절연체 내부로의 Cu^+ 이동현상은 신뢰성 문제와 밀접한 관계를 가지고 있다. ILD(InterLayer Dielectric) 내부로 침투한 Cu^+는 기생 트랜지스터의 문턱 전압을 변화시키고, 소자 절연성을 저하시킬 가능성도 있다. 즉, Cu^+의 침투는 결과적으로 ILD의 파손을 초래한다.[13] 또한, Cu^+의 침투가 실리콘 기판을 통해서까지도 계속적으로 진행된다면 높은 접합 누설전류(junction leakage current) 까지 발생한다.[14]

따라서, 이를 차단하기 위해서 구리공정에서는 Ta, TaN와 같은 확산방지막을 구리와 절연체 사이에 증착시키는 공정이 추가되는 것이 필수적이다. 특히, 전기장이 주어지는 통상의 반도체소자의 경우에는 산화물 내부로도 구리의 확산이 발생할 수 있기 때문에, 이에 대한 해결방안까지 고려하려면 확산방지막의 도입이 필수적이다. 하지만 이로인해 공정 자체가 복잡해질뿐 아니라 결과적으로 부가적인 단가상승의 문제 등 새로운 이슈들이 제기되고 있는 실정이다. 또한, 집적회로의 집적도가 증가하는 경우, 확산방지막이 차지하는 부피비를 일정하게 유지하여 배선의 비저항 증가를 억제하기 위해서는 확산방지막의 두께 역시 집적도 증가와 더불어 더욱 얇아져야 한다.[15] 따라서 완벽한 또는 이상적인 확산방지막으로서의 역할을 차세대 이상급의 집적회로에서 기대하는 것은 무리이다. 그러므로, 절연체에서의 구리확산에 대한 이해 및 평가기술의 확립을 바탕으로 확산을 최소화 내지는 어느정도까지는 억제할 수 있는 저유전절연박막의 개발이 중요하다.

4.1 구리이동현상의 전기적 측정기법

저유전체 절연막내로의 Cu^+ 확산 현상은 BTS(Bias-Temperature Stress) 기법을 이용하여 가속하는 방법이 널리 이용되고 있다. 실제 실험에서는 이러한 BTS 상태에서도 상당한 수준의 Cu^+ 확산 조건을 주기 위해, 단순한 평판 구리/절연체/실리콘 캐패시터로 시편을 구성하는 기법이 도입되고 있다(그림6). 이를 이용하면 저유전재료 내부의 Cu^+ 분포를 전기적으로 분석하는 것이 가능하다. 대개 구리 이온의 침투 정도를 검출하는 데 있어서는 C-V(Capacitance-Voltage) 분석법과 유전체의 TTF(Time-To-Failure)를 측정하는 것이 일반적이다.

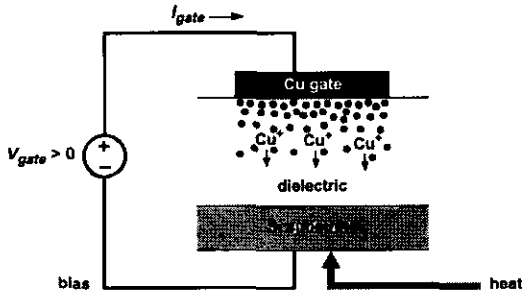

그림 6. 절연막으로의 구리이온의 침투를 가속시키기 위해서 구리/절연체/실리콘 캐패시터 시편에 Bias-temperature stressing을 가해준다.[16] 이 때, 인가하는 전압은 구리 쪽을 양극으로 형성시키는데, 이는 구리의 양전하 이동을 촉진한다.

4.2 C-V 분석법

통상적으로 MIS(Metal-Insulator-Semiconductor)에서의 유전전하량을 정량화하는 데에는 100kHz와 1MHz대의 대역에서 고주파수 C-V 측정법이 널리 이용되고 있다. 이때, 상온 C-V를 고려하면 BTS가 영향을 끼치는 물성은 크게 두 가지 정도로 볼 수 있다. 우선, 벌크재료로서의 유전물질 내부의 전하는 C-V 곡선 자체의 편이에 영향을 끼치게 되는데 이는 ΔV_{FB}(flatband voltage shift)로서 그 정도를 정량화하는 것이 가능하다. V_{FB}는 실리콘 기판 내부안에 일체의 잔류전하가 존재하지 않는 상태에서의 게이트 바이어스를 가리키며, 실리콘 표면에서 캐리어의 축적(accumulation)-고갈(depletion)이 발생함을 의미한다. 특히, Cu^+와 같은 양전하의 경우에는 실리콘 표면에 가상음전하(negative image charge)를 인가하기 때문에 V_{FB}를 더욱 더 음극쪽으로 편향시키는 효과가 있다. 따라서, 양전하가 절연체 안으로 더 많이 침투하여 들어올수록 V_{FB}는 더욱 더 음의 방향으로 이동하게 되고, 이러한 ΔV_{FB}의 크기를 통해 절연체 내로 침투한 전하의 양을 수식(5)와 같이 정량화할 수 있다(그림 7).[17]

$$\Delta V_{FB} = -\frac{1}{\varepsilon_{ox}} \int_0^{x_{ox}} x\rho(x)dx \qquad (5)$$

여기서 ε_0는 유전상수이고, $\rho(x)$는 $0 \le x \le x_{ox}$에서의 단위부피당 전하밀도이다.

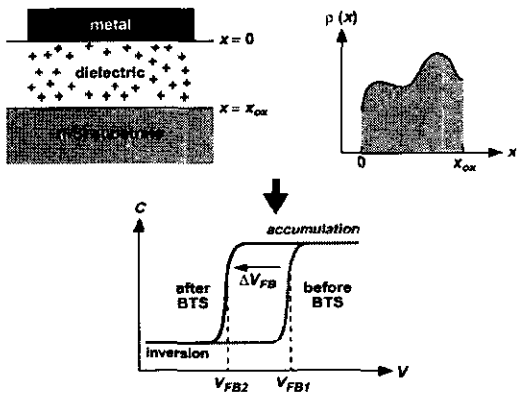

그림 7. 고주파수 C-V 거동에서 절연체에 트랩된 전하의 영향으로 ΔV_{FB}가 형성된다. 특히, 양전하의 트랩의 경우에는 가상음전하가 형성되어 음극쪽으로 이동하게 된다.[16]

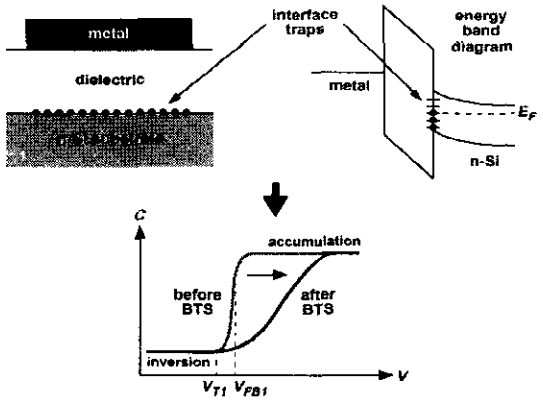

그림 8. 고주파수 C-V 거동에서 실리콘 계면에 있는 계면 전하 트랩으로 C-V 곡선이 퍼지는 현상이 나타난다. 이는 계면의 타입을 알 수 있는 정보로 작용한다.[16]

BTS가 유발하는 또다른 C-V 거동으로서는 C-V 곡선이 퍼지는 현상(spreadout)을 들 수 있다(그림8).[18] 이러한 역전과 축적 상태간의 점진적 전환은 대개가 강전장 하에서 기판 계면에 형성되는 전하 트래핑으로 인해 초래된다. n-타입의 실리콘 표면이 역전으로부터 축적 상태로 넘어갈 때, 고갈 상태의 벌크 실리콘 전하(exposed donor atoms)에 의해 다르게 균형잡는 게이트 전하(gate charge)는 표면 트래핑(interface traps)된 전하에 의해 평형을 유지하게 된다. 그러므로 추가적인 게이트 전하는 실리콘 표면에서의 페르미(Fermi) 에너지준위 E_F를 이동시키게 된다. C-V 퍼짐 현상은 BTS에 의해 형성되는 것이 아니라 공정 자체에서 자주 발생하는 실리콘 계면의 열화에 의해 발생한다. 그러므로, C-V 측정에서 V_{FB}와 V_T(turn-on voltage)는 계면에서의 트랩이 전자나 공동에 작용하느냐의 여부와 계면의 타입에 의해 좌우된다.[19]

4.3 유전박막의 TTF(Time-To-Failure) 측정기법

Cu^+의 이동을 정량적으로 파악할 수 있는 다른 방법으로는 TDDB(Time-Dependent Dielectric Breakdown)이 있다.[20] TDDB는 절연막이 절연성을 상실할 때까지 절연막에 강전장을 계속 가해줌으로써 소요파괴시간을 산출하는 방법을 지칭한다. 이때 강전장하에서는 Fowler-Nordheim 터널링에 의해 전하가 절연막을 통하여 이동하는 것이 가능하게 된다. 그리고, 이동된 전하는 유전네트웍을 거쳐 산개하면서 국부손상영역을 발생시킨다. 이러한 원리에 의해 형성된 국부손상영역은 유전벌크재료와 유전계면에 존재하는 전하를 트래핑하는 파손결합으로서 작용하게 되는데, 이로인해 전하가 절연막 안에 축적되면서 손상영역의 발생을 더욱 가속, 전기장 강화영역을 형성한다.[21] 결국, 이러한 전하 증가치가 임계값(critical charge-to-breakdown, Q_{bd})에 도달하면 절연파괴(breakdown)가 발생하게 된다.

4.4 구리이동의 동력학

BTS 상태의 구리 캐패시터 구조에서 I_{gate}-V_{gate} 특성과 Igate-t 양상을 측정함으로써 Cu^+ 이동의 동력학을 이해하는 것이 가능하다. 이는 두가지 측면에서 통상의 C-V 양상과 비교되는 점이 있다. 첫번째로, $\triangle V_{FB}$와 I_{gate} 간에 높은 상관관계가 있다. 특히, Cu^+의 침투량은 I_{gate}와 관계가 있는 것으로 볼 수 있다. 두번째로, 일정 V_{gate}가 가해지는 상태에서 시간에 따른 I_{gate}의 감소는 절연막으로의 Cu^+ 침투를 결정짓는 전기장이 시간에 따라 감소함을 의미한다. 따라서, 이러한 관찰 양상들로부터 Cu^+ 이동의 동력학을 물리적 모델로서 예측할 수 있다.

5. 배선의 일렉트로마이그레이션

기존의 SiO_2에 대해 저유전재료의 갖는 가장 큰 차이 가운데 하나로서 취약한 기계적 강도를 들 수 있다. 이러한 강도차는 결과적으로 상당수준의 응력차를 발생시킬 것임을 예상하는 것이 가능하다. 실제로 이러한 응력차가 존재할 경우에는 배선의 일렉트로마이그레이션에 큰 영향을 끼친다. 따라서, 저유전재료의 특성과 관련하여 응력이 일렉트로마이그레이션에 미치는 영향에 대해서 살펴본다.

5.1 일렉트로마이그레이션

일렉트로마이그레이션은 대전류밀도의 반도체 배선내에서 대량의 전자 흐름이 유발하는 운동량 전달에 의해 배선을 구성하는 원자들이 전자의 흐름방향 또는 전류의 반대방향으로 이동하는 현상을 가리킨다.[22] 물론 원자의 질량이 전자의 수천배에 달하는 만큼, 단순히 전자의 충돌이 고체내의 정지상태 원자를 이동시키는 것은 아니며, 실제로는 고체내의 열에너지로 인해 항상 임의방향의 운동을 계속하고 있는 원자에 전자의 충돌이 방향성을 가하게 된다.

다른 구동력을 배제한다면, 일렉트로마이그레이션으로 인한 유속 J 는 Nernst-Einstein 식

$$J = \frac{DFC}{kT} = \frac{DC}{kT} z^* e \rho j \qquad (6)$$

으로 표현되어질 수 있다.[23] 여기서 F는 운동량전달로 인한 구동력, z^*는 유효전하(전자)가이며, 다른 문자들은 통상적인 의미를 갖는다. 하지만, 실제로 배선의 신뢰성을 악화시키는 요인은 원자의 유속(flux)이 아니라 유속차(flux divergence)에 있다.[22-24] 즉, 배선의 특정 지점에서 유속차가 발생하게 되면 그 지점에서의 단위시간당 원자유출량과 유입량의 수지균형이 붕

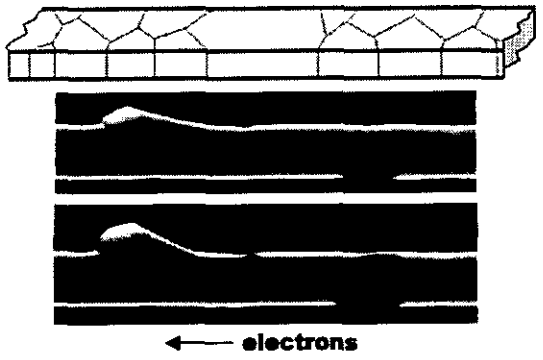

그림 9. 일렉트로마이그레이션이 일어난 알루미늄 배선의 전형. 사진에서 왼편에 불룩 튀어나온 부분이 여분의 원자유속에 의한 hillock이고, 오른편의 어두운 부분이 공동(void)에 해당한다. 이때 hillock과 공동의 부피가 대략적으로 유사함에 유의. 시간이 진행됨에 따라 또 다른 공동이 나타나는 것도 눈에 띈다.

괴되는데, 유출량이 유입량보다 많으면 잉여분의 원자가 축적됨으로써 hillock이 발생하거나, 반대의 경우 공동(void)이 발생하면서 배선의 파손을 초래하게 된다. 일렉트로마이그레이션으로 인한 hillock과 공동의 전형은 그림 9에서 보인다.

그러나, 식 (6)은 매우 이상적인 단일립에서만 적용할 수 있는 한계가 있어서, 실제적인 일렉트로마이그레이션의 정량적인 평가에 있어서는 거의 이용되지 않으며 대신 TTF와 같은 통계학적인 수식이 통용되는 것이 보통이다.[22,23] 가장 일반적인 파라미터로는 MTTF (Median- Time-To-Failure)가 이용되는데, t_{50} 와 같은 의미를 갖는 MTTF는 충분히 많은 수의 동일 소자 가운데 50%가 파손되는 데 소요되는(전체파손시간의 산술평균이 아니다) 시간을 지칭하는 용어이다. 파손의 발생을 통계학적으로 해석하는 또다른 파라미터로서는 파손소요시간의 표준편차가 중요하다.

$$\sigma = \ln \frac{t_{50}}{t_{16}} \tag{17}$$

여기서 t_{16}은 전체의 16%가 파손되는 데 소요되는 시간이다. 특히 실용적인 의미에서 σ는 Arrhenius 온도의존성에서의 활성화 에너지만큼이나 중요한데 이는 단순히 파손소요시간의 지수정상(lognormal) 분포곡선에서 기울기와 절편값으로부터 σ와 t_{50}을 얻을 수 있기 때문이다. 활성화 에너지와 관련해서는 아래에서 다루어져 있다.

5.2 배선내의 응력이 일렉트로마이그레이션에 미치는 영향

식 (6)은 초기 일렉트로마이그레이션 연구에서 가장 주목할 만한 성과이지만, 실제로 측정되는 일렉트로마이그레이션로 인한 파손소요시간(TTF)은 전류밀도 j에 반비례하지 않고 j^{-2}에 비례한다. 그 관계를 기술하는 데 있어서는 유명한 Black의 식[25]

$$t_{50} = Aj^{-n} \exp(\frac{E_a}{kT}) \tag{8}$$

에서 n=2으로 상정하는 것이 가장 널리 받아들여지고 있으며 모델링으로도 정량적인 증명이 유도된 바 있는데[26], 이를 설명하기 위해서 유속차로 인한 응력구배(stress gradient)의 개념이 도입되었다.[27,28] 이것은, 원자의 이동을 확산에 의한 것으로 간주하고, 다시 원자의 확산을 반대방향으로의 공동(void)의 확산으로 가정한다. 고체 내의 공동은 온도의존성을 갖는 평형 농도가 존재하는데, 배선의 특정 지점에서 유속차가 발생하게 되면 바로 해당 부분의 공동농도가 변화하여 공동의 과포화(supersaturated) 혹은 불포화(undersaturated) 상태를 유발시킨다. 이때, 평형 농도에서 일탈한 공동들은 그대로의 조성 상태를 유지할 수 없는 경우, 고체중에 존재하는 입계(grain boundary)나 전위 같은 공동의 sink/source 등에 의하여 평형 조성으로 되돌아가며, 그 과정에서 해당 부위의 고체에 스트레스가 발생한다. 1차원의 배선구조를 가정하면 이 관계는 식 (5)에 응력구배로 인한 구동력을 추가한

$$J = DC(z^* e\rho \frac{j}{kT} - \Omega \frac{\partial \sigma}{\partial x}) \tag{9}$$

으로 정리되어질 수 있다. 여기서 Ω는 원자부피에 상당하며 다른 문자는 통상적인 의미를 갖는다. 응력구배의 개념은 일렉트로마이그레이션 연구에서 역사적으로 중요한 의미를 지니지만, 단일조성의 순물질이 아닌 합금재료인 경우에는 여기에 추가적으로 화학포텐셜에 의한 영향까지도 고려해 주는 것이 바람직하다.

위에서 기술한 배선에서의 유속차와, 그로 인한 응력(구배)을 유발시키는 지점으로서는 입계삼중점(grain boundary *triple point*)을 대표적인 것으로 지목했으나, 이밖에도 미세구조의 불균일점, 선폭변화점 등이 영향을 미치는 것으로 알려져 있다.[29] 그러나, 실제로 사용되는 배선구조는 상기의 문제점이 전혀 없는 균일한 구조라고 하더라도 소자와 배선간의 직접연결부위인 via의 존재로 인해 via 말단부에서의 응력발생이 불가피하다. 이것은, 배선재료가 알루미늄이든 구리이든 간에, 여러 가지 목적으로 via에 W, Ta, TiN 등의 이종물질이 삽입되는데, 이러한 물질들에서는 원자들이 확산하기가 대단히 까다롭기 때문에, 상당한 규모의 유속차가 반드시 수반되기 때문이다. 이로 인한 응력은 역유속력(back-flux force)라고도 한다.[30] 배선의 임의의 위치에서 역유속력이 발생하면, 시간이 경과함에 따라 그 영향력이 배선 전체로 확대되면

서 결국 순수 일렉트로마이그레이션 구동력과 평형을 이룸으로써 전체구동력이 0이 되는

$$ez^*\rho j = \frac{\Delta\sigma\Omega}{L} \tag{10}$$

시점까지 진행된다. 여기서 L 은 해당구간의 배선의 길이에 해당된다. 이때의 응력 σ 를, 배선이 견딜 수 있는 임계응력으로 상정하고, 이 값에 도달하게 되면, 배선이 파손된다고 보는 것이 임계응력모델이다. 그러므로 식 (10)으로부터, 임계응력으로 인한 배선의 파손을 방지할 수 있는 배선의 최대길이 또는 임계배선길이 L_{cr}을 생각할 수 있으며, 실제로는 전류밀도와 연관지음으로써

$$(jL)_{cr} = \frac{\Delta\sigma\Omega}{ez^*\rho} \tag{11}$$

로 통용되는 것이 일반적이다. 이러한 연관성은 주어진 전류밀도 하에서 임계배선길이 이하의 길이로 배선을 제조할 경우 배선의 파손으로 인한 신뢰성을 재고할 수 있다는 점에서 실용적으로 중요하며 이론적 연구 이전에 이미 실험적으로 알려진 중요한 파라미터 가운데 하나이다.[31]

5.3 저유전재료에 인한 응력변화 양상

일반적으로 위의 알루미늄에서의 일렉트로마이그레이션과 관련된 응력해석은 구리배선에 그대로 적용하는 것이 불가능한데 이것은 잘 알려진 바와 같이 구리가 입계구조와는 무관하게 구리-절연막(passivation)간의 계면을 따라 확산하는 때문이다.[32] 더욱이 저유전재료는 통상적으로 고분자계의 재료가 이용되며, 따라서 기존의 SiO_2보다 기계적 물성적인 측면에서 탄성계수 E 값이 작거나 또는 훨씬 '무르다'.[33] 대표적인 ILD(Inter-Layer Dielectric)로는 FLARE(fluorinated polyarlene ether), SiLK™ 등이 있는데, 실제로 이들 모두가 SiO_2보다 거의 차수가 하나이상 떨어지는 정도로 낮은 탄성계수 특성을 갖는 것이 알려져 있다.

이러한 탄성계수 특성의 변화가 저유전재료 집적공정에서 실제로 배선구조에 미치는 영향을 살펴보는데 있어서는 탄성계수 정력학적(hydrostatic) 응력을 가정한 배선에서의 일렉트로마이그레이션 응력의 시간구배로서 제안된[27]

$$\frac{\partial\sigma}{\partial t} = \frac{\partial}{\partial x}[\frac{DB\Omega}{\kappa T}(\frac{\partial\sigma}{\partial x} + \frac{\varepsilon q^*}{\Omega})] \tag{12}$$

식이 매우 유용하다. 여기서 Ω 는 원자당 부피이며 다른 문자들은 통상의 의미를 갖는다. 식 (12)에서 탄성계수는 실제값이 아닌 유효탄성계수 B로서 적용되어 있는데 이는 단위부피당 유효격자지점의 개수의 구배인 dC와 정력학적 응력의 구배 $d\sigma$ 의 연관성을 정량화한 지표로서의 의미를 갖는다. 즉,

$$\frac{dC}{C} = -\frac{d\sigma}{B} \tag{13}$$

이다.[34] 그러나 저유전재료의 낮은 탄성계수가 배선에 미치는 기계적 물성의 변화를 컴퓨터 시뮬레이션으로 연구한 Hau-Riege 등에 따르면, 응력의 시간구배나 공동성장의 속도가 탄성계수에 거의 무관한 것으로 보인다. 실제로 구리 자체가 저유전재료와 직접 접촉하고 있는 것이 아니라, 라이너(liner) 재료에 의해 둘러싸여져 있어서 공동의 핵 생성이 발현되기 시작하는 기점인 임계인장응력은 정작 확산방지막의 재료가 바뀐다고 해도 변하지 않게 되는 것이다. 즉, 확산방지막이 SiO_2에서 좀더 무른 저유전재료로 바뀐다고 해서 일렉트로마이그레이션으로 인한 신뢰성문제가 악화되거나 개선되는 것으로는 볼 수 없다.[34]

그러나, 계면확산이 발생하지 않는 알루미늄 배선에서의 저유전재료 확산방지막의 도입에 대한 일렉트로마이그레이션으로 인한 임계응력도달 소요시간의 영향을 연구한 Kaneko 등에 따르면[35], 이러한 저유전재료의 낮은 탄성계수로 인해 기존의 SiO_2에서보다 좀더 쉽게 인장되는 때문에 추가로 늘어나는 부피를 고려해야 하며 이를 V_1으로 하여

$$t_{SOG} \propto \frac{V + V_1}{J} \tag{14}$$

의 관계를 도출했다. 여기서 t_{SOG}는 저유전재료를 확산방지막으로 이용한 경우의 임계응력 도달에 소요되는 시간이며, V는 일렉트로마이그레이션으로 인해 via 부근에 공동의 핵생성을 야기시키기 위한 임계인장응력을 조성하기 위해 필요한 알루미늄의 부피이고 J는 일렉트로마이그레이션으로 인해 발생한 알루미늄 원자의 유속이다. 따라서 저유전재료를 이용한 경우는 기존의 SiO_2보다 추가적인 V_1의 항이 존재하기 때문에 수명이 길어지는 효과를 볼 수 있으며 이러한 모델은 잘 알려져 있는 구리에서의 경우[36]와는 반대되는 성격의 것이다. 그러나, 실제 구리배선 대응의 공정에 저유전재료를 이용하는 시도는 전반적으로 일렉트로마이그레이션에 의한 수명을 단축시킨다.[36,37]

6. 결 언

지금까지 저유전재료와 구리배선의 도입으로 인해 나타날 수 있는 신뢰성 문제들에 대하여 살펴보았다. 저유전재료는 기존의 SiO_2보다 취약하여 반도체 공정 상에서 가해지는 응력과 각 구성재료들의 열팽창계수 차이에 의해서 균열발생 및 접착손상의 문제가 발생하기 쉽다. 또한, 열전도도 좋지 않기 때문에 상층부의 배선층으로 갈수록 발열이 심해지며, 따라서 전기적 부하로 인해서 배선이 파손될 가능성이 높다. 저유전재료와 구리배선이 결합되는 공정에서는 구리의 이온확산 효

과까지 발생하게 된다. 이런 경우 매우 복잡한 공정과 정교한 제어가 필수적이므로 관련된 공정상의 비용과 어려움이 증가한다. 따라서 실제 공정에 있어서 기존의 SiO_2를 단순히 저유전재료로 대체하는 공정보다는 배선간 ILD로만 저유전재료를 이용하고 via 대응으로는 SiO_2를 이용하는 방식도 제안된 바 있다.[38] 이와같은 문제들은 나노기공이 도입될 초저유전재료를 사용하는 경우에는 더욱 심각해질 것으로 예상된다. 따라서, 저유전재료를 사용함에 따른 신뢰성 저하의 문제는 회로의 RC delay 특성이 개선되거나 전하용량이 절감되는 효과와는 상충되는 성격의 것이다. 따라서, 고속의 고집적 반도체를 위한 상용 공정에서는 언급한 두가지 상반된 효과를 절충, 최적화해야 하며 재료특성과 관련된 신뢰성 평가에 대한 보다 많은 관심과 연구가 지속적으로 요구된다.

감사의 글

본고와 관련된 연구지원은 산업자원부와 과학기술부에서 시행한 시스템집적반도체기반기술개발사업(Sytem IC 2010, 98-B4-C0-00-01-00-02)에 의해 이루어졌습니다.

참고문헌

[1] 진문영, 이창진, 차국헌, 윤도영, "저유전 고분자," 고분자과학과 기술, Vol. 11, pp. 226~236, 2000. 4.

[2] J. L. Hedrick, R. D. Miller, C. J. Hawker, K. R. Carter, W. Volksen, D. Y. Yoon, M. Trollsas, "Templating Nanoporosity in Thin-Film Dielectric Insulators," Adv. Mater., 13, pp. 1049~1053, 1998.

[3] C. V. Nguyen, K. R. Carter, C. J. Hawker, J. L. Hedrick, R. L. Jaffe, R. D. Miller, J. F. Remenar, H. W. Rhee, P. M. R. Michael, F. Toney, M. Tollsas and Do Y. Yoon, "Low-Dielectric Nanoporous Organosilicate Films Prepared via Inorganic/Organic Polymer Hybrid Templates," Chem. of Mater. 11, pp. 3080~3085, 1999.

[4] R. F. Cook and E. G. Liniger, "Stress- Corrosion Cracking of Low-dielectric- constant Spin-On-Glass Thin Films," J. Electrochem. Soc., Vol. 146, pp. 4439~4448, 1999.

[5] W. C. Oliver and G. M. Pharr, "An improved technique for determining hardness and elastic modulus using load and displacement sensing indentation experiments," J. Mater. Res., Vol. 7, pp. 1564~1580, 1992. 6.

[6] 한준희 외, "미소하중 압입 방법에 의한 박마의 경도 및 탄성계수 측정," Proc. of the twelfth conference on mechanical behaviors of materials, pp. 451~460. 1998. 10.

[7] K. Char S.-H. Chu, D. Kim, J.-H. Hahn, J.-K. Lee, H.-W. Ro, D.-Y. Yoo and D. Y. Yoon, "Micromechanical Characteristics of Poly (Methyl-Silsesquioxane) Thin Films," in preparation.

[8] E. O. Shaffer II, F. McGarry and Lan Hoang, "Designing Reliable Polymer Coatings," Polymer Eng. and Science, Vol. 36, pp. 2375~2381, 1996. 9.

[9] E. O. Shaffer II et al., "Adhesion Energy Measurements of Multilayer Low-k Dielectric Materials for ULSI Applications," MRS Symp. Proc., Vol. 511, pp. 133~138, 1998.

[10] J. D. McBrayer, R. M. Swanson, and T. W. Sigmon, Journal of the Electrochemical Society, 133(6), p. 1242, 1986.

[11] J. S. H. Cho, H. -K. Kang, I. Asano, and S. S. Wong, International Electron Device Meeting Technical Digest, p. 297, 1992.

[12] Y. Shacham-Diamand, A. Dedhia, D. Hoffstetter, and W. G. Oldham, Journal of the Electrochemical Society, 140(8), p. 2427, 1993.

[13] C. Chiang, S. -M. Tzeng, G. Raghavan, R. Villasol, G. Bai, M. Bohr, H. Fujimoto, and D. B. Fraser, Proceedings of the VLSI Multilevel Interconnection Conference, p. 414, 1994.

[14] J. S. H. Cho, H. -K. Kang, C. Ryu, and S. S. Wong, International Electron Device Meeting Technical Digest, p. 265, 1993.

[15] J. D. Plummer et al., Silicon VLSI Technology: Fundamentals, Practice and Modelling, Prentice Hall Electronics and VLSI Series, p. 683, Prentice Hall, 2000.

[16] Alvin L. S. Loke, Ph.D. Thesis, Stanford University, 1999.

[17] S. M. Sze, Physical of Semiconductor Devices, 2nd edition, New York, NY: John Wiley & Sons, pp. 390~395, 1981.

[18] R. F. Pierret, Field Effect Devices, 2nd edition, in Modular Series on Solid State Devices, edited by R. F. Pierret and G. W. Neudeck. Reading,

MA: Addison-Wesley, pp. 106~111, 1990.
[19] E. H. Nicollian and J. R. Brews, MOS Physics and Technology, New York, NY: John Wiley & Sons, pp. 238~242, 1982.
[20] I. -C. Chen. S. E. Holland, and C. Hu, IEEE Transactions on Electron Devices, ED-32(2), p. 413, 1985.
[21] P. P. Apte and K. C. Saraswat, IEEE Transactions on Electron Devices, 41(9), p. 1595, 1994.
[22] A. G. Sabnis, VLSI Electronics Microstructure Science Vol. 22 : VLSI Reliability (Edited by N. G. Einspurch), Academic Press, 1990.
[23] J. R. Lloyd, Journal of Physics D: Applied Physics, 32, p. R109, 1999.
[24] R. E. Hummel, International Materials Reviews, 39(3), p. 97, 1994.
[25] J. R. Black, Proceedings of 6th Annual International Reliability Physics Symposium (Piscataway, NJ: IEEE), p. 148, 1967.
[26] M. Shatzkes and J. R. Lloyd, Journal of Applied Physics, 59(11), p. 3890, 1986.
[27] M. A. Korhonen, P. Bø rgesen, K. N. Tu and Che-Yu Li, Jorunal of Applied Physics, 73, p. 3790, 1993.
[28] J. J. Clement and C. V. Thompson, Journal of Applied Physics, 78, p. 900, 1995.
[29] 박영준, 주영창, 반도체 배선의 일렉트로마이그레이션 신뢰성에 미치는 stress의 영향," 대한금속 · 재료학회, 재료강도 심포지엄, 13, p. 83, 1999.
[30] Y. -C. Joo and C. V. Thompson, Journal of Applied Physics, 76, p. 7339, 1994.
[31] I. A. Blech, Journal of Applied Physics, 47, p. 1203, 1976.
[32] C. -K. Hu, R. Rosenberg, and K. Y. Lee, Applied Physics Letters, 74, p. 2945, 1999.
[33] D. T. Price, R. J. Gutmann, and S. P. Murarka, Thin Solid Films, 308-309, p. 523, 1997.
[34] S. P. Hau-Riege and C. V. Thompson, Journal of Materials Research, to be published.
[35] H. Kaneko, T. Usui, S. Ito and M. Hasunuma, MRS Proceedings, 612, p. D2.5.1, 2000.
[36] C. K. Hu, "Reliability and Copper Interconnections with Low Dielectric Constant Materials", MRS 1998 Spring Meeting, San Francisco, CA, 1998.
[37] D. Pierce et al., "Wafer Level Electromigration Applied to Advanced Copper/Low-k Dielectric Process Sequence Integration", IEEE 1998 Integrated Reliability Workshop, Stanford Sierra Camp, Lake Tahoe, CA., October, 1998.
[38] R. H. Havemann et al., "Integration of Advanced Metallization with Low k Dielectrics", presented at the SRC Topical Research Conference on Reliability, Vanderbilt University, October, 1997.

저 자 약 력

성명 : 차 국 헌

❖학력

1977. 3.~1981. 2. 서울대학교 화학공학과 학사
1981. 3.~1983. 2. 한국과학기술원 화학공학과 석사
1984. 9.~1989. 6. 미국 Stanford대학교 화학공학과 Ph.D.(고분자)

❖경력

1989. 2.~1990. 5. 미국 IBM Alamden Research Center, Visiting Scientist
1990. 5.~1991. 2. LG화학 고분자연구소 선임연구원
1991. 2.~ 현재 서울대학교 응용화학부 부교수

✙ E-mail: khchar@plaza.snu.ac.kr

성명 : 주 상 현

❖학력

1988. 3.~1992. 2. 서울대학교 화학공학과 학사
1992. 3.~1994. 2. 서울대학교 화학공학과 석사
1994. 3.~1998. 2. 서울대학교 화학공학과 박사

❖경력

1998. 3.~1999. 8. NASA Langley Research Center, Research Associate
1999. 10.~현재 서울대학교 공학연구소 Research Associate

✙ E-mail: schu@plaza.snu.ac.kr

저 자 약 력

성명 : 주 영 창

❖학력

1983. 3.~1987. 2. 서울대학교 금속공학과 학사
1987. 3.~1989. 2. 서울대학교 금속공학과 석사
1989. 9.~1995. 2. 미국 M.I.T. Ph.D.(전자재료)

❖경력

1995. 2.~1997.12. 독일 Stuttgart, Max-Planck 연구소, 연구원
1997.12~ 1999. 6 미국 San Jose, AMD, Senior Device Engineer
1999. 9.~현재 서울대학교 재료공학부 조교수

✙ E-mail: ycjoo@plaza.snu.ac.kr