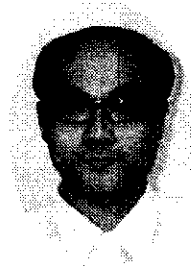


수동 칩부품의 최근기술동향



박인길

(InnoChips Technology 연구소장, 이사)

1. 서론

최근 전자제품의 소형경량화, 디지털화, 고주파화의 요구에 따라 이에 장착되는 수동소자부품도 더욱더 칩화(SMD), array화 및 고주파화 되고 있다.

적층칩세라믹콘덴서(MLCC)의 경우는 이미 95% 이상의 칩화가 이루어졌으며 칩 size도 1005 제품의 비중이 날로 증가하여 핸드폰의 경우는 80% 이상이 1005 size로 장착되고 있다. 칩인덕터의 경우 70% 이상의 칩화율을 보이고 있으며 칩 size도 1005 제품이 일부 장착되어지고 있다. 칩저항의 경우는 이미 1970년대 후반부터 칩화가 이루어져 고정저항기의 경우 90% 이상 칩화율을 보이고 있다. 특히 MLCC 및 칩저항의 경우는 선진사들이 1005 size 보다도 더 작은 0603 size 칩의 실험실 개발을 완료하고 시장에 진출할 준비를 하고 있다. 또한 탑재 부품수를 줄이기 위해 동일한 칩부품 2개 혹은 4개를 하나의 칩에 구현한 array 제품의 시장도 점점 증가하고 있다.

실장면적의 감소를 위한 또 하나의 노력으로 두 개 이상 수동소자 부품의 복합화를 통한 one chip화도 시도되고 있다. 이미 인덕터와 커패시터를 합친 개념인 LC필터의 경우는 일본의 무라타사에서 개발 및 양산하고 있으며 저항과 커패시터를 하나의 칩으로 구현한 RC network 칩의 경우는 미국의 AVX사에서 적층형으로 구현하고 있으며 기존의 칩저항

과 유사한 방식인 알루미늄 기판위에 저항과 커패시터를 동시에 구현한 RC network 칩은 대만 및 일본 시장에서 부분적으로 시장이 형성되고 있다.

Set의 디지털화로 인해 더 많은 반도체 IC가 장착되고 있으며 이로인해 수반되는 디지털 노이즈의 제거 및 신호의 필터링을 위해 더 많은 MLCC, 칩저항, 칩인덕터가 필요해지고 있다. 예로 디지털 TV의 경우 종래의 아날로그 TV보다 MLCC가 무려 1.5배나 더 많이 장착된다고 한다.

최근의 인터넷 및 위성방송, 이동통신산업의 발달로 사용주파수가 2GHz 이상의 고주파화로 급속히 이행되고 있으며 디지털화와 더불어 장착되는 수동소자 칩부품의 사용원수도 증가하고 있다. 기존의 수동소자 칩부품이 이러한 고주파 회로에 장착될려면 각각의 수동소자에 부합되는 고주파 특성을 가져야 한다. 모든 수동소자부품은 저주파에서는 본래의 특성, 즉 저항, 콘덴서 및 인덕터의 단일 성분의 등가회로만으로 생각할 수 있으나 고주파로 가면 다른 기생성분이 나타나게 된다. 즉, 콘덴서의 경우 고주파로 가면 등가 직렬 저항(esr) 및 등가 직렬 인덕턴스(esl) 성분이 대두되어 power의 소모를 유발하거나 공진주파수를 낮추어 고주파에서 콘덴서가 아닌 인덕터의 역할을 하게 되어 결국 노이즈가 발생하거나 기생 발전하게 된다. 인덕터의 경우는 고주파로 가면 기생 커패시턴스 성분이 대두되고, 저항의 경우는 기생 인덕턴스 성분이 대두되어 콘덴서의 경우와 유사하게 이상 발전

하거나 심한 노이즈가 발생하게 된다.

본 고에서는 이와같이 사용 주파수 환경이 고주파로 가면 서 대두되는 등가직렬저항(esr) 및 등가직렬인덕턴스(esl)의 개념을 이해하고 이를 극복하기 위한 선진사의 기술적 및 설계적인 노력에 대하여 집중적으로 살펴보고자 한다.

2. 본 론

2.1 커패시터에서의 ESR과 ESL이란 무엇인가?

그림 1은 커패시터의 고주파 등가회로로서 저주파에서는 문제시되지 않았던 등가직렬저항(ESR) 및 등가직렬인덕턴스(ESL)성분이 대두됨을 알 수 있다.

2.1.1 ESR의 개념 및 효과

커패시터에서 ESR 이란 많은 복잡한 요소로 이루어진 집중형 저항변수(lumped resistance parameter)이다. 1kHz 이하의 저주파에서 커패시터가 작동할 때 이러한 저항은 흔히 손실 factor (DF)라고 하는 유전손실각(loss tangent)의 함수이다.(그림 2 참조) 또한 ESR은 전극물질, 전극의 단면적, lead선, 단자등에 의한 오용접촉성 손실(ohmic loss)의 함수이기도 하다.

고주파에서는 표면효과(skin effect)가 중요한 역할을 하며 따라서 ESR 효과로 인한 커패시터의 임피던스가 대두된다. 유전체 물질이 주어진 경우 실제적으로 DF값을 변화시킬수 있는 방법은 거의 없으나 전극의 저항, 단면적등과 관련된 전극설계 측면에서 ESR값을 낮출 수 있는 방법은 여러 가지 있다. 즉, 비저항이 낮은 금속물질을 내부전극으로 사용하거나 내부전극면적을 늘리고 내부전극두께를 증가시켜 저항을 낮출 수 있다. 실제적인 회로에서 ESR의 효과는 열방산에 의한 전력손실, 임피던스증가, 시정수와 관련한 충전 시간의 증가등의 악영향을 주고 있다. ESR은 또한 그림 3과 같이 주파수의 함수이다.

2.1.2 ESL의 개념 및 효과

작동주파수가 고주파로 가면 저주파수에서는 별 영향을 미

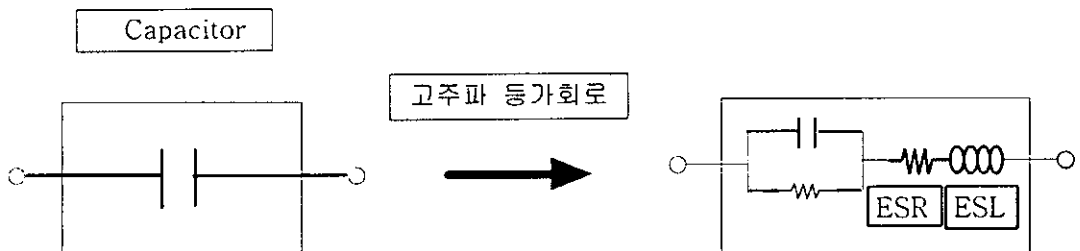


그림 1 커패시터의 고주파 등가회로

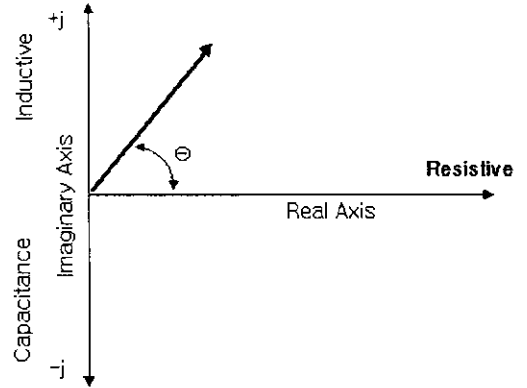


그림 2 커패시터의 phase-vector 상관관계

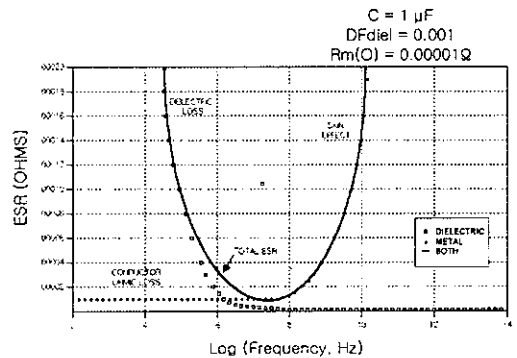


그림 3 커패시터의 주파수-ESR 특성

치지 못하던 선효과(line effect), 즉 내부전극의 총길이, 단자전극의 길이등에 의한 유도성 인덕턴스(ESL)가 영향을 미치기 시작한다.

바이패스(by-pass), EMI 필터, RF 커플링 응용회로에서 커패시터의 임피던스는 가능한 낮을수록 바람직하다. 임피던스를 낮추기 위해 우선 회로 설계자는 사용주파수에서 가능한 한 용량성리액턴스 (capacitive reactance)를 줄이려고 충분히 큰 용량의 커패시터를 채택한다. 이러한 경우 작동

주파수에서 커패시터의 임피던스는 ESR과 ESL에 의한 유도성 리액턴스(inductive reactance)의 결합으로 결정된다. 즉, 다음과 같은 임피던스식에 의해 ESR 및 X_L 은 작게, X_C 는 크게 하면 된다. X_C 값을 높이기 위해서는 식에서 알 수 있듯이 C값(커패시턴스값)을 크게 하면 되고 X_L 값을 낮추기 위해서는 L값(ESL)을 작게하면 된다.

$$\omega = 2\pi f$$

$$X_C = \frac{-j}{2\pi f C} = \frac{-j}{\omega C}$$

$$X_L = +j2\pi f L = +j\omega L$$

$$SRF = \frac{1}{2\pi\sqrt{LC}}$$

$$Z = \sqrt{(ESR)^2 + (X_L - X_C)^2}$$

- ω = the radiation frequency
- f = frequency in hertz
- C = capacitance in farads
- L = inductance(ESL) in series
- X_C = capacitive reactance in ohms
- X_L = inductive reactance in ohms
- SRF = capacitor self resonant frequency in hertz
- Z = capacitor impedance in ohms

그림 4는 전형적인 커패시터의 주파수-임피던스 곡선으로 XC와 XL값이 같을때 공진점을 형성함을 알 수 있다. 커패시터의 사용주파수는 이러한 공진주파수 이하가 된다.

2.1.3 ESL 값을 낮추기 위한 설계

일반적인 적층 세라믹 콘덴서의 경우 그림 5와 같이 양쪽 단자전극을 기준으로 각 단자에 한 층씩 연결되는 형태로 제조하는 것으로, 이는 한쪽 단자(예, + 단자)에서 전류의 흐

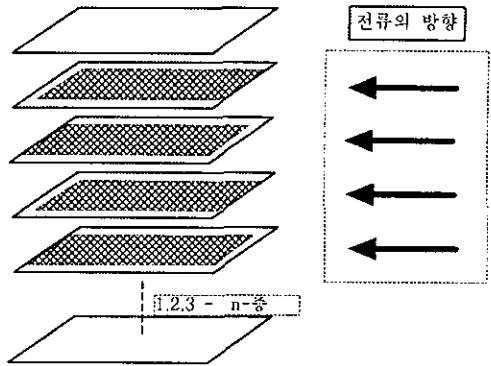


그림 5 일반적인 적층세라믹콘덴서의 내부 전극인쇄 pattern

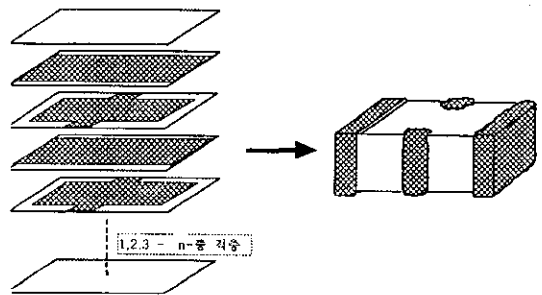


그림 6 저 ESL형 3단자 커패시터

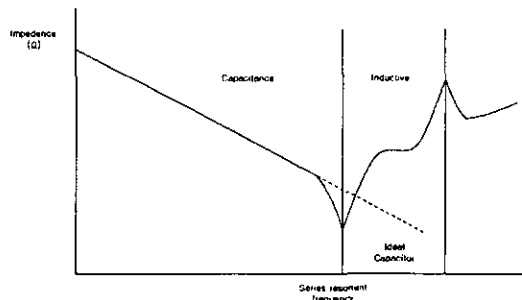


그림 4 커패시터의 임피던스-주파수 특성곡선

름이 시작되어 유전체층을 통과하여 반대쪽 전극으로 들어가는 구조로, 단순화시키면 도선에 전류가 흐르는 것과 유사하다고 볼 수 있어 도선에 전류가 흐르게 되면 자기 유도에 의해 전류 흐름을 방해하려는 반대 극성의 유도기전력이 생기듯이 칩에 자기 인덕턴스(Self inductance)가 발생되며, 고주파에서 사용할 경우 앞서 기술한 바와 같이 등가인덕턴스가 높아지는 구조인 것이다.

그림 6은 저 ESL형 3단자형 커패시터의 내부구조로서 내부전극 인쇄 pattern의 진행방향을 서로 90° 교차되게 설계하여 인덕턴스를 어느정도 상쇄시켜 고주파가 되어도 등가인덕턴스는 낮아지는 구조이다.

그림 7은 AVX사의 IDC(Inter Digital Capacitor)커패시터의 내부구조도로서 역시 전류의 흐름을 위아래 층을 교대로 90도 교차되게 하여 등가직렬인덕턴스(ESL)를 낮추는 구조이다.

3. 결론

앞에서 살펴본 바와 같이 전자제품의 고주파화를 실현하기

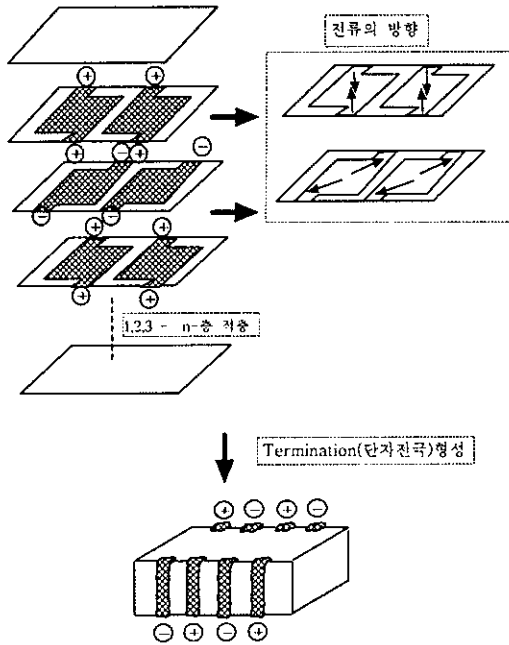


그림 7 IDC(Inter Digital Capacitor) 커패시터

위해서는 이에 장착되는 수동칩부품도 고주파특성이 구현되는 제품의 개발 및 생산이 이루어져야 한다. 본 고의 본론 부분에서 다른 커패시터에 있어서의 ESR 및 ESL의 개념은 단지 커패시터에만 국한되는 것은 아니고 인덕터 및 저항 그리고 varistor 등 기타 칩부품의 경우에도 다양하게 적용될 수 있다. 즉, 인덕터의 경우는 고주파에서 등가 커패시턴스 문제가 발생할 수 있고 저항의 경우는 고주파에서 등가 인덕턴스 문제가 발생할 수 있다. 이들 부품에 있어서의 저 ESR, 저 ESL 및 저등가커패시턴스 설계는 단순한 재료의 제어로는 한계가 있으며 칩의 내부적층구조 및 칩의 구조 설계 등 전자기학적인 측면에서 접근해야 될 것으로 생각된다.

또한 향후 고주파화하고 있는 부품시장에서 더 낮은 ESR 및 ESL값의 제품을 개발할 수 있는 능력을 가진 업체만이 경쟁우위 및 비교우위를 확보할 수 있고 지속적인 고수익을 실현할 수 있을 것으로 생각된다.

References

- (1) "A Capacitor's Inductance", Gary Ewell, Bob Stevenson, PE, CARTS '99, pp. 186~202.
- (2) Ennis, J., "Cautions About the Use of Equivalent Series Resistance (ESR) in Specifying Capacitors," Proceedings, 13th Capacitor and Resistor Technology Symposium (CART '93), Costa Mesa, California, March 1993, pp. 58~64.

저 자 약 력

성명 : 박인길

◆경력

1985.2 : 한양대학교 공과대학 무기재료공학과 졸업

1991.2 : 한국과학기술원(KAIST), 재료공학과 박사

1991.3~1995.4 : 한국과학기술원(KAIST) 전자재료연구센터 연구원

1995.6~2,000.4 : 삼성전기 적층박막사업부/MLCC 품질 관리 부장 및 연구실장 역임

2,000.5~: InnoChips Technology 연구소장, 이사