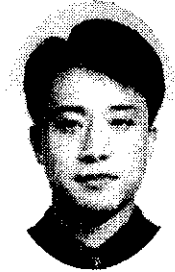


## Damascence 프로세스의 적용상의 문제점 및 특허 문헌에 나타난 해결방안



최 훈 식  
(법무법인 세종 담당변리사)

### 1. 서 론

반도체 공정중에서 특히 다층 배선 형성에 있어서 damascence 프로세스를 이용하는 것은 비단 Cu칩공정기술의 기반으로서뿐만 아니라 반도체 산업계의 혁신적인 공정으로 받아들여진다. 그러나 이와 같은 damascence 프로세스에 있어서도 여러 가지 공정상의 문제점등이 발견되었고 이를 해결하기 위하여 끊임없는 연구가 계속되어져 왔고 따라서 제반 공정상의 여러 문제점들은 해결할 수 있게 되었다. 이하에서는 damascence 프로세스의 적용상의 문제점 및 그 해결방안을 국내의 특허 문헌을 중심으로 개략적으로 살펴보기로 한다.

### 2. 구조 및 공정상

#### 2.1 Electromigration과 Stress migration

##### 2.1.1 문제점

종래기술에 있어서, 실리콘 기판상에 실리콘 산화막으로된 절연막을 형성하고, 공기기술에 의하여 홈패턴을 형성하고, 그리고 스퍼터링에 의하여 도전막으로서 Al막이 형성되며, 금속막을 연마하는 단계에서 스토퍼의 역할을 하는 실리콘 질화물이 절연막상에 형성시킨 후 CMP에 의하여 Al막을 제거하는 기본적인 damascence 프로세스를 이용한 배선기술이 알려져 있다. 그러나 이와 같은 구조하에서는 배선자체가 Al의 단층구

조이므로 층간접촉영역에서의 동일금속과의 접촉은 낮은 접촉 저항을 형성하게 된다. 그러나 이 기술은 electromigration 과 stress migration 에 대하여 내성이 약하다는 단점이 있었다. 이 문제를 극복하기 위하여 electromigration 과 stress migration 에 대하여 높은 내성을 갖는 Cu나 금과 같은 금속을 사용할 수 있지만, 이들 금속은 실리콘 산화막과 반응하고 절연막과 밀착하는 문제점을 가지고 있어 적용이 어렵다.

##### 2.1.2 해결방안

확산층을 경유하여 반도체 기판상에 제공된 절연막과, 절연막내에 형성된 층간 접촉홀과 층간 접촉홀의 하부에 제공된 실리콘사이드층과 절연막과 층간접촉홀 상에 제공된 단일 또는 복수개의 금속막을 갖는 제1도전막과, 층간 접촉홀에 제공된 제2도전막과 제1도전막과 제2도전막상에 제공된 제3도전막과 제3도전막상에 제공된 제4도전막으로 이루어지는 금속배선을 갖는 반도체 장치를 제시하여 electromigration과 stress migration 에 대하여 높은 내성을 가지며, 층간 접촉홀 영역에서 동종의 금속이 상호 접촉하게 되는 구조를 채택하여 접촉저항이 줄어든 반도체장치를 제공한다. (한국특허 제185230)

#### 2.2 Aspect Ratio가 높은 경우 보이드 형성

##### 2.2.1 문제점

damascence 프로세스에서 Al을 사용할 경우에 있어서,

높은 aspect ratio를 갖는 콘택홀을 형성하는 경우 보이드(void)가 생길 수 있다. 따라서 보통은 리플로우 공정을 병행하여 실시한다. 그러나 aspect ratio가 3.0이상일 경우 리플로우를 실시하더라도 보이드가 형성되는 것을 막을 수 없는 문제가 있다.

### 2.2.2 해결방안

금속배선과 콘택홀을 동시에 형성하는데 있어서, 상기 콘택홀을 형성하기 위하여 가압공정을 실시한 다음 상기 콘택과 연결되는 금속배선을 형성하기 위해 리플로우 공정을 실시, 즉 가압공정과 리플로우 공정을 병행하여 실시하여 AI를 이용한 damascence공정의 문제였던 콘택홀의 높은 aspect ratio 제한을 극복할 수 있다. (공개특허 제1998-40655)

또는 기판상에 절연막을 형성하고, 절연막의 조정의 위치에 콘택홀을 형성한다. 콘택홀의 저면에 기판이 노출되도록 한다. 다음에 콘택홀의 내면 및 절연막의 표면에 핵형성층을 형성한다. 핵형성층으로서 Ti, TiN 등 barrier막으로서 일반적으로 사용되고 있는 재료를 사용할 수 있다. 이어서 화학 기상성장기에 의해 콘택홀의 반경보다 얇은 AI막을 콘택홀의 내면 및 절연막의 표면에 형성한다. 다음에 AI막의 표면에 자연산화막이 생기지 않도록 분위기를 유지한채 Ar 가스를 흘리고 온도 압력을 조절하여 기판을 가열한다. 이와같이 하여 AI막의 리플로우에 의해 콘택홀이 AI으로 완전히 매립된다.

본 기술에 의하면, 핵형성층의 형성후에 화학기상성장기에 의해 AI막을 형성하고 이AI막의 표면이 자연산화막으로 피복되기 전에 열처리를 행하여 AI막의 유동화를 도모하는 것에 의해 간편한 장치를 사용하여 콘택홀 또는 스텝홀, 배선 구등을 비저항이 낮은 AI막으로 보이드 없이 바람직하게 매립하는 것이 가능하다. (공개특허 제1999-45173)

## 2.3 Erosion/dishing

### 2.3.1 문제점

Damascence 프로세스로 금속배선들을 형성할 때 CMP 공정에 대해 금속층의 연마속도는 절연막의 연마속도 보다 빠르다. 따라서, CMP시 금속배선의 면적비(전체면적에서 금속배선이 차지하는 면적)가 큰 영역이 금속배선이 면적비가 작은 영역보다 더 많이 연마되는 침식(erosion)현상이 발생한다. 이러한 침식현상은 금속배선의 두께가 균일하지 않게 되는 결과를 낳는다.

또한, 금속패턴이 형성된 부위에 연마속도의 차이로 인하여 금속패턴의 두께가 얇아지기도 한다.

### 2.3.2 해결방안

밀도가 낮게 분포된 금속배선들 사이에 금속 더미층들을 더 형성하여 전체적으로 금속층(금속배선과 금속더미층)과

절연막의 면적비를 균일하게함으로써 damascence 프로세스로 금속배선들을 형성할 때 금속배선들과 절연막의 면적비가 반도체 기관 전반에 걸쳐 다를 경우 발생하는 침식현상을 방지 하거나 또는 CMP를 행하기전에 점성을 갖는 물질을 도포하여 CMP 될 대상물의 표면을 평탄화하여 침식되 다성 현상을 방지(한국특허 제190079, 한국특허 제65748호)

## 2.4 텅스텐 비트라인(bit-line)의 리프팅

### 2.4.1 문제점

텅스텐을 비트라인으로 이용할 경우 P+영역과 N+영역 모두 금속(텅스텐)/실리콘 콘택트가 되므로 P+, N+ 동시 콘택트(contact)의 형성이 가능하다. 이러한 텅스텐 동시콘택을 형성하는 종래방법은 먼저 반도체기판에 층간 절연막을 형성한 후 상기 결과물을 CMP로 에칭한다. 이로 인해서 비트라인이 형성될 부위의 층간 절연막을 소정깊이로 에칭해서 비트라인을 패터닝(patterning)한다. 이후 사진식각공정으로 비트라인이 패터닝된 층간 절연막을 에칭하여 상기 기관의 도전성 부위, 즉 N+, P+영역을 동시에 노출시키는 콘택홀을 형성한다. 이후 상기 콘택홀이 형성된 결과물 전면 콘택홀을 매립시킬 수 있을 정도의 두께로 텅스텐을 CVD에 의해 블랭킷으로 증착한다. CMP공정으로 층간 절연막상의 과도한 텅스텐층을 제거한다. 그결과 콘택홀의 내부 및 패터닝된 비트라인의 내부에만 텅스텐층이 잔류하게 되어 텅스텐 콘택플러그와 텅스텐 비트라인이 동시에 형성된다. 이는 종래의 dual damascence 공정이다. 그러나 이방법에 의하면 면적이 넓거나 CMP공정의 균일성으로 인해 두께가 두꺼워진 패턴상에 텅스텐 비트라인의 리프팅이 발생하는 문제가 심각해 나타난다. 따라서 텅스텐을 대체할 새로운 비트라인 물질이 요구되며 상대적으로 비싼 CMP 공정을 대체할 필요가 있다.

### 2.4.2 해결방안

텅스텐 콘택플러그로 N+, P+ 동시 콘택을 형성한 후, 실리콘사이드(silicide)공정으로  $CoSi_2$  또는  $TiSi_2$  비트라인을 형성한다. 따라서 텅스텐 비트라인을 형성할 때 야기되는 텅스텐 리프팅 현상을 해결할 수 있으며, 비싼 CMP공정을 에치백공정으로 대체시킬 수 있다. 또한 텅스텐 비트라인보다 낮은 비저항을 갖는 비트라인을 형성함으로써 라이저항 측면에서 열화되지 않은 안정한 비트라인을 형성할 수 있다.(한국특허 제200745)

## 2.5 비트라인 선포의 조절의 난이성

### 2.5.1 문제점

종래기술에 의한 반도체 장치의 비트라인 형성시 광감막을 패터닝할 때, 하부막으로부터의 광반사를 방지하기 위하여

감광막과 절연막 사이에 반사방지막을 사용하는데, 반사방지막을 유기물질을 사용하여 형성한다. 그런데 유기 반사방지막은 감광막과 에칭선택비가 비슷하여 반사방지막을 에칭하는 과정에서 감광막도 동일한 비율로 에칭되어 감광막 패턴의 측면이 수직하게 형성되지 않고 경사지게 형성된다. 이러한 감광막 패턴을 에칭마스크로 하여 비트라인의 배선경로를 결정하는 트랜치를 형성하는 경우 그 내벽이 경사지게 됨으로써 결국 비트라인의 선폴이 달라지게 된다. 이처럼 종래 기술에서는 유기 반사막을 사용함으로써 비트라인의 선폴의 조절이 어려운 문제가 있음

### 2.5.2 해결방안

상기 문제를 해결하기 위하여, 제1절연막과 제2도전층이 노출되는 전면에 무기물질로 형성된 반사방지막을 형성하고 그 전면에 절연막을 형성한 다음 상기 절연막을 패터닝하여 일정한 선폴을 갖는 비트라인이 형성될 영역을 한정하고 상기 반사방지막을 패터닝하여 상기 절연막의 한정된 영역내에 비트라인 콘택이 형성될 영역을 한정한다. 그리고 상기 절연막과 반사방지막에 의해 한정된 영역에 도전성물질을 채워서 damascence 비트라인 패턴을 형성하는데, 상기 반사방지막으로 인해 상기 절연막에 비트라인 형성영역을 한정하는 감광막 패턴을 형성할 때 상기 감광막 패턴이 하부구조물로부터 반사된 광에 의해 손상되는 것을 방지할 수 있으며, 상기 절연막을 패터닝하여 비트라인 형성영역을 한정할 때 상기 반사방지막을 에칭저지층으로 사용된다. 따라서 상기 절연막의 패터닝 결과 형성되는 절연막 패턴의 프로파일을 양호하게 형성할 수 있고, 이러한 결과에 의해 균일한 두께를 갖는 damascence 비트라인 패턴을 형성할 수 있다. (한국특허 제207535)

## 2.6 CVD 텅스텐 이용시 TiN막의 리프팅과 금속라인상의 결함

### 2.6.1 문제점

damascence공정을 위하여 CVD 텅스텐 이용시 TiN막이 불화텅스텐(WF6) 가스에 의하여 리프팅되는 현상이 발생하며, CVD 텅스텐 증착시의 전형적인 특성인 갈라진 틈(seam)에 의해 CMP 이용시 금속라인 중간에 일정한 결함이 발생하는 문제점.

### 2.6.2 해결방안

도전층상에 층간 절연층을 형성하고, 도전층 상부에서 층간 절연층의 일부 두께를 에칭하여 damascence 라인을 형성하고, damascence라인과 도전층 사이에 층간 절연층을 에칭하여 콘택홀을 형성하고, damascence 라인과 콘택홀 측벽에 스페이서(spacer)를 형성하고, 이 결과물 상에 텅스텐을 선택적으로 증착하고, 텅스텐층을 CMP하는 공정을 제

시하여 상술한 문제점 해결.(공개특허 제98-66735)

## 2.7 선택적 텅스텐 증착 공정상에서 원치않는 부분의 텅스텐 증착

### 2.7.1 문제점

선택적 텅스텐 공정에서는 층간 절연막 위에서는 텅스텐이 증착되지 않도록 하여야 하는데 이러한 선택적 증착이 제대로 이루어지지 않았을 경우 원치않는 부분에서 텅스텐이 증착된다. 이를 해결하기 위하여 텅스텐 증착조건을 바꾸면 접합 누설전류가 발생한다. 또한 증착되는 텅스텐 스텝 커버리지가 불량하여 콘택홀내에 보이드가 유발된다.

### 2.7.2 해결방안

실레인(SiH<sub>4</sub>)환원반응을 이용하여 선택적으로 텅스텐을 증착하여 제1텅스텐막을 형성하고 그 위에 블랭킷 텅스텐 공정을 이용하여 제2텅스텐 막을 형성한 후 CMP를 실시함으로써 종래의 방법에 비해 경제적이고 스텝 커버리지 불량으로 인한 보이드 문제의 해결(공개특허 제1998-65646)

## 2.8 missalign

### 2.8.1 문제점

damascence 프로세스를 이용하여 비트라인을 형성하는 종래의 경우, 비트라인 형성을 위한 음각패턴을 먼저 형성한 후 직접접촉을 형성하게 되는데, 이때 다이렉트 콘택트 형성을 위한 마스크 align시 약간의 misalign이 존재하여 제2레지스트 패턴의 일부가 음각패턴의 가장자리 부위에 걸릴 경우 상기 음각 패턴의 가장자리 부분에 걸린 제2레지스트 패턴의 플로우양과 음각패턴내에 평평한 부분에 걸린 제2레지스트 패턴의 플로우 양이 달라지는 현상이 발생하는데 이러한 현상은 다이렉트 콘택트 형성자체를 불가능하게 하거나 다이렉트 콘택트의 균일도를 저하시켜 소자의 신뢰도에 치명적인 역할을 한다.

### 2.8.2 해결방안

콘택트를 먼저 형성한 후 이 콘택트내에 레지스트 잔류물을 남긴 상태에서 도전라인 형성을 위한 음각패턴을 형성함으로써 콘택트가 음각패턴내에 고르게 분포되도록 할 수 있을 뿐만 아니라 신뢰도 높게 콘택트를 형성할 수 있다. (공개특허 제1999-52529)

## 2.9 접합 스파이킹(junction spiking) 현상

### 2.9.1 문제점

큰 aspect ratio를 갖는 콘택홀 내에 금속배선을 완전히 채우기 위한 기술로 선택적 CVD공정이 제안되었다. 선택적 CVD공정은 금속막이 절연막 및 도전막 상에 성장되는 속도

가 서로 다른 특성을 이용한 것이다. 그러나 집적도가 증가함에 따라 트렌지스터의 소오스/드레인 영역의 접합깊이가 점점 감소하고 있다. 따라서 금속배선으로 사용되는 AI막이 소오스/드레인 영역을 침투하여 기판까지 확산하는 접합 스파이킹 현상이 발생한다. 이에 따라 barrier 금속층을 개재시키거나 AI막내의 AI 원자들과 소오스/드레인 영역내의 실리콘 원자들이 상호 반응하는 현상을 억제시키는 방법이 널리 사용되고 있다. 이때 barrier 금속층은 콘택홀이 형성된 결과물 전면에 형성된다. 따라서 콘택홀 내부에만 선택적으로 금속배선을 형성하기 어렵다.

## 2.9.2 해결방안

기판에 층간 절연막을 형성하고, 층간 절연막의 소정영역을 에칭하여 리세스 영역을 구비하는 층간 절연막 패턴을 형성하고, 층간 절연막 패턴이 형성된 결과물 전면에 barrier 금속층을 형성하고, 상기 절연막 패턴의 상부면에 형성된 barrier 금속층에 금속증착 방지막을 선택적으로 형성하여, 상기 리세스 영역의 측벽 및 바닥에 형성된 barrier금속층을 노출시키는 단계 및 상기 노출된 barrier금속층에 의하여 둘러싸여 영역에 금속플러그를 선택적으로 형성하는 단계로 이루어져 고집적 반도체 소자의 콘택홀 또는 그루브를 완전히 채울 수 있다. (공개특허 제1999-17335)

## 2.10 aspect ratio가 높은 콘택홀 형성시 에칭

### 2.10.1 문제점

대표적인 dual damascence법에서 제조상의 격차를 감안하여 실리콘 산화막 또는 질화막 에칭 공정이 대표적인 막두께와 비교하여 오버-에칭(over-etching)을 수행하는 것이 필요, 이때 측면방향으로의 에칭 또는 증착이 발생, 따라서 콘택홀의 치수를 제어하는 것이 어려우며, 특히 콘택홀의 aspect ratio가 높을 경우 에칭이 더욱 어려워진다.

### 2.10.2 해결방안

표면에 소자영역을 갖는 반도체 기판상에 제1절연막을 형성하는 단계 및 제1절연막상에 제1포토레지스트를 형성하는 단계를 구비한다. 그 후 제1포토 레지스트를 마스크로 사용함으로써 제1절연막이 에칭되므로, 소자영역에 전기적인 전도를 제공하는 콘택홀 또는 비어홀이 형성된다. 그 후 제1포토레지스트가 제거되고, 전체표면상에 유기 절연막이 형성된다. 더욱이, 제2절연막이 유기 절연막상에 형성된다. 다음으로 제2포토레지스트가 제2절연막상에 형성된다. 배선 트렌치용 패턴은 노광법을 사용함으로써 제2포토레지스트에 형성된다. 그 후 제2포토레지스트를 마스크로 사용함으로써 제2절연막이 에칭된다. 다음으로 제2절연막을 마스크로 사용함으로써 유기 절연막이 에칭되므로 배선트렌치가 형성된다.

전도층은 콘택홀 또는 비어홀과 배선 트렌치(trench)내에 매립된다.

본 기술에 따르면 에칭공정에서 다수의 공정이 감소한다. 그리고 높은 치수 정확도와 더불어 aspect ratio가 높은 각각의 콘택홀 및 비어홀이 형성될 수 있으며 더욱이 유기 절연막이 사용되므로 마스크로서 역할하는 다른 절연막과 에칭 속도에서의 차이가 커지고 커다란 마진이 보장될 수 있다. 결과적으로 수율이 현저하게 향상될 수 있고 배선층들간 기생용량이 감소될 수 있다. 따라서, 반도체 장치의 동작속도가 증가될 수 있다. (공개특허 제1999-37532호)

## 2.11 콘택트의 불량

### 2.11.1 문제점

종래 리소그래피 공정에서 패턴의 맞춤 오차를 고려한 맞춤 여유를 갖지 않는 보더레스한 콘택트 기술의 채용에 의해, 반도체 장치는 미세화 및 고집적화가 도모되고 있지만, 제1 및 제2도전층 사이의 제3절연막에 제1도전층과의 접촉을 위한 콘택트홀이나 도랑을 형성할 때는 하지의 제1절연막이 평탄화되어 있게 해도 제2절연막의 막두께의 오차나 에칭의 오차를 고려하면, 필연적으로 오버분을 포함하여 에칭이 행하여지게 되기 때문에, 에칭의 오버분에서 하지의 제1절연막도 에칭되고 제1도전층의 근방에 맞춤 오차의 정도와 에칭의 오버분에 따른 요부가 형성된다는 문제가 있다.

### 2.11.2 해결방안

제1절연막을 통해 제1도전층을 형성하는 제1공정과, 상기 제1도전층을 포함하고 상기 제1절연막의 전면에 제2절연막을 형성하는 제2공정과, 상기 제1도전층의 적어도 일부에 대응하는 상기 제2절연막을 선택적으로 제거하고, 상기 제1도전층에 이르는 깊이 이상의 도랑부를 형성하는 제3공정과, 상기 도랑부의 저면에 노출하는 상기 제1도전층의 일부를 제거하는 제4공정과, 상기 도랑부내에 상기 제1도전층에 연결되는 제2도전층을 형성하는 제5공정으로 이루어진다.

본 기술에 의하면 층간 절연막에 플러그 전극에 연결되는 콘택트홀을 형성할 때에 플러그 전극과 측벽 전극의 콘택트 부분에 미소한 요부가 형성되는 것을 억제할 수 있게 된다. (공개특허1998-71729호)

## 2.12 금속막의 응집 또는 배선저항 증가

### 2.12.1 문제점

종래의 플러그 형성기술에서 AI 리플로우(reflow) 기술은 dual damascence 배선의 형성에 이용되고 있는데, 접촉구멍의 바닥부에서 AI막의 응집이 일어난다. 이를 해결하기 위해 AI막과 습윤성이 좋은 Ti 라이너막을 기초막으로 이용하는 것이 제안되었으나 이번에는 배선 트렌치(trench) 내면

에  $Al_3Ti$ 막이 형성되어 배선저항이 증가하고 EM 내성이 증가한다.

### 2.12.2 해결방안

반도체기판상에 오목부를 갖는 층간 절연막을 형성하는 제1공정과, 상기 오목부 내부에 Nb와 NbAl중 어느 한쪽으로 이루어지는 라이너막을 형성하는 제2공정과, 상기 반도체 기판을 가열하면서 상기 오목부 내부를 포함하는 영역상에 도전막-상기 도전막은 Al을 주성분으로 하는 Al 도전막임-형성함과 동시에, 상기 Al도전막을 리플로우시켜 상기 오목부 내부를 상기 Al 도전막으로 충전하는 제3공정-상기 제2공정과 제3공정을 진공중에서 연속적으로 행함으로써 상기 제3공정으로 상기 라이너막과 상기 도전막과의 계면에 NbAl합금을 형성함과, 상기 오목부의 외부의 상기 도전막을 제거하고, 상기 도전막으로 이루어지는 배선층을 형성하는 제4공정으로 이루어진 반도체 제조방법을 제공하여, 종래의 배선구조에 비하여 상기 접속구멍내의 배선저항의 증가, EM 내성의 저하를 방지할 수 있음과 동시에 Al의 단절, 응집을 방지하여 Al 배선의 상기 접속구멍과의 밀착성을 높일 수 있는 반도체 장치 및 제조방법을 제공. (공개특허 제1999-63479호)

## 2.13 다층 interconnect 구조

### 2.13.1 문제점

기존의 damascene 공정에서 다층 인터커넥트 구조는 접점, 즉 금속 플러그로 형성되는 인터커넥트의 서로 다른 레벨사이에서 접속하는 패터닝 금속라인 또는 인터커넥트의 다중 레벨로 이루어진다. 당대 기술에서 접점은 텅스텐을 이용하여 제조되고, 인터커넥트 라인은 Al을 이용할 수 있다. 접점(또는 금속플러그)을 위한 텅스텐 사용은 필연적으로 제조공정을 복잡하게 하며, 한 공정은 텅스텐 증착 및 연속에치에 필요하고 한 공정은 Al 증착 및 연속에치에 활용된다. 따라서 어떤 특정공정모듈도 접점층에 필요되지 않은 간단한 처리 시퀀스(sequence)를 필요로 한다.

### 2.13.2 해결방안

본 기술은 신규의 다층 배선 방법과 금속화 스킴(scheme)이 제공되어 다층연결구조를 제조하는 공정을 단순화하기 위하여, 반도체 기판상에 지지된 절연영역으로 분리된 도전영역을 접속하는 다층 배선형성공정에서, 반도체 기판위에 평면구조를 형성하는 단계로서, 상기 평면구조는 최상부면을 가지고 유전체내에 매립되는 패터닝 금속층을 포함하여 금속영역 및 유전체 영역을 형성하며 상기 패터닝 금속층은 단일 도전층이나 단일 도전층 및 실제 더욱 얇은 barrier층을 포함하는 평면구조형성단계와, 평면구조의 최상부면에서 패터

된 금속층 및 유전체를 에칭하거나 연마하여 노출시킴으로서 최상부면을 평탄화하는 단계와, 상기 단계들을 최소한 한번 반복하여 반도체 기판위의 다른 최상부면에 다수가 평면구조의 스택된 평면구조를 형성하는 단계로 이루어진다. 각 평면구조는 최상부면 및 최하부면과, 최상부면, 최하부면 또는 양자에 접촉한 적어도 하나의 인접한 평면구조를 갖고 있다. 이에 의하면 공정에서는 전기접점이 인접한 평면 구조내의 선택된 금속영역사이에 형성되게 하여, 기판에 수직인 경로를 따라 전기 접속하고 기판에 병렬인 경로상에서 전기 접속하는 패터닝 금속 배선을 형성한다. 본 기술에 의하면 서로의 최상부면에 스택된(stacked) 패터닝 금속층으로부터 유일하게 형성된 다중 레벨 배선구조를 제공한다. 수평경로를 따라 전기 접속하는 인터커넥트 라인 및 수직경로를 따라 전기 접속하는 접점 양자 모두는 패터닝 금속 인터커넥터를 이용하여 빌딩-블록(building-block)으로서 형성될 수 있다. 접점층을 위해서는 어떤 특정공정 모듈도 필요치 않다. 동일한 공정 모듈로부터 형성되는 패터닝 금속층의 사용으로 다층 인터커넥트의 설계 및 구성이 더욱 간단하게 된다. 따라서 제조공정은 단순화되어 더욱 비용을 낮추게 된다. 두꺼운 인터커넥트 라인을 구성하도록 더욱 두꺼운 금속층을 형성하기 위해 2이상의 패터닝 금속층은 서로 스택될 수 있다. 이런 방법으로 수직 지음 버싱(bussing)이 가능하게 된다. (공개특허 제1999-44651)

## 2.14 저유전율막으로서 유기막의 사용

### 2.14.1 문제점

최급에 이르러, 유전율비가 2.0 이하가 기득될 수 있는 재료로서, 크세로겔(xerogel)을 반도체 장치에 응용하는 것이 주목되고 있다. 본 기술에 관련하는 것으로서, 일본 공개특허 제8-70005호 공보에는 금속 리드선의 신뢰성을 높이는 방법으로서, 저유전율 재료층에 열확산용 더미(dummy) 리드선을 설치하는 구조가 개시되어 있다. 이 구조는, 기판상에 Al 합금 등으로 이루어진 금속 리드선과, 최소한 금속 리드선사이에 공극, 실리카-에어로겔, 유기 SOG, 플루오르 산화 실리콘 등으로 이루어진 저유전율 재료와, 금속 리드선 및 저유전율 재료에 증착된  $AlN$ ,  $Si_3N_4$ 와  $AlN$ 과의 적층체 등으로 이루어진 전열성 절연층과, 금속 리드선에 근접한 Al 합금 등으로 이루어진 더미(dummy) 리드선을 가진다.

이 구조는, 금속 리드선으로부터의 열은, 열을 확산할 수 있는 더미 리드선 및 저유전율 재료보다 열전도가 20% 높고, 바람직하게는  $Si_3N_4$  보다 20% 높은 열전전도를 가진  $AlN$  등의 절연 재료로 이루어진 전열성 절연성에 이동될 수 있다. 이러한 구조로 하는 것에 의하여, 선간(또는 리드선간)의 배선 용량을 감소시키고, 또한, 저유전율 재료의 열전도도의 저하에 따라 높은 aspect ratio의 금속 리드선을 사용

하는 경우에 문제가 되는, 줄(joule) 열효과에 의한 금속 리드선 파손 등을 방지하여 신뢰성이 높은 금속 리드선을 가지는 반도체 장치를 얻도록 하는 것이다.

위에 기술한 damascence 프로세스는, 배선 패턴을 미리 층간 절연막에 형성해 놓고, 거기에 금속을 매입하고, CMP 법에 의해 금속을 연마하고, 배선을 형성하는 것이다. 종래의 층간 절연막에서는 산화 실리콘막 등의 무기재료를 사용할 수 있었지만 미세화에 따른 용량 증대를 억제하는 목적으로 저유전율의 재료가 사용되고 있다. 저유전율의 재료의 대부분은 유기막이고, 유기막의 막질은 종래의 산화 실리콘막 등의 무기막에 비하여 그 단단함은 1/10~1/100 이므로, 예를 들면 damascence 프로세스에 필요한 단단함이 불충분하다. 유전율비가 작은 물질, 특히 유전율비가 3 이하인 저유전율막 대부분은 유기막이다. 유기막은, 종래의 층간 절연막에 사용될 수 있는 실리콘 산화막에 비하여 부드러운 것이 특징이다. 예를 들면 영(young)율로 비교하면, 실리콘 산화물이  $5\sim 10 \times 10^{10}$ 에 대하여 유기막을 구성하는 수지는  $0.3\sim 0.8 \times 10^{10}$ 으로 작다.

따라서, damascence법으로 배선을 형성한 경우, 유기막에 많은 스크래치(scratch)가 발생하게 된다. 스크래치는 수득율(product yield) 저하의 원인이 된다. 그 때문에, 일반적으로는 실리콘 산화막 또는 질화막을 유기막상에 형성하지만, 이러한 막은 유전율이 유기막에 비하여 높고, 배선간의 용량이 증대해 버리는 문제가 있다.

그러므로, damascence 프로세스시에, 산화 실리콘막이나 질화 실리콘막을 병용하는 아이디어가 제안되고 있다. 그러나, 그러한 막은 유전율이 높고, 유기막에 의한 저유전율화의 효과를 반감시켜 버리는 문제가 있다.

또, 유기막은 종래의 반도체 디바이스에 사용되었던 층간 절연막(실리콘 산화막)에 비하여 열전도율이 1/10 정도로 매우 작고, 소자의 열확산에 중대한 영향을 미친다. 즉, 디바이스의 축소화에 따라 단위 면적당 열발생량은 저하하지만, 방열을 위한 경로의 열전도율이 떨어질 수 있다. 따라서, 방열 경로를 고려하는 디바이스 구조가 요구된다.

또한, 크세로겔은 실리카겔(silica gel)이라는 명칭으로 건조제 등에 사용되는 등, 일반적으로 널리 알려진 재료이지만, 반도체 장치에의 응용에는 다양한 신뢰성에 대한 요구가 있고, 현재로서는 반도체 장치에 적용하는 것은 곤란하다. 즉, 크세로겔은 그 체적의 50~90%가 기포이고, 기계적 강도, 열전도성, 내열성, 내습성, 층간 밀착성 등에 문제가 있다.

따라서, 이러한 문제를 해결하면서 저유전율의 크세로겔을 응용하는 디바이스 구조가 요구된다.

## 2.14.2 해결방안

damascence프로세스를 이용하는데 있어서 저유전율막으

로서 유기막 또는 유기막 및 크세로겔을 함유하는 막을 층간 절연막으로 사용하는 반도체 제조방법을 제공하기 위하여, 기판에 절연막을 형성하는 공정과, 이 절연막의 위에 유전율비가 3.0이하인 유전체막을 형성하는 공정과, 이 유전체막의 위층 무기막을 형성하는 공정과 상기 유전체막에 배선층을 형성하기 위한 패턴을 형성하는 공정과, 상기 배선층을 전체면에 형성하는 공정과, 상기 배선층을 연마하는 공정과, 상기 무기막을 제거하는 공정으로 구성된 반도체 제조방법을 제시한다. 본 기술에 의하면, 층간 절연막을 유전율비가 3.0 이하인 유전체막을 사용하기 때문에 배선간 용량의 증대가 대폭 억제되는 효과가 있다. (공개특허 제1999-45323)

## 2.15 금속증착표면의 펜스

### 2.15.1 문제점

당업계에 알려진 대로, 적절한 그속 흐름은 금속이 증착되는 표면의 기하 구조(geometry)에 크게 의존한다. 펜스의 존재는 금속의 흐름을 중단시켜 금속이 통로 트렌치로 원활하게 흐르는 것을 막는다. 금속이 통로 트렌치로 흐르는 것을 막은 결과 통로 공동내에 공간이 형성되어 통로의 전기적 접촉 저항이 실질적으로 증가될 수 있다. 또한, 이 공간으로 인해 통로를 흐르는 모든 전류가 통로의 공간이 없는 부분으로 운반되어야 하기 때문에 신뢰도를 받아들일 수 없게 되는 문제가 생긴다. 이렇게, 통로의 공간이 없는 부분을 통해 흐르는 높은 전류 밀도는 통로 금속의 electromigration을 일으킬 수도 있다. 통로 금속의 electromigration은 장기적인 수명 불가한 시간 고장(Failure In Time, FIT)비율을 낮출 수 있다. 어떤 경우에는, 펜스가 아래에 놓인 전도층과 전기적 접촉을 형성하기 위한 통로 공동 또는 통로 트렌치로의 충분한 금속 흐름을 막아 전기적 개방의 형성을 야기할 수도 있다. 이 문제를 처리하기 위해, 다른 선행 기술은 통로 공동을 형성하기 전에 절연 층의 표면상에 트렌치를 형성하는 것을 포함하였다. 한편, 절연 층의 표면은 통로 공동의 에칭을 촉진하기 위해 평탄화되지는 않는다. 다시 말해, 통로 공동의 에칭을 촉진하기 위해 절연체 표면을 평탄화할 목적으로 어떠한 희생용 재료(sacrificial material)도 트렌치로 증착되지는 않는다. 따라서, 통로 에칭을 촉진하기 위한 통로 마스크를 형성하기 위해 증착된 ARC 및 포토레지스트 재료는 트렌치로 증착되어 일반적으로 절연체 표면의 굴곡을 따르게 된다. 절연체 표면의 함몰과 고르지 못한 절연체 표면 상으로의 투사는 ARC 및 포토레지스트 재료가 통로 공동의 에칭 후에 제거되는 것을 어렵게 한다. 게다가, 절연체 표면의 함몰과 고르지 못한 절연체 표면 상으로의 투사는 포토레지스트가 작은 표면 기하 구조를 광분해하는 것을 어렵게 한다.

따라서, 통상적인 dual damascence 법에 의해 형성되는 펜스를 제거하고 작은 표면 기하 구조의 광분해에 적합한 층

분히 평탄한 표면을 만들기 위한 기술이 요구된다.

## 2.15.2 해결방안

본 기술은 통상적인 이중 damascence법에 의해 형성되는 펜스를 제거하고 작은 표면 기하 구조의 광분해에 적합한 충분히 평탄한 표면을 만들기 위한 회생용 유동성 산화물을 이용하는 이중 damascence법을 사용한 반도체 제조방법으로서, 아래에 놓인 디바이스층과 상기 디바이스층의 위에 배치된 절연층을 포함하는 기판위에 배치된 적층구조에 이중 damascence 에칭을 수행하는 방법에 있어서, 상기 절연층의 상부 표면에 트렌치를 형성하는 단계와, 상기 절연층의 상기 상부 표면과 상기 트렌치 속으로 유동성 산화물을 증착하는 단계와, 상기 유동성 산화물을 대략 상기 절연층의 상부표면의 높이까지 평탄화하는 단계와, 상기 트렌치 내의 상기 유동성 산화물과 상기 트렌치의 바닥에 있는 상기 절연층을 통과해 상기 아래에 놓인 디바이스층까지 에칭하여 통로를 형성하는 단계를 포함하며, 상기 트렌치 형성단계에서 상기 트렌치는 상기 아래에 놓인 디바이스층 위에 배치되며, 상기 트렌치의 상기 바닥에 있는 절연층에 의해 상기 디바이스층으로부터 분리되는 것을 특징으로 하는 이중 damascence 에칭 수행 방법을 제공한다. 본 기술에 의하면 절연층의 상부표면에 트렌치가 형성된 후에 통로 공동이 형성되기 때문에 펜스가 형성되지 않는 장점이 있다. 이와 같이 펜스가 형성되지 않음에 의해 금속이 통로 공동속으로 원활하게 흐를 수 있어서 이어지는 금속증착을 촉진시킨다. 이런 식으로 통로공동과 트렌치로의 금속흐름은 펜스의 존재에 의한 공간의 발생없이 실질적으로 균일하게 된다. 이 금속증착의 균일성은 통로상의 금속공간의 존재에 기인하는 국부화된 일렉트로마이그레이션이 감소 또는 충분히 제거되기 때문에 개선된 장기간의 신뢰도를 얻을 수 있다. 또 다른 효과는 유동성 산화물의 사용으로 평탄한 표면형상이 가능하여 통상의 이중 damascence법과는 대조적으로 최상의 광선(optical beam) 또는 전자선(electron beam) 리소그래피 장치에 대한 투자 없이도 작은 기하 구조의 분해를 용이하게 하는 것이다. (공개특허 제1999-7191)

## 2.16 비아라인 개구에 형성된 펜스

### 2.16.1 문제점

공지된 이중 다만신 구조체 제조방법으로서 미국특허 제 5422309, 5529953, 5602423, 5614756호가 있다. 일반적으로 표준 이중 damascence 구조체는 반반사코팅(ARC:antireflective coating) 및 포토레지스트층을 갖춘 절연층을 먼저 코팅하므로써 제조될 수 있다. 포토레지스트층은 그 후 비아개구의 이미지패턴으로 제1마스크를 통해 노광되며 이 패턴은 하부 가로놓임 도전층을 노광시키기 위해

절연층을 통해 이방성으로 에칭된다. 비아구멍을 에칭한 후 나머지 ARC 및 포토레지스트가 제거된다. 그후 ARC 및 포토레지스트에 의한 새로운 층이 증착된다. 레지스트는 도전성 라인 개구의 이미지 패턴으로 제2마스크를 통해 노광된다. 제2이미지패턴은 도전성 라인개구로 비아개구를 포함하기 위해 제1마스크패턴과 정렬될 것이다. 형성되어야 할 도전성 라인개구가 제거된 레지스트의 일부는 비아개구와 절연층을 노광시킨다. 그후 노광된 절연층은 도전성 라인의 높이와 동일한 소망깊이로 에칭된다. 에칭이 완료되었을 때 비아개구와 라인개구는 도전성 금속층으로 채워질 수 있다.

ARC 및 포토레지스트층의 제2증착은 ARC로 비아개구를 채우며, 도전성 라인 개구를 형성하는 후속 에칭동안 폴리머(polymer)가 비아개구에 증대되도록 한다. 기본원칙은 점점 소형화됨에 따라, 상기와 같은 폴리머의 증대는 비아개구와 도전성 라인개구의 인터페이스에서  $SiO_2$  펜스의 형성을 강화시킨다. 상기 펜스의 존재는 상기 비아개구내로의 금속플로우를 방해하며, 그안에 보이드가 형성되게 한다. 이러한 보이드는 비아저항을 증가시키고 비아오류를 증대시키는 경우도 있다.

### 2.16.2 해결방안

하나 이상의 도전영역을 포함하는 반도체 기판에 회생물질층을 형성하는 단계와, 상기 도전영역에 걸쳐 하나 이상의 스티드를 제공하기 위해 회생물질층을 패터닝하는 단계와, 상기 하나 이상의 스티드를 포위하는 반도체 기판에 유전층을 형성하는 단계와, 금속간 유전층에 도전성 라인 개구를 형성하는 단계를 포함하며, 상기 하나 이상의 스티드의 일부는 상기 도전성 라인 개구내에서 노광되는 것을 특징으로 하는 이중 damascence 구조체의 제공하여, 비아개구 내부로의 금속플로우를 방해하지 않으며 이 비아개구에 보이드가 형성되지 않게 할 수 있다. (공개특허 제1999-7227)

또한, 비어내에 펜스의 형성 가능성을 제거하고 하부 메탈 리제이션층(metalization layer)과 자기 정렬되는 비어들을 형성하고, 이후의 수율 손실 또는 전계고장의 가능성을 수반하지 않고 매우 가까운 인터스페이싱(interspacing)으로 비어를 형성하는 이중 damascence법을 이용한 반도체 제조방법을 제공하기 위하여, 기판위에 비치되어 있으며, 하부 디바이스층과 상기 하부 디바이스층 위에 배치된 절연층을 포함하는 적층구조에 이중 damascence 에칭을 수행하는 방법에 있어서, (a)상기 절연층의 상부 표면위에 하드 레지스트층을 증착하는 단계를 포함하는데, 상기 하드 레지스트층은 제1개구가 상기 하부 디바이스층의 위체 위치하여 상부 메탈 리제이션을 정의하는데 적절하게 상기 하드 레지스트층에 배열되도록 패턴이 형성되며, (b) 상기 하드 레지스트층의 상부 표면위에 소프트 레지스트층을 증착하는 단계를 포함하는

데, 상기 소프트 레지스트층은 제2개구가 상기 제1개구보다 작게 상기 제1개구와 일직선상에 형성되어 상기 상부 금속리제이션층과 상기 하부 디바이스층을 접속시키는 상호접속통로를 형성하는데 적절하게 상기 소프트 레지스트층에 배열되도록 패턴이 형성되며; (c)상기 제2개구를 제1마스킹층으로 사용하여 상기 절연층의 상기 상부 표면에 트렌치를 형성하는 단계를 포함하는데, 상기 트렌치는 상기 하부 디바이스층 위에 위치되어 상기 트렌치의 바닥에 있는 절연재료에 의해 상기 하부 디바이스층과 분리되며; (d)상기 하부 레지스트층이 실질적으로 영향받지 않도록 상기 소프트 레지스트층을 제거하는 단계를 포함하며; 그리고 (e)상기 제1개구를 제2마스킹층으로 사용하여 상기 트렌치의 바닥에 있는 상기 절연재료를 상기 하부 디바이스층까지 에칭함으로써 비어를 형성하는 단계를 포함하는 것을 특징으로 하는 이중 damascence 에칭 수행 방법을 제공하며,

자기 정렬 통로들을 사용한 이중 damascence법은 가능한 모든 포토레지스트층과 ARC재료의 증착후에 통로구멍들이 형성되므로 펜스가 형성되지 않는다는 장점이 있고, 통로들의 최종형상이 절연 인터페이스상 영역에 의해 형성된 경계와 일치한다는 것이다. 이 일치성은 종래의 damascence법과 관련된 문제들 없이 통로들의 인터페이스를 더 가까이 할 수 있도록 한다. (공개특허 제1999-30048)

## 2.17 스택형 비아형성시 추가적인 마스킹 레벨

### 2.17.1 문제점

종래기술에서, 스택형 비아(stacked vias의 형성, 예를들면, M 3대 M 1의 직접접속은 기본 규칙(ground rule)에 영향을 미칠 수 밖에 없었는데, 즉 스택형 비아에 접속되어야 하는 레벨들 사이에 모든 비아 및 배선레벨들의 독립적인 정의를 필요로 하였고, 그때마다 최소의 이미지 크기 및 오버레이 때문에 그리고 차후의 비아가 금속담재패드(metal landing pad)내에 있도록 하여 원하지 않는 단락영역을 제거해야 한다는 문제점 때문에, 스택형 비아를 적용할 때 밀도를 낮추게 된다. 또한 스택형 비아는 복수의 배선 접속 인터페이스가 필요하므로, 접촉 및 비아 저항이 문제가 되었다. 결국 이들 오버레이 문제를 피하기 위하여 스택형 비아는 기본규칙이 유지되도록 보장하는데 별도로 마스킹 레벨을 필요로 했을 것이다.

### 2.17.2 해결방안

본 기술은 소정의 추가적인 마스크 없이 스택형 관통 비아(stacked through via)를 형성하고, 또한 소정의 추가적인 상호 접속 저항없이 스택형 관통 비아를 형성하기 위하여, 콘택트가 형성될 제1상호 접속영역을 형성하고, 상호 접속 영역상에 제1절연층을 형성하고, 제1절연층상에 에칭 정지층

(etch-stop layer)을 형성하고, 에칭 정지층을 에칭하여 제1상호 접속 영역상의 소정의 위치에 개구를 형성함으로써 수직방향으로 서로 이격된 두 개의 상호 접속 레벨을 또 다른 상호 접속레벨에 의해 접속하는 구조 및 방법을 제공한다. 제2상호접속영역은 제1절연층과 접촉하면서 제1상호 접속 영역상에 형성되고, 제2절연층은 제1절연층 및 에칭 정지층상에 형성되며, 에칭 정지층의 개구와 중첩하는 개구가 제2절연층에 형성된다. 제2절연층의 개구는 제1절연층을 통해 확장하고, 제1 및 제2 절연층의 개구들은 도체로 충전되어 제1상호 접속영역과 제2절연층의 영역간에 접속을 형성한다.

본 기술에 의하면 소정의 추가적인 마스크와, 소정의 추가적인 상호 접속 저항없이 또한 전자구조에 대한 기본규칙에 영향을 미치지 않고서, 이전 레벨로부터 은닉된 마스크 이미지(hidden mask image)를 이용하여 스택형 관통 비어를 형성함으로써 전자회로를 위한 스택형 관통 비아를 생성하는 새롭고 유용한 방법 및 구조를 제시(공개특허 제1999-29678)

## 3. Cu 다마신

### 3.1 오염장벽층

#### 3.1.1 문제점

IC 처리에 있어서 Cu를 사용하는 것과 관련된 문제가 있다. Cu는 IC 처리에 사용되는 재료의 대부분을 오염시키므로, Cu의 이동을 방지하기 위해 주의를 기울이지 않으면 안 된다. 집적회로 재료로의 Cu의 확산 문제에 대응하기 위해, 여러 가지 방법이 제안되어 왔다. 몇 가지 재료, 구체적으로는 고용점 금속을, Cu확산 프로세스를 방지하는 장벽으로서 사용하는 것이 제안되어 있다. Cu확산 장벽으로서 사용하기에 알맞은 산 프로세스를 방지하는 장벽으로서 사용하는 것이 제안되어 있다. 그러나, 이들 확산 장벽 재료에 Cu를 부착하는 것은 IC 처리의 문제이고, 이러한 재료의 전기 도전율은 IC 배선의 구축에 있어서의 문제이다.

선택된 IC 특징의 기하학적 구조가 작은 경우, 금속은, 스퍼터링 등의 종래의 금속 퇴적 프로세스를 사용하여, 기판상이나 비어내에 퇴적될 수 없다. Al이나 Cu과 같은 금속을 스퍼터링하여 직경이 작은 비어를 충전하는 것은, 간격 충전 능력이 뒤떨어지므로 비실용적이다. Cu을 퇴적시키기 위해, 여러 가지 화학기상증착(CVD) 기술이 업계에서 개발 중에 있다.

전형적인 CVD 프로세스에 있어서는, Cu을 유기 리간드와 결합시켜, 휘발성 구리화합물 또는 전구체를 생성한다. 즉, 용이하게 기체로 기화하는 화합물내에 구리를 혼합한다. 확산 장벽 재료 등의 집적회로의 선택된 표면을, 온도를 상승시킨 환경에서 동함유 가스에 노출시킨다. 휘발성 Cu가스



화합물을 분해하면, Cu는 가열된 선택 표면상에 남는다. CVD 프로세스에는 몇 가지 Cu화합물이 사용 가능하다. 구리화합물의 분자구조는, 통상적으로 선택 표면상의 Cu막 잔재의 도전성에 적어도 부분적으로 영향을 주는 것으로 인정되고 있다.

유전성 중간층에 의해 분리되는 Cu 등의 금속층간의 접촉은, 금속층간에 비어를 형성하는 damascence 프로세스를 이용하여 형성된다. 우선, 하부에 위치하는 Cu막에 유전체를 완전히 도포하는데, 이 때 전형적인 유전체는 이산화실리콘이다. 이어서, 패터닝된 포토레지스트 프로파일(profile)을 유전체의 상부에 형성하여, 배선홀을 유전체로 에칭한다. 다른 레지스트층은, 홀의 상부에 위치하는 포토레지스트에, 비어가 형성되는 유전체의 면적에 대응하는 구멍 또는 홀을 갖는다. 이어서, 포토레지스트가 도포되지 않는 유전체를 에칭하여, 포토레지스트의 홀의 하부에 위치하는 산화물을 제거한다. 그 후, 포토레지스트를 박리한다. 이어서, Cu, 또는 그 밖의 금속 재료의 얇은 막을 사용하여 비어 및 홀을 충전한다. 이 단계에서, 유전체층 및 그를 관통하는 Cu의 비어를 포함하는 층이 Cu막의 상부에 존재한다. 남아 있는 여분의 Cu은, 공지된 바와 같이, 화학 기계 연마(CMP) 프로세스를 이용하여 제거한다. 그 결과, 상감 또는 damascence 구조물을 얻을 수 있다.

Cu배선의 형성에는, Cu선을 장벽층들로 완전히 둘러싸는 것이 필요하다. 장벽층은, 도전성 또는 비도전성 어느 쪽이나 가능하다. 제조 프로세스에는, 기존의 장벽층을 에칭으로부터 보호하고, 이들 장벽층의 표면을 Cu 및 다른 IC 재료에 부착하도록 제조하기 위해서, 부가적인 공정이 필요하다. 도전성 장벽은 또한, 금속층과의 양호한 전기적 계면을 갖도록 제조해야만 한다. 장벽층은, IC의 여러 가지 금속층과 유전성 중간층 사이의 막으로서 퇴적된다. damascence 프로세스는, damascence 비어 및 홀의 형성중에, 부가적인 장벽층의 형성을 필요로 한다. 대부분의 미리 존재하는 도전성 장벽층은, Cu 비어와 금속층 사이의 도전성을 저하시키지만, 이들 장벽은 제거가 곤란한 것이 많다. Cu 비어 및 그와 계면을 이루는 도전성 장벽층 사이의 저항을 최소화하기 위한 방법이 개발되어 있다. 또한 부작과 전도 특성 사이에는 절충이 이루어지는 경우가 많다.

### 3.1.2 해결방안

IC에서, Cu 비어 및 그와 계면을 이루는 금속층 사이의 저항을 최소화하는 방법을 사용하는 것이 유리하다. Cu과 도전성 장벽층 사이의 계면에서 도전성이 떨어지는 것을 방지하기 위해, 비어 또는 damascence 구조물에 장벽층을 선택적으로 형성하는 수단을 사용하는 것이 유리하다.

비어 또는 damascence 구조물의 형성에 있어서, 장벽층

을 선택적으로 퇴적 및 에칭하는 방법을 사용하는 것이 유리하다. 또한, 공정수를 줄이고, 금속층간의 도전율을 향상시키는 것이 유리하다. Cu의 오염을 방지하기 위해 IC 배선에 장벽층을 선택적으로 형성한 후, Cu층간의 도전율을 향상시키기 위해 장벽층을 선택적으로 제거하는 방법을 사용하는 것이 유리하다. 따라서, 제1금속 수평층, 제 1금속층의 상부에 위치하는 제 1장벽층, 제 1장벽층의 상부에 위치하는 제 1유전성 중간층 및 제 1유전성 중간층의 상부에 위치하는 제 2장벽층을 포함하는 집적회로에서, 금속층간의 저저항 배선을 형성하는 방법은, a) 제 1장벽층, 제 1유전성 중간층 및 제 2장벽층의 선택된 증착 영역을 에칭하여 비어를 형성하고, 제 1 유전성 중간층의 수직 측벽 표면 및 제 1금속층의 선택된 영역을 노출시키는 공정, b) 공정 a)에서 노출된 제 1유전성 중간층의 수직 측벽 표면 및 제 1금속층의 선택된 영역의 상부에, 제 3장벽층을 공형적으로(conformally)퇴적시키는 공정, 및 c) 수평방향으로 이방성 에칭을 행하여, 제 1유전성 중간층의 수직 측벽 표면에 퇴적된 제 3 장벽층은 제거하지 않고, 제 1금속층의 선택된 영역상에 퇴적된 제 3 장벽층을 선택적으로 제거함으로써, 장벽 표면 측벽을 갖는 비어가, 제 1금속층을 계속해서 퇴적되는 금속층에 직접 접촉하기 위해 제공되는 공정을 포함한다.

집적회로(IC)에는, 금속층, 제 1금속층의 상부에 위치한 유전성 중간층 및 유전성 중간층의 선택된 영역을 관통하는 비어를 포함하고, 유전성 중간층의 측벽 표면 및 금속층의 선택된 영역을 노출시키는 저저항 금속층의 비어 배선도 제공되어 있다. 상기 비어 배선은, 유전성 중간층의 측벽 표면 및 금속층의 선택된 영역 상부의 장벽층 재료를 공형적으로 퇴적하고, 금속층의 선택된 영역 상부의 장벽층을 선택적으로 제거하도록 이방성 에칭함에 의해 형성된 유전성 중간층의 측벽 표면 상부의 장벽층을 더 포함하고 있다. 상기 금속층을 계속해서 퇴적되는 금속층과 직접 접촉하도록, 장벽 표면 측벽을 갖는 비어가 제공된다. (공개특허 제99-13927)

## 3.2 불량분당

### 3.2.1 문제점

damascence법은 홈 형성 후, Cu막이 CVD법, 도금법 등에 의해 증착되는 방법이다. 그 후에, Cu막은 각각이 스톱퍼(stopper)로 기능하는 층간 절연막과 함께 CMP법에 의해 폴리싱(polishing)된다. 그리하여, 잉여 Cu막은 배선영역 이외의 다른 영역으로부터 제거된다. 그러므로, Cu배선막 표면에 장벽 금속막을 형성하기가 어렵다. 절연보호막 형성 후에 본딩패드부가 개구되면, Cu배선막은 노출된다. 종래의 damascence법은 다음과 같은 문제가 있다. 즉, 특히 Cu배선막은 층간 절연막 내에 개구부 형성을 위한 에칭이나 포토레지스트의 박리단계에서 쉽게 산화되어, 산화Cu막은 분당

패드부 내에 형성된다. 와이어 본딩이 LSI의 조립을 위해 이러한 상태에서 실행되면, 밀착성이 산화Cu막과 금등의 본딩 와이어와의 사이에서 약하기 때문에 불량 본딩부가 많이 생긴다. 이러한 문제를 해결하는 방법으로서, 예를 들면, TiN 막은 Cu막 아래에 장벽막으로서 형성되고 Al막은 Cu배선막 표면에 적층된다. 이 구조에 따르면, Al막이 Cu배선층 표면에 형성되어 좋은 본딩성을 가지므로, 상기 문제는 일어나지 않는다. 그러나, 이 구조는 damascence법에 의해 형성될 수 없으므로, Cu배선막의 에칭은 매우 어렵다. 또한, 이 구조는 Cu배선막의 단차 코팅성과 평탄성에서 열등하다.

### 3.2.2 해결방안

본 기술은 조립단계에서 좋은 본딩성을 갖는 반도체 장치가 단차 코팅성과 평탄성에서 우수한 damascence법에 의해 Cu배선막을 이용하여 형성되는 반도체장치를 제조하는 방법을 제공하기 위하여, damascence법에 의해 층간 절연막 내에 Cu배선막을 형성하는 단계; Cu배선막과 층간 절연막에 절연보호막을 형성하는 단계; 절연보호막 내에 개구부를 형성하는 단계; 그리고 절연보호막에 Al 코팅막을 증착하여 개구부를 충전하는 단계를 포함한다. 상기 방법은 Al계 막을 패터닝하는 단계를 추가로 포함할 수 있다. 이 대신에, 상기 방법은 Al계 막에 매입하는 단계를 추가로 포함할 수 있다.

상기에서, Al계 막은 Al-Si, Al-Si-Cu로 구성되는 그룹으로부터 선택되는 것이 바람직하다. 또한, Cu 배선막이 형성되는 경우, 개구부 이외의 Cu배선막 전체면은, Cu원자가 확산하는 것을 방지하는 막에 의해 둘러싸이는 것이 바람직하다. 이 경우에, Cu원자가 확산하는 것을 방지하는 막은 질화막으로 구성된다. 또한, 개구부가 절연보호막 내에 형성되는 경우, 산화Cu는 개구부 형성 후 드라이 에칭법에 의해 Cu막으로부터 제거된다. 이때, O<sub>2</sub> 플라즈마 에칭은 회색한 HF 가스와 H(hfac) 가스를 이용하여 실행된다. 개구부는 Al 본딩패드를 위한 개구부이다.

또는 Cu원자가 확산하는 것을 방지하는 막에 의해 상층면 이외의 Cu배선막 전체면을 둘러싸는 한편, damascence법에 의해 층간 절연막 내에 Cu배선막을 형성하는 단계; Cu 배선막과 층간 절연막에 절연보호막을 형성하는 단계; 절연보호막 내에 개구부를 형성하는 단계; 절연보호막에 Al계 막을 증착하여 개구부를 충전하는 단계; 그리고 Al계 막을 패터닝하여 본딩패드를 형성하는 단계를 포함한다.

또는 Cu원자가 확산하는 것을 방지하는 막에 의해 상층면 이외의 Cu배선막 전체면을 둘러싸는 한편, damascence법에 의해 층간 절연막 내에 Cu배선막을 형성하는 단계; Cu 배선막과 층간 절연막에 절연보호막을 형성하는 단계; 절연보호막 내에 개구부를 형성하는 단계; 절연보호막에 Al계 막을 증착하여 개구부를 충전하는 단계; 그리고 Al계 막에

CMP법을 실행하여 개구부내에 Al계 막을 매입하는 단계를 포함한다. (공개특허 제99-37442)

## 4. 결 론

반도체 공정에서 다층 배선 기술은 집적 회로에서의 배선을 다층화하여 고밀도의 반도체장치를 제조하기 위한 중요한 프로세스라할 수 있다.

이와같은 다층 배선 기술에 있어서, 종래에 사용되던 방법은 오픈모드(open mode)에서는 금속과 실리콘기판사이의 콘택트 불량, 금속층간의 콘택트 불량, 금속층간 코로스 오버부에서의 단선(스텝 커버리지 불량), 절연막 에지에서의 단선, 마이그레이션(migration) 효과등이며, 쇼트모드(short mode)에서는 금속층간 쇼트(예: Al돌기, Al-SiO<sub>2</sub> 반응, SiO<sub>2</sub>크랙, 핀홀, 파티클, SiO<sub>2</sub> 스텝커버리지불량(크로스오버부)등의 문제점이 발생되었다. 따라서, 단차가 없는 이상적인 다층 배선 구조를 형성할 목적으로 연구된 여러 가지 평탄화 기술중의 하나가 바로 damascence 프로세스이다. 이 damascence 프로세스는 미국 IBM사의 미국특허 4789648과 4944836에 자세히 공개되어 있으며, 종래의 다층 배선 기술에서 문제가 되는 쇼트와 오픈의 불량모드를 해결할 수 있는 획기적인 방법이라고 할 수 있다.

그리고 이 damascence 프로세스의 개발에 의하여 지난 15년간 요지부동의 자리를 지키고 있는 마이크로프로세서의 회로 제작등에 사용되는 Al 기술이 Cu로 대체될 수 있는 기반이 마련되기도 하였다.

그러나, 이와 같은 damascence 프로세스에 있어서도 aspect ratio가 높은 경우 에칭공정상의 문제점, electro-migration과 stress migration에 관한 문제점등 해결해야 할 과제가 많으며, 이에 대한 연구가 계속적으로 진행되고 있다.

지금껏, damascence 반도체 공정에서 중요하게 부각되었던 문제로는, (1)electromigration 과 stress migration의 문제 (2)aspect ratio가 높은 경우 보이드 형성의 문제 (3)erosion 현상과 dishing의 문제점 (4)텅스텐 비트라인의 리프팅에 관한 문제점 (5)유기 반사막을 사용함으로써 비트라인의 선평의 조절에 관한 문제 (6)CVD 텅스텐 이용시 티타늄 나이트라이드(TiN)막의 리프팅과 금속라인상의 결합에 관한 문제 (7)선택적 텅스텐 증착 공정상에서 원치않는 부분의 텅스텐 증착문제 (8)miss align에 관한 문제, 즉 비트라인 형성을 위한 음각패턴을 먼저 형성한 후 다이렉트 콘택트(direct contact)를 형성하게 되는데, 이때 다이렉트 콘택트 형성을 위한 마스크 얼라인서 약간의 misalign이 존재 (9)저유전율막으로서 유기막의 사용시 문제점 (10)금속증착 표면의 펜스의 존재에 의한 문제점등이 있었다.

이를 해결하기 위하여, 반도체 업계에서는 (1)층간 접촉홀 영역에서 동종의 금속이 상호 접촉하게 되는 구조를 채택하여 접촉저항을 감소시키거나, (2)가압공정과 리플로우(reflow) 공정을 병행하여 실시하여 Al을 이용한 damascence공정의 문제였던 콘택홀의 높은 aspect ratio 제한을 극복하거나, 핵형성층의 형성후에 화학시상성장에 의해 Al막을 형성하고 이 Al막의 표면이 자연산화막으로 피복되기 전에 열처리를 행하여 Al막의 유동화를 도모하거나, (3)금속 더미층(dummy layer)들을 더 형성 또는 CMP를 행하기전에 점성을 갖는 물질을 도포하여 CMP 될 대상물의 표면을 평탄화하거나 (4)팅스텐 콘택플러그로 N+, P+ 동시 콘택을 형성한 후, 살리사이드공정으로  $CoSi_2$  또는  $TiSi_2$  비트라인을 형성하거나 (5)damascence 비트라인 패턴을 형성하기 위한 공정에서 종래의 유기반사방지막 대신 무기 반사방지막을 사용하고, 반사방지막을 절연막과 감광막 사이에 형성하지 않고 패드층과 절연막 사이에 형성하여 반사방지막으로서 사용할 뿐만 아니라 에칭 저지층으로도 사용하거나, (6)damascence 라인과 콘택홀 측벽에 스페이서를 형성하고, 이 결과물 상에 텅스텐을 선택적 증착하고, 텅스텐층을 CMP하는 공정을 제시하고 (7)실레인 ( $SiH_4$ )환원반응을 이용하여 선택적으로 텅스텐을 증착하여 제1텅스텐막을 형성하고 그 위에 블랙킷 텅스텐 공정을 이용하여 제2텅스텐막을 형성한 후 CMP를 실시하거나 (8)콘택트를 먼저 형성한 후 이 콘택트내에 레지스트 잔류물을 남긴 상태에서 도전라인 형성을 위한 음각패턴을 형성함으로써 콘택트가 음각패턴내에 고르게 분포되도록 하거나 (9)유전율막으로서 유기막 또는 유기막 및 크세로젤을 함유하는 막을 층간 절연막으로 사용하거나 (10)절연층의 상부표면에 트렌치가 형성된 후에 통로 공동이 형성되기 때문에 펜스가 형성되지 않게 하는등의 여러 방안을 제시하고 있다. 이상의 연구결과로부터 Cu칩 공정의 근간이 되는 damascence 프로세스의 여러 문제점과 그 해결방안을 제시함으로써 앞으로 지금껏 damascence 프로세스를 이용하는 다층배선형성 공정의 발전현황에 대하여 정리가 되었으리라 본다. damascence 프로세스는 특히 300mm웨이퍼 도입과 함께 향후 반도체 산업계의 가장 중요하게 부각되고 있는 Cu칩 공정의 기본이 되는 기술이므로 이에 대한 연구와 발전이 계속 이루어질 것이다.

### 참 고 문 헌

[1] 마에타 카즈오, 최신LSI 프로세스기술, 1994  
 [2] 김철주, ULSI 공정기술(전자컴퓨터공학연구총서 4), 1998  
 [3] (주)전자자료사, 반도체(공정 및 측정), 1997  
 [4] 윤현민/이형기, 기초반도체공학, 1998

[5] 성영권, 미세화소자 전자절연과 물성, 1997  
 [6] 반도체장비기술교육센터, 차세대반도체공정 및 장비기술세미나, 1998. 11  
 [7] 한국반도체산업협회, 반도체산업, Cu damascence 동향, 1998. 6  
 [8] 한국반도체산업협회, 반도체산업, 0.1 $\mu$ m 장비제조 기술(I), 1999. 1.2월호  
 [9] 한국반도체산업협회, 반도체산업, 0.1 $\mu$ m 장비제조 기술(II), 1999. 3.4월호  
 [10] 한국반도체산업협회, 반도체산업, 도포막 재료기술, 1998. 12월호  
 [11] 한국반도체산업협회, 반도체산업, 300mm 설비투자 동향(I, II, III), 1999. 5.6.7.8월호  
 [12] 삼성전자, 현대전자, 엘지반도체, IBM, AMD, 소니, 일본전기, 도시바, 지멘스, 샤프, 모토롤라등, damascence process 관련 대한민국 특허공보, 1995-1999  
 [13] 미국특허 제4,789,648호, 제4,944,836, 1998, 1990  
 [14] 이세광, 구리칩기술동향, 전자신문논문, 1999. 9  
 [15] 미국특허 제5,422,309호, 제5,529,953호, 제5,602,423호, 제5,614,765호, 1990-1995

## 저 자 약 력

성명 : 최 훈 식

### ❖ 학 력

1994. 2 고려대학교 금속공학과 졸업  
 2000. 2 고려대학교 전기공학과 석사

### ❖ 경 력

1994 ~ 1995 현대정보기술  
 1995 ~ 1997.6 원전 국제 특허법률사무소  
 1997.7~현재 법무법인 세종 지적재산권부 재직중  
 1998~현재 (주)비즈테크 고문변리사  
 1997~현재 한국전자통신연구원 담당변리사

✉ E-mail: hschoi@shinkim.com