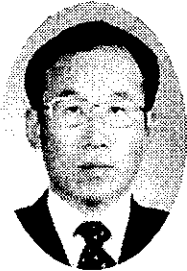


SiGe 헤테로소자의 특성 및 제작기술



심규환
(책임연구원)



김홍승
(선임연구원)



강진영
(팀장)

(한국전자통신연구원, 회로소자연구소, SiGe소자팀, 대전시 유성구 가정동 161)

1. 서론

최근에 SiGe 헤테로소자의 기술이 급속히 발전하여 heterojunction bipolar transistor (HBT)는 무선통신 및 광통신에 요구되는 RF 회로를 상용화하는 단계에 이르렀다. 그 밖에도 고속동작과 고집적화에 응용하고자 heterostructure field effect transistor (HFET), heterostructure complementary metal-oxide-semiconductor (HCMOS) 등의 SiGe 헤테로소자들이 개발되고 있다. 실리콘반도체의 물리적 한계를 SiGe/Si 헤테로소자구조로 극복하면서 성능을 개선시킴으로써 응용분야를 다양하게 할 수 있어 SiGe 헤테로소자의 중요성이 증대하고 있다.^[1-11]

SiGe의 가능성은 1957년에 최초로 제시되었으나 여러 가지 어려움에 의하여 1981이 되어서야 소자에 응용이 가능한 SiGe 저온성장이 발표되기 시작하였고, 1987년에 UHV-CVD 를 개발한 Meyerson 의하여 동작하는 SiGe HBT가 발표되었다. 그리하여 1990년에는 f_t 가 75GHz 를 돌파하였고, 1995년도에 이르러서는 Daimler-Bentz에 의해 $f_t / f_m = 130/160$ GHz 의 고주파특성이 발표되어 밀리미터소자 급에 응용이 가능함을 보였다. 이러한 단위소자의 개발에 힘입어 1992년도에 SiGe BiCMOS가 개발되기 시작하였고, 1994 년에 IBM은 8인치 실리콘기판에 SiGe HBT를 생산할 것임을 발표하였다. 그러나 실질적으로는 1998년과

1999년에 걸쳐 IBM, Temic, Maxim, SGS Thomson이 LNA, Mixer, Power Amplifier, VCO등을 출하하면서 SiGe의 집적소자의 상용화가 본격화되었다.

SiGe는 실리콘반도체가 부딪친 고속동작과 미세구조에서의 동작특성의 한계를 극복하여 수 백배의 용량을 갖는 기억소자는 물론 마이크로 프로세서에 까지 응용할 가능성을 지닌다. 그림1에서와 같이 200 GHz를 넘어서 최대 400 GHz 까지도 동작이 가능하리라 예측되며, HBT와 HFET는 이미 150 GHz 를 넘어서는 수준까지 발전되었다. 그리고 MOS-gated modulation doped field effect transistor (MOD-FET)과 resonant tunneling diodes (RTD), light emitting diode (LED)와 single electron transistor (SET) 등에 대한 연구도 활발하다.

SiGe HBT소자는 실리콘헤테로소자 중에서 처음으로 상용화에 크게 성공하고 있는데, 기술적으로 충분히 성숙하여 수율, 신뢰성, 집적화도, 생산단가 등에서 III-V화합물반도체와 경쟁적인 위치에 서게 되었다. 따라서 디지털에서 아날로그, RF, 마이크로웨이브, 그리고 광전소자에 이르기까지 다양한 SiGe 헤테로소자가 상용화에 적절한 성능으로 발표되었고, 무엇보다 1 Gbit의 집적도에 해당하는 CMOS기술과 1-12 GHz에 해당하는 HBT기술을 결합하여 제작하는 SiGe BiCMOS는 system-on-a-chip을 이루어 갈 전망이다. 본 고에서는 SiGe 헤테로소자의 핵심기술을 소개하였

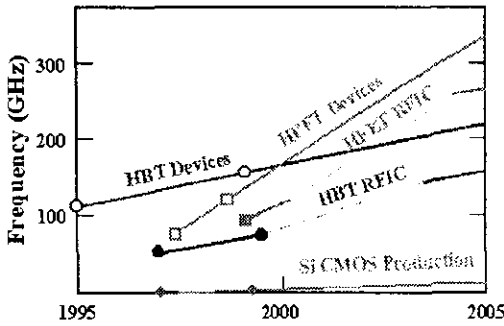


그림 1. SiGe 헤테로소자인 HBT, HFET 와 Si CMOS의 동작주파수

고, SiGe HBT의 제작기술과 RF, 마이크로웨이브, 광통신 용으로 개발되는 기술발전 현황 및 시장전망을 포괄적으로 기술하였다.

2. SiGe헤테로소자의 핵심기술

2.1 SiGe 에피성장기술

SiGe 에피층은 Ge의 조성이 5% 이내로 균일하여야 하고, 계면에서 C, O의 양이 적어야 하며, 날카로운 도핑농도의 조절, throughput 높은 성장 공정, 열 안정성 (600℃ 부근에서 박막의 응력이완이나 결합발생 문제), 저 결합 (고 수율, 저 비용), 800-1000℃ 열처리가 가능해야 한다. 저온성장은 SiGe/Si의 계면확산과 B의 확산을 650℃ 이하에서 저지하고, 불안정한 SiGe층의 응력이완에 따른 결합생성을 방지한다. 그러나, Si의 표면확산이 충분하지 못해 결정결함을 내포하게 되거나, 자연산화막의 In-situ 세척이 어렵고, 성장속도가 낮고, 고농도의 n-type, p-type을 in-situ 도핑하기 때문에 장기간의 안정성과 신뢰성 확보가 어렵다. 이러한 저온성장의 문제점들을 고진공이 다소 해결할 수 있는데, 고진공에서 molecular flow로 균일도를 높이고, 기상반응을 줄이고 표면반응에 의하여 에피성장을 통제하도록 한다. 저온에서 고품질의 에피성장이 가능하여 loading effect가 작고, 결합이나 불순물의 농도를 최소화 하며, 또한 SEG 성장에 유리하다.

에피성장 연구는 GSMBE에 의하여 가장 많이 진행되었다. 저온인 600℃ 부근에서 $P=1.4 \times 10^{-4}$ Torr인 소스를 사용하여 계면의 Abruptness가 우수한 장점이 있으나, 소스의 사용이 불안정하고 Ge-segregation 일어나며, throughput이 낮아 생산에 사용될 가능성이 매우 희박하다. 그럼에도 불구하고 Daimler-Benz의 경우는 GSMBE로 HBT 소자 개발을 심도 있게 하였다. RPCVD는 압력이 Viscous laminar flow 영역인 10-50 Torr에서 에피를 성장하여 대형 웨이퍼

의 성장공정이 편리하고 날장 공정가능하며, 장비가 간단하다. 그러나 loading effect와 불순물의 오염에 의해 결정의 순도 및 품질이 저하될 수 있다. TEMIC사가 상용화에 적용한 LPCVD는 600 mTorr에서 0.4-4 nm/min의 성장속도로 에피를 성장한다. 현재 가장 널리 사용되는 UHVCVD는 기본진공이 1×10^{-9} Torr 이하 ($\sim 10^{-11}$ Torr)로 불순물 (산소, 탄소)의 함량을 줄이고, 저온에서 원자단위로 성장한다. 따라서 고농도 보론 (5×10^{21} cm⁻³) 도핑이 가능하고, 2DEG 양자효과 소자 제작에 유리하며, 결합농도가 낮아 수율이 높다. 그러나 기억효과가 있으며, auto-doping, in-, out-diffusion이 다소 문제시 되고 있다. 현재 SiGe:C의 성장에 의한 불순물 확산의 억제와 원자층의 수준으로 평탄한 성장에 가장 많은 관심이 기울여 있다.

2.2 이종접합 구조의 임계두께 및 에너지갭

실리콘의 위에 성장되는 Si_{1-x}Ge_x의 임계두께 (h_c)는 에피의 성장조건에 의존하는데, 성장온도를 저온으로 할수록 임계두께는 증가한다. 임계두께에 관하여 이론은 매우 잘 정립되어 있으며, 임계두께의 일반식은

$$h_c = \frac{a}{x^n} \ln \left(\frac{h_c}{b} \right) \quad (\text{nm}) \quad (1)$$

으로 나타낼 수 있고, 여기에서 n, a, b는 상수, x는 Ge의 몰분율이다. 고온성장 (700~800℃)에 있어서 Van der Merwe의 이론 ($n=1, a=0.55, b=0.1$)에 매우 잘 일치하여, 실험결과는 $1.7793x^{-1.2371}$ (nm)의 값을 따른다. 성장온도를 낮추면 임계두께가 증가하기 시작하여 People & Bean의 에너지밸런스의 이론을 따르며, 550℃ 이하의 저온에서는 임계두께가 10배 정도로 증가하여 $n=2, a=1, b=0.38$ 을 실험결과로부터 얻을 수 있었다.

한편, 임계두께 이하에서 에피층을 성장하여 에너지갭을 조절해야만 원하는 헤테로소자를 제작할 수 있다. Si_{1-x}Ge_x의 에너지갭은 $x < 0.85$ 에서 $E_g = 1.155 - 0.43x + 0.0206x^2$ (eV), $x > 0.85$ 에서 $E_g = 2.01 - 1.27x$ (eV)로 각각 조절된다. 단 이완된 Si_{1-y}Ge_y 위에 응력이 걸린 Si_{1-x}Ge_x가 성장되는 경우 (Si_{1-y}Ge_y/Si_{1-x}Ge_x), $x > y$ 이면 압축응력에 의해 valence 밴드에 오프 이 대부분 걸려서 ($\Delta E_v = (0.74 - 0.06y)(x-y)$ (eV)가 되고, $x < 0.6$ 이면 인장응력이 인가되어 conduction 밴드에 오프 이 대부분 발생되어 ($\Delta E_c = 0.6y$ (eV)가 된다. 따라서 이완된 SiGe층의 사이에서 인장응력을 받는 Si양자우물은 이차원전자의 전도층을 형성시키게 된다. 이때 계면에서의 상호혼합은 매우 중요하여 3 nm 이하로 조절해야, 8×10^6 cm²/V sec의 높은 전하이동도를 10 K에서 얻을 수 있으며, 300 GHz 이상의 고속 동작 특성을 내는 HFET를 제작에 필요한 물성을 제공하게 된다.

2.3 다결정실리콘 에미터의 성장

BJT에서는 에미터 성장을 위하여 수소열처리에 의한 표면 산화막의 제거가 많이 사용하였다. 그러나, HBT는 베이스 에피가 파괴되지 않고 유지되는 thermal budget 문제로 인하여 고온에서 H₂ 환원에 의하여 표면의 자연산화막을 제거할 수 없다. 따라서 In-Situ로 산화막을 식각하기 어려우므로 기판의 표면에 잔류하는 미량의 자연산화막을 완벽히 제거하기 어렵다. 이러한 자연산화막이 적절히 통제되지 않아 수 nm 두께로 에미터와 베이스의 계면에 잔류하면, 전류이득 (gain)을 비정상적으로 높이는 동시에 에미터 저항을 증가시키게 된다. 따라서 10²¹ cm⁻³ 이상의 고농도로 주입된 에미터의 불순물을 열처리과정에서 적절히 Drive-in하여 문제를 해결한다. 이와 동시에 Drive-in에 의한 열처리되는 에미터 접합장을 만들기 위한 산화막의 건식식각에서 발생시킨 표면 부위의 결함을 annealing하는 동시에 고농도 에미터접합의 내부로 들어가게 되어 공핍층을 통한 누설전류를 최소화 한다. 한편, 고진공의 Load-Lock이 있는 LPCVD나 UHVCVD는 HF처리에서 H-Si의 결합으로 실리콘의 표면을 보호하고 성장전에 저온에서 표면처리하는 방법을 사용한다.

2.4 SiGe의 저온 선택성장

실리콘 및 SiGe 선택적 에피택시 증착(Selective Epitaxy Growth, SEG)은 새로운 구조의 초미세 집적회로(Ultra Large Scale Integrated, ULSI) 개발에 중요한 기술로 떠오르고 있다. 응용분야를 보면 CMOS에서 이온주입 없이 intrinsic channel layer, raised source/drain 그리고 retrograde well 형태의 N-well과 P-well을 형성할 수 있다. 또한 HBT에서도 컬렉터, 내부베이스층, 외부베이스층을 형성할 수 있다.

실리콘 SEG는 800 °C 이상의 고온에서는 쉽게 형성이 되지만 산화막 측벽 근처에서 발생하는 결함과 성장시 형성되는 facet을 조절하는 것이 중요한 이슈가 된다. 또한 열적 부담을 줄이면서 양질의 에피박막을 아주 저온인 (600-700 °C) 근처에서 얻고자 하는 SEG 기술이 주로 연구되고 있다. 따라서 최근의 SEG연구는 주로 고 진공과 저온성장에 집중되어 있다. 이는 저온으로 내려갈수록 산소 분압이나 습기 등이 SEG에 많은 영향을 끼치는데 600 °C에서 SEG가 가능 하려면 그 분압이 30-100 ppb이하가 되어야 한다. 심한 경우는 750 °C에서 단결정과 다결정의 전이가 H₂O와 O₂의 양이 50 ppb와 20 ppb만 되어도 일어날 수 있다. 기본적으로 SEG로 양질의 에피택시 박막을 얻기 위해서는 전체적인 소스 가스 및 캐리어 가스, 기판 표면 그리고 산소나 습기가 없는 챔버 분위기를 유지해야 한다. 그리고, SEG 성장에 사용되는 마스크의 물질은 oxide와 nitride가 많이 사용되는데 oxide도 증착법(wet, dry, LTO)에 따라 조금씩 차이가 나며 nitride를 사용할 경

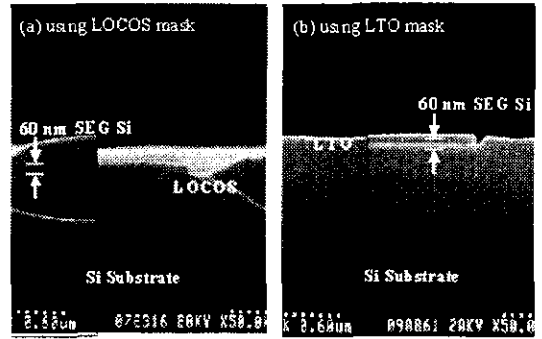


그림 2. 저온 SEG에 의해 (a) LOCOS와 (b) LTO산화막 마스크의 경우 각각 선택적으로 성장된 Si의 단면 SEM 사진 (ETRI)

우 selectivity가 떨어진다. 또한 마스크층 측면의 상태가 결함(twin, stacking fault) 및 facet({113}, {111})등 형성에 영향을 미치므로 적절한 처리를 필요로 하게 된다.

그림 2는 LOCOS와 LTO 산화막 패턴을 마스크로 사용한 선택성장의 예를 보여준다. 증착과 에칭을 반복하는 성장법을 이용하여 Si와 SiGe를 700 °C 이하의 저온에서 선택성장할 수 있다. SiH₄가스를 이용한 성장의 경우 잠입 시간이 60-90 sec로 작고, 산화막 위에 결정핵들이 형성되어 작은 결정입자들이 존재하기 시작하면 빠른 속도로 성장을 해나간다. 따라서 잠입시간 보다 짧은 증착시간을 유지하고 그 후 산화막 위에 형성될 수 있는 입자들을 에칭하는 방법으로 산화막과 Si 기판에서의 selectivity를 높일 수 있다. 또한 잠입시간을 길게 하기 위하여 SiH₄와 HCl을 함께 흘려주면서 증착을 하고 바로 다음 HCl만 넣어서 에칭을 함으로써 증착과 에칭을 반복하여 성장한다.

2.5 Ti-Germanosilicidation

저온 성장법으로 Si과 SiGe에피층을 Extrinsic Base층에 증착하는 기술은 Ti실리사이드의 안정된 형성을 돕고, 베이스의 저항을 줄이는데 매우 중요한 역할을 한다. 저온에서 SiGe를 선택적으로 성장하여 소자를 제작하는데 적용한다. 성장법은 상기의 성장과 식각을 반복하는 방식을 이용하고, 성장온도는 700°C 이하, 사용가스는 SiH₄ + GeH₄ + HCl를 성장에 HCl을 식각에 각각 사용한다. 성장률은 온도가 650°C 이상에서 3 nm/min이상, 도핑은 PH₃과 B₂H₆ 가스를 이용하여 10²¹ cm⁻³까지 가능하다. SiGe위에 Ti/TiN을 20/20 nm 두께로 증착하고 일차의 실리사이드화 급속열처리에서 C49를 형성하고, NH₄OH를 베이스로 하는 화학용액으로 습식식각하여 산화막위의 반응이 되지 않은 Ti/TiN막을 제거하고, 이차의 급속열처리에서 C54를 형성함으로써, 5 ohm/sqr. 이하의 면저항을 갖는 금속막의 접합을 만든다.

3. HBT 소자구조 및 특성

3.1 HBT 소자구조

Si와 SiGe 사이의 이종접합구조를 이용하여 에너지밴드가 조절되는 베이스를 사용하는 SiGe HBT소자는 그림 3과 같은 밴드구조를 갖는다. 베이스를 고농도 도핑하고, 베이스 폭 축소하여 동작속률 $f_t = 50\text{GHz}$ 까지 높인다. 베이스 폭을 축소하여 이득을 높이고, Turn-on 전압을 낮추어 고주파 전력 소모를 가장 작게 한다. 또한 베이스를 고농도로 하여 베이스 폭의 변조율이 작게 하여 선형성이 높다. 그림 3에서 에미터로부터 주입되는 전자가 콜렉터로 도달하는 시간 (τ_{ec})은 f_t 를 결정한다.

우선, SiGe의 가장 큰 장점은 고속동작특성이 우수하다는 점이다. 수식(2)과 수식(3)에서 베이스의 폭을 줄여서 전자가 이동하는 시간을 줄임으로써 f_t 를 높이고, 또한 R_b 와 C_{bc} 가 작게 설계하여 f_{max} 를 높인다.

$$f_{th} = \frac{1}{2\pi} \left\{ \frac{kT}{qI_c} (C_{ed} + C_{bc}) + \tau_b + \tau_e + \tau_{bc} \right\}^{-1} = \frac{1}{2\pi\tau_{ec}} \quad (2)$$

$$f_{max} = \frac{1}{2} \left\{ \frac{f_{th}}{8\pi R_b C_{bc}} \right\}^{1/2} \quad (3)$$

R_b 는 외부베이스의 저항(R_{be})과 내부베이스의 저항(R_{bi})의 합이지만 $R_{be} \ll R_{bi}$ 이므로 내부베이스의 저항(1~10 k Ω)이 대부분을 차지한다. 두 번째의 큰 장점은 실리콘 BJT에 비하여 큰 이득특성을 얻을 수 있다는 점이다.

$$\beta_{SiGe} \propto \beta_{Si} \exp\left(\frac{\Delta E_g}{kT}\right) \quad (4)$$

BJT의 전류이득은 $\beta_{Si} \propto N_D / (W_b N_A)$ 와 같이 베이스

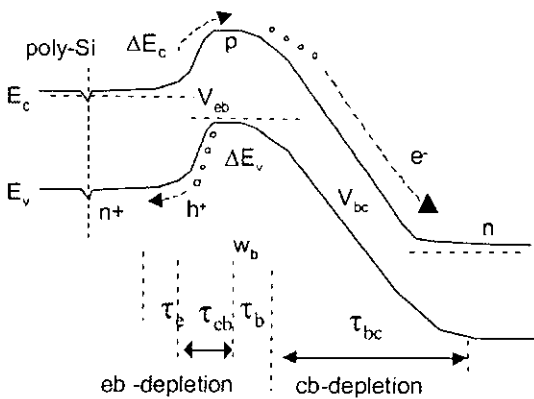


그림 3. SiGe HBT소자의 에너지밴드구조

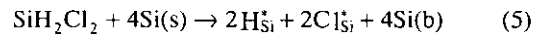
와 에미터의 도핑농도와 베이스의 폭에 의하여 결정되는데, 수식(4)에서와 같이 SiGe HBT의 경우는 부가적으로 실리콘 에미터와 SiGe베이스 사이의 밴드갭 차이, $\Delta E_g(\text{eV}) = 0.74X_{Ge}$ 에 따라 200~3000의 이득을 어렵지 않게 얻을 수 있다. 특히 아나로그소자의 중요한 Figure of Merit인 전류 이득과 Early voltage의 곱($\beta \times V_A$)을 25,000 이상으로 얻을 수 있는 점은 RF소자로 응용하는데 매우 중요한 장점으로 작용한다.

3.2 콜렉터에피의 성장

CVD 장치에서 5인치 p형 실리콘 <100> 웨이퍼 위에 실시간 고농도 인 도핑 실리콘 박막을 증착 하였다. 장입에 앞서 웨이퍼는 4:1 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ 용액 및 100:1 $\text{H}_2\text{O}/\text{HF}$ 용액에서 연속적으로 세척하여 기판표면의 자연산화막과 불순물을 제거한다. 표면의 자연산화막은 성장장치의 챔버에서 수소분위기로 열처리하여 제거한다.

AP/RP-CVD성장장치는 석영챔버의 위와 아래에서 탱스텐할로젠 램프로 가열하여 급속열처리의 기능을 지닌다. 성장 챔버의 한쪽 측면에서 가스가 주입되어 기판위를 통과하여 반대편으로 pumping되는 직육면체구조이고 웨이퍼를 10~50 rpm으로 회전시켜 박막두께의 균일성이 1% 이내로 높다. SiC가 코팅된 흑연 susceptor판을 사용하여 불순물가스의 out-gassing을 방지한다. SiH_4 , GeH_4 (1.5% in H_2), PH_3 (5% in H_2), B_2H_6 (1000 ppm in H_2)의 반응가스는 99.99% 이상의 고 순도이고, 운송가스인 H_2 는 In-line 정제기를 사용하여 공급한다.

콜렉터는 Si에피를 사용하므로 1100 $^{\circ}\text{C}$ 의 고온에서 DCS 가스를 사용하여 APCVD모드로 증착한다. DCS는 대략 1080 $^{\circ}\text{C}$ 이상의 온도에서 열분해 되며, 그 이상의 고온에서 실리콘에피의 성장속도는 온도변화에 독립적이고 DCS 소스의 주입량에 전적으로 의존하는 diffusion control모드에서 성장된다. 즉 대략 1000 $^{\circ}\text{C}$ 이하에서 DCS가 실리콘 기판에서 성장되는 Precursor mediated desorption 모델에 의해 설명될 수 있으며, 주요 Kinetic 반응기구는



으로 표기될 수 있다. 위의 수식(5)에서 *는 화학적으로 흡착된 상태를 의미하며, 괄호속의 s와 b는 각각 substrate와 bulk를 의미한다. 위의 반응기구의 활성화에너지는 대략 3.8 kcal/mole 로 알려져있다.

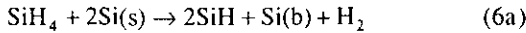
3.3 베이스의 에피성장기술

베이스의 성장조건은 표 1에 요약된 바와 같이 여러 층의 이종접합구조인 에피를 사용한다. 저온에서 SiGe에피를 성장하여 B의 확산을 억제하고, 에피성장시 불순물로 주입되

표 1. 베이스에피의 구조 및 성장조건(ETRI)

Layer	두께 (nm)	도핑	Ge의 몰분율
Cap -Si	30	undoped	
SiGe	5	Undoped	
p-SiGe	20	B=1x10 ²⁰ cm ⁻³	
SiGe	20	Undoped	
Seed-Si	30	Undoped	

는 산소의 양을 최소화 한다. 일반적으로 산소원자가 에피에 주입되는 농도는 700℃ 이하에서 가시적으로 증가하여 10¹⁹ cm⁻³ 이상의 수준으로 높아질 수 있다. 실리콘의 기판표면에서의 Kinetic 반응이 주된 600-900℃ 영역에서 연속적으로 일어난다고 할 때 SiH₄가 반응하는 주된 반응기구는



으로 간단히 표기할 수 있고, GeH₄도 동일하게 이해될 수 있다. 상기의 반응식 (6.a)와 (6.b)는 각각 고온과 저온의 성장에서 속도를 제어하는 반응으로 알려졌다. SiH₄소스와 마찬가지로 GeH₄도 동일한 반응과정을 보이는데 에피성장을 위한 활성화에너지는 SiH₄와 GeH₄의 경우 각각 1.6 eV와 1.0 eV로 알려졌다. 따라서 GeH₄를 주입하여 SiGe를 성장하는 경우 성장속도가 급격히 증가한다. 베이스에피의 층은 압력을 10-50 Torr로 600-700℃에서 ~10 nm/min의 성장률로 성장한다.

3.4 소자제작의 공정기술

비저항이 5-8 ohm cm인 실리콘(001) 기판에 Sub-collector는 As이온을 80 keV의 에너지로 주입하여 형성한다. 그 위에 APCVD모드에서 DCS가스를 사용하여 Si 에피층을 성장하고 P이온을 이온주입하여 컬렉터를 형성한다. SiN 박막을 160 nm 증착하여 만든 패턴을 마스크로 이용하여 소자의 격리를 위한 LOCOS 산화막을 성장한다. 컬렉터접촉용의 Plug이온주입은 P를 80 keV의 에너지로 주입한다. 이렇게 컬렉터의 제작이 완료된 기판은 습식식각으로 처리하여 표면의 불순물 및 잔류산화막을 제거하여, 즉각적으로 RPCVD장비에 투입하여 베이스에피층을 성장한다.

베이스에피는 Ge의 몰분율이 삼각형을 이루는 구조로서 표 1에서와 같은 구조를 사용한다. 이때 실리콘이 노출된 Active영역에는 단결정에피가 성장되고, LOCOS산화막 위에는 다결정상태로 성장된다. 기판에 성장된 베이스층은 광표사패턴 작업을 완료한 후에 베이스로 사용될 영역만을 남기고 다른 부분은 건식식각으로 제거한다. 기판을 다시 LTO

증착한 후에 에미터접합을 위한 영역은 건식식각과 습식식각을 복합하는 방식으로 형성한다. 기판을 RPCVD에 장입하여 In-Situ도핑된 P-type의 실리콘다결정막을 증착한다. 광표사로 패턴을 만든 후에 다결정실리콘과 산화막을 차례로 건식식각하여 에미터를 정의하고, BF₂를 이온주입하여 자기정렬을 위한 외부베이스를 형성한다. LTO를 증착하고 건식식각하여 에미터 다결정실리콘의 가장자리에 산화막층을 만든다.

후공정으로 Ti-실리사이드를 형성기 이전에 외부베이스의 저항을 줄이기 위하여 LT-SEG기술을 이용하여 Si 또는 SiGe을 400 nm 두께로 증착한다. Ti/TiN을 증착하고 급속 열처리하여 5 ohm/sqr. 이하의 면저항을 갖는 금속막의 접합을 에미터, 베이스, 컬렉터에 동시에 만든다. 그 후에 급속 배선을 형성하기 위한 통상의 후 공정을 진행한다. 그림 4는 SiGe HBT의 단면모양으로 에미터, 베이스, 컬렉터 전극, 에미터의 단면구조, 산화막층 등이 자기정렬되어 BiCMOS의 제작에 매우 적합한 구조를 갖는다.

그림 5는 소자구조로 성장한 에미터-베이스에서 SIMS로 측정된 B, Ge, P 불순물의 농도분포이다. 에미터의 두께가 300 nm이고, P의 농도는 대체로 1.5x10²¹ cm⁻³에 맞추어 있다. 단 베이스와의 계면에서 단결정의 성장이 다결정으로 변화하면서 P의 농도가 계면에서는 8x10²⁰ cm⁻³임을 알 수

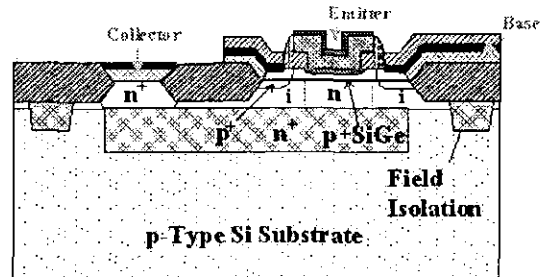


그림 4. CMOS와 집적하여 BiCMOS의 제작이 가능한 자기정렬구조의 SiGe HBT(ETRI)

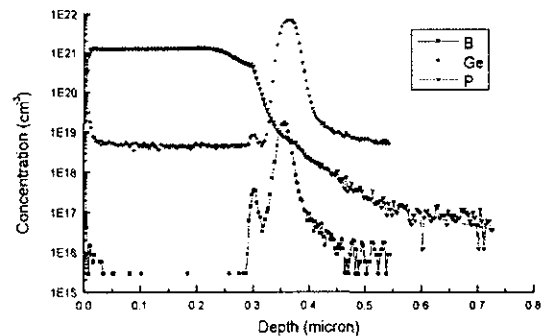


그림 5. 에미터-베이스에서 측정된 SIMS 분포(ETRI)

있다. 베이스에서 Ge의 최대치는 18%, B의 농도는 $3 \times 10^{19} \text{ cm}^{-3}$ 이며, 베이스의 두께를 30 nm 이내로 조절하였다.

3.5 SiGe HBT의 I-V특성

그림 6은 에미터 크기가 $0.5 \times 6.0 \mu\text{m}$ 인 HBT의 I-V특성이다. 베이스의 전류주입을 1 μA 에서 5 μA 로 증가시키며, 동시에 에미터-컬렉터의 전압 0-3V까지 전류를 측정하였다. Turn-on 전압은 0.05 V이하로 매우 낮고, 이득은 약 230-250로 높으며, 항복전압은 2.5-3.0 V사이의 값을 보인다. 동일한 HBT에서 측정된 Gummel특성은 베이스전압이 0.82 V, 전류가 5 mA에서 포화되는 특성과 넓은 전압과 전류의 영역에서 균일한 이득특성의 커브를 보였다. 컬렉터전류에 대한 이득의 분포의 특성에서는 에미터와 컬렉터사이의 전압이 1 V와 2 V에 대해, 컬렉터의 전류를 10^{-10} A에서 약 8 mA까지 변화시키며 측정하였다. 전체적으로 동일한 이득이 넓은 컬렉터전류의 영역에 걸쳐서 분포하는 이상적인 특성을 보였다. 이렇게 안정되고 넓은 컬렉터 전류에서 균일한 이득을 얻을 수 있는 것이 이중접합구조를 사용함으로써 얻는 큰 장점이다.

상기에 설명된 소자의 제작공정기술과 특성은 1^{10} GHz 대에 응용을 목표로 하는 RF Cell Library를 구축하기 위하여 소자구조 및 파라미터의 최적화, 동작특성의 신뢰성 확보, 소형/고성능 수동소자의 개발, 단위기능의 RF셀 설계를 통한 고주파 집적회로기술개발에 얻어진 일부의 결과이다. 앞으로 Base Band와 RF를 통합한 IC의 우수한 특성, 신뢰성, 가격경쟁력으로 인하여 수요가 수 년 이내에 폭발적으로 증가하면서 기술을 주도할 것으로 예측되는 바, 이를 구현하기 위한 SiGe BiCMOS의 핵심기술의 개발을 진행하고 있다.

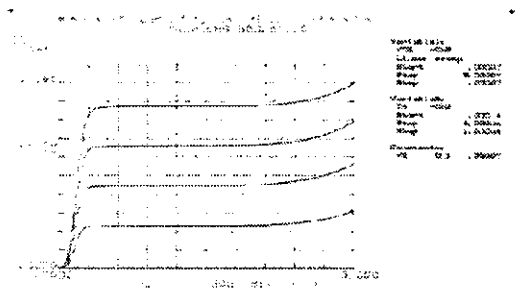


그림 6. IDP 에미터($0.5 \mu\text{m} \times 6.0 \mu\text{m}$)로 제작된 SiGe HBT의 대표적 DC 특성 (ETRI)

4. SiGe 헤테로소자의 연구현황 및 전망

4.1 SiGe HBT

SiGe이 Si에 비하여 우수한 점은 f_t/f_{max} 가 크고, Early

voltage가 높고, 베이스-에미터 접합의 정확한 조절과 베이스에 존재하는 높은 전계에 의해 전자의 이동을 가속시키는데 있다. GaAs에 비교하면 단일 전원공급과 낮은 turn-on 전압에 의한 저전력 사용, 낮은 $1/f$ 잡음, 낮은 기생특성과 경제성을 들 수 있다. 표 2에 기록된 바와 같이 SiGe소자의 특성은 BJT보다는 뛰어나고 III-V소자에 이르고 있어 여러 종류의 RF소자에 유용하다. 또한, 3V 동작이 가능함으로 single-cell Lithium-Ion 또는 3-cell Nickel Metal Hydride(NiMH) 배터리로 구동하여 무게/크기와 함께 소비전력을 줄일 수 있어, 이동통신용에 매우 적합하다.

SiGe HBT는 BJT에서 사용되는 이온주입에 의한 베이스층을 에피로 대체하는 점이 다르다. HBT에서는 높은 이득은 베이스-에미터의 계면에서 밸런스밴드의 off-set이 커서 정공의 주입을 저지함으로써 얻어지고, 전도대의 off-set은 작게 하여 turn-on 전압을 낮추어 전력소모를 줄인다. 또한 고농도로 도핑된 5-10 nm 두께의 베이스는 베이스의 변조를 감소시켜 선형특성을 높이고, f_t 를 높이고, 동시에 베이스의 저항을 낮추어 f_{max} 도 크게 증대시킨다.

가장 높은 $f_t = 130$ GHz 와 $f_{max} = 160$ GHz 는 Daimler-Chrysler 연구그룹에 의하여 발표되었으며, 현재 f_t/f_{max} 는 대개 70-80 GHz 에서 소자를 설계하여 사용한다. SiGe HBT의 잡음지수는 2-12 GHz에서 0.5-1 dB를 유지하여 매우 우수하다. 저주파잡음의 특성을 보면 $1/f$ 잡음에서 shot 잡음으로 넘어가는 코너주파수는 10-100 GHz 동작의 경우 $f_c = 0.1-10$ kHz로 가장 낮은 값을 얻을 수 있어, oscillator의 제작에 최적의 특성을 보인다.

표 3에서와 같이 1-40 GHz 의 주파수대역에서 동작하는 SiGe RFIC가 통신용을 위주로 상품화되고 있다. SiGe/Si 고전력 HBT의 경우 1.9 GHz 응용을 위해 60 개의 에미터로 제작하여 포화컬렉터전류가 400 mA이고, 항복전압이 4.5 V, f_t 와 f_{max} 가 각각 16 GHz, 11 GHz로 발표된 바 있다. 출력이 1 W인 동작에서 Class A 의 전력부가효율은 44%, class A/B의 전력부가효율은 72% 가 발표되었다.

또한 1 GHz에서 동작하는 12 bit 디지털-아날로그 컨버터와 SONET용 Mux/Demux가 IBM에 의해 개발되었다. NEC 는 20 Gbit/s 동작하는 D-type flip-flop과 30Gbit/s 의 selector, 28 Gbit/s Mux와 19 GHz preamplifier를 발표하였다. TEMIC 은 28 Gbit/s 의 multiplexer 와 demultiplexer 를 구현하였고, 대역폭이 18 GHz 에서 이득이 9.5 dB 인 광대역증폭기를 3 V 전원에 1.6 V 구동으로 전력소모가 50 mW를 제작하였다. Nortel 과 IBM, 그리고 TEMIC은 Varactor controlled oscillators (VCO) 를 1.8 GHz 에서 40 GHz 까지 동작하도록 제작하였다. LNA 는 F_{min} 가 1.7 에서 1.9 dB 가 되는 특성으로 TEMIC 과 IBM 에 의하여 발표되었다. 42 Gbit/s 의 주파수분주기와 60

표 2. Si- and GaAs- based RF 소자들의 고속동작 특성 및 단위 면적당 생산비용의 비교(ETRI)

f_t (GHz)	III-V HBT (200)	SiGe HBT (150)	Si BJT (60)	-	-	-
f_{max} (GHz)	III-V HEMT (600)	SiGe HFET (300)	III-V HBT (220)	SiGe BJT (175)	Si BJT (60)	-
NF (dB) @2/12 GHz	InP HEMT (<0.4)	GaAs HEMT (<0.4)	SiGe HBT (0.5/1.0)	InP HBT (0.5/1.9)	Si BJT (1.0/ >5)	GaAs HBT (2.2/2.8)
f_c (kHz) @10/100 GHz	SiGe HBT (0.1/10)	Si BJT (0.1/ >1000)	III-V HEMT (1/100)	III-V HEMT (10/1000)	-	-
Delay (pico-sec)	SiGe HCMOS (5)	III-V HEMT (5)	III-V HBT (8)	SiGe HBT (10)	Si BJT (50)	-
Power consumption (mW)	III-V HEMT HEMT	SiGe HBT (0.6-10)	Si BJT (1-10)	III-V HBT (5-30)	-	-
Cost (\$/mm ²)	CMOS (0.09)	SiGe (0.12)	GaAs (0.5)	InP (1.2)	-	-

표 3. SiGe RFICs의 상용화 현황(ETRI)

회사 (소속국가)	제품 (Remarks & Year)
IBM(USA)	LNA, VCO, Power Amp(GSM, 1998), Mux/Demux(SONET, 1999)
TEMIC(Germ)	Tx/Rx(Cellular, 1998), Power Amp(GSM, 1999), DECT Chip Set(1999)
Maxim(USA)	LNA, Mixer(0.4-2.5GHz, 1998), Power HBT(1998), Dual band LNA
CommQuest(USA)	Tri-band LNA, Power Amp, VCO(Cellular + GSM + PCS, 1999)
Intersil(USA)	WLNA Adaptor(Power Amp, IF/RF Converter, BB Processor, 2.4GHz, 1999)
Hitachi(Japan)	Optical Coupler(10Gbps~40Gbps, 1999), AGC Amp(10Gbps~40Gbps, 2000)
NEC(Japan)	Limiting Amp, Mux, Demux (10Gbps~40Gbps, 2000)
National (USA)	Frequency Synthesizer(BiCMOS, 2000)
Qualcomm(USA)	LNA, Mixer, Freq. Syn., VCO, IF Amp, Modulator, Demodulator(2000)
SGS Thompson(France)	LNA, Mixer, PLL, Attenuator (CDMA, BiCMOS, 2000)
Daewoo(Korea)	HBT(2000)

Gbit/s 의 demultiplexer 가 Siemens에 의하여 발표되었다. 그리고 SiGe HBT의 집적도가 1000에서 30,000까지 되는 집적회로의 제작이 구현되었다.

4.2 BiCMOS

VLSI CMOS 회로와 HBT RF 회로를 단일칩에 집적하여 저가에 고성능의 칩을 통신용으로 만들고자, IBM은 4세대에 이르는 SiGe BiCMOS 회로의 기술을 축적하여

0.18 μ m CMOS 까지 개발함으로써, CMOS의 SRAM과 ASIC을 SiGe HBT와 집적화하고 있다. 이로써 광대역증폭기, phase shifter, 변조기, synthesizer 등 고성능의 RFIC를 하나의 칩에 제작할 수 있게 되었다. 또한, SGS Thompson도 칩의 수율과 성능, 공정의 제어, 신뢰성을 크게 향상시켜 0.25 μ m SiGe BiCMOS를 완료함으로써 foundry서비스를 개시하였다. 예를 들어, 4000개의 HBT 소자를 아래로 집적한 칩의 수율은 90%를 넘었고, 전원공

표 4. ETRI의 SiGe BiCMOS 공정기술 (ETRI)

HBT Part	CMOS Part
-	N-Well, P-Well Define
Sub-Collector	-
Collector Layer Epitaxial Growth	-
Active (LOCOS) Define	
Plug. Selective Collector Implantation	-
Base Layer Epitaxial Growth	-
Emitter, Gate Poly Define	
-	N', P' Source, Drain
Salicide of Emitter, Base, Source, Drain	
Metallization	

급 상태에서 100만 시간을 넘는 수명으로 ASIC CMOS 에 버금가는 신뢰성을 확보하였다. IBM 이 SiGe BiCMOS 기술로 고집적회로를 제작하여 180만 트랜지스터를 갖는 CMOS ASIC에 상당하는 기술을 보유하고 있다. 세계적인 개발추세에 맞추어 ETRI도 표 4과 같이 0.5 μm SiGe BiCMOS 공정기술을 개발하고 있다. CMOS 에 14개 마스크와 SiGe RFIC에 16개의 마스크를 합하여 30개의 마스크로 BiCMOS공정기술을 개발하여 46개 이상의 마스크를 사용하는 IBM보다 경쟁력 있는 기술을 구축하는 것이 관건이다.

4.3 HFET (HEMT/MODFET/HCMOS)

실리콘반도체에서 소자의 크기를 축소하는 기술을 통하여 150 nm급의 수준에 이르러 1 GHz의 스피드와 1 Gbit의 집적도에 해당하는 기술발전을 이루고 있다. 그러나 100 nm 이하에서 subthreshold 효과가 심각해지고, 양자효과도 반도체내부에서의 운반자의 거동에 크게 영향을 미치게 되어 나노전자기술이 부각되고 있다. 그러나 10년 이상 현재의 Si CMOS 기술은 축소화를 통하여 지속적으로 발전시킬 것이며, SiGe 이 더욱 중요한 역할을 하리라 기대된다. 즉 나노스케일소자에서 sub-threshold current나 게이트의 불안정한 built-in potential 과 같은 문제를 SiGe을 이용한 elevated source/drain 이나 다결정-게이트, 채널층에 적용하여 해결할 수 있다. SiGe 헤테로소자는 집적도를 64 Gbits로 cut-off frequency 를 300 GHz로 전력소모를 10 nW/gate로 구현할 성능을 지니고 있다. 그림7은 여러 반도체소자의 지연시간과 전력소모에 대한 것이다. 따라서 양자소자를 제외한다면 지연시간과 전력소모의 곱이 가장 작은 소자를 SiGe HCMOS로서 구현할 수 있다.

한편, 동작주파수가 100 GHz 이상인 초고속 동작이 가능한 n-HFET와 p-HFET를 집적화할 수 있으면, 구조가 거의 동일한 기존의 CMOS에 커다란 변혁을 유도할 수 있다. 따

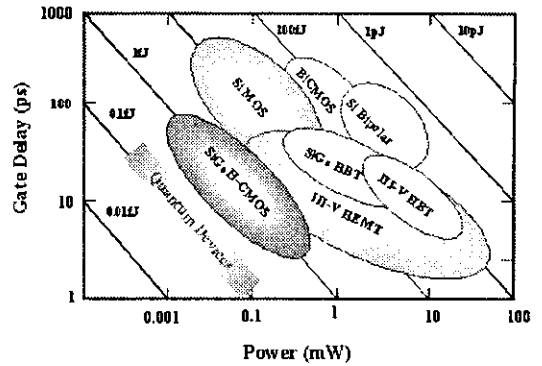


그림 7. 여러 반도체소자의 게이트지연시간과 전력소모 특성

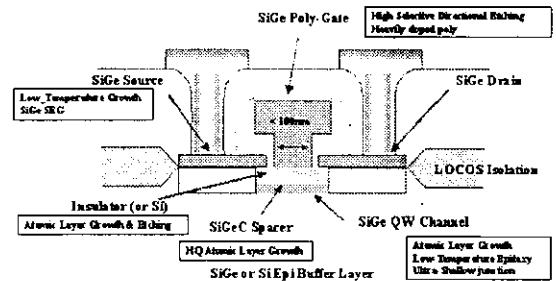


그림 8. SiGe HFET소자의 대표적 구조와 부위별로 요구되는 기술의 종류

라서 이에 대한 시도가 활발히 진행되고 있고, 그림 8과 같이 부분별로 다양한 첨단 기술이 요구된다. 실리콘 헤테로소자의 최종 목적지는 물론 이상적인 SiGe HCMOS 이다. 당면한 문제는 저온에서의 산화막 형성과 결합이 없는 완충층을 원자수준으로 평탄하게 에피성장하는 기술이다. HCMOS의 어려움에 의하여 우선적으로 HFET구조에 연구가 집중되고 있다. 가장 가능성이 있는 구조는 Si 전도층을 SiGe층 사이에 넣어 인장응력을 받도록 하여 전도대에서 전자의 이동을 통제하는 소자인데, 계면에서 Ge의 분포를 3 nm 이하로 억제하는 원자수준의 에피성장기술이 있어야 이차원전자가 15K에서 800,000 cm² V⁻¹ s⁻¹ 로 높은 이동도를 내어 초고속 동작에서 우수한 성능을 낼 수 있다. 그리고 전자와 정공의 이동도를 각각 2900 cm²/Vs and 1800 cm²/Vs 로 상온에서 면농도 2.5x10¹² cm⁻²로 얻을 수 있어, 특히 p-FET의 경우 5배 이상으로 향상된 이동도가 커다란 장점이다.

상온에서 외부 transconductances는 depletion형 n-HFET 에서 300 mS/mm, depletion n-HFET의 경우 500 mS/mm 가 얻어진다. p-HFET 에서는 다소 적어 250 mS/mm 가 0.2 μm 게이트길이의 소자에서 얻어진다. MOS 게이트의 p-HFET는 산화막을 3-7 nm 로 조절하여 600 mA/mm 까지 높일 수 있다. 게이트의 길이가 0.1 μm

에서 200 GHz 까지 최소한 가능하고 velocity overshoot 이 있으면 400 GHz까지 가능할 것으로 예측되고 있다.

4.4 SiGe 광전소자

실리콘 기반에 전자회로와 실리콘 수광 또는 발광소자를 집적화하는 방식도 조만간 실용화가 가능해질 것이다. 그림 8은 SiGe PIN 수광소자가 10~40 Gbps 의 광신호를 보내는 광섬유와 결합된 모양을 보여준다. 그리고 TEM 사진은 SiGe 양자우물층을 갖는 i-SiGe/Si 초격자로서 매우 균일하여 일정한 파장에서 감도가 높은 광특성을 얻을 수 있다. SiGe 발광소자는 초격자를 이용하는 구조와 Er를 도핑한 구조의 두 가지가 가장 많이 연구되고 있으며 1.4 μm 의 상온 구동이 가능하다. APD수광소자의 경우 외부양자효율이 12% 이상, 응답속도가 400 nsec 이하가 가능하다.

최근 원격외선에 대면적인 집적어레이 형태인 SiGe 검출기를 쇼트키접합으로 Pt:Si 와 Ir:Si 을 사용하여 제작하여 적외선의 파장이 3-5 μm 와 8-12 μm 인 영상을 검출하여 기록할 수 있다. 심하게 도핑된 $\text{Si}_{1-x}\text{Ge}_x$ 양자우물에서 정공을 여기시키는 hetero-internal photoemission (HIP) 의 원리를 이용하므로 직접천이갭을 갖는 HgCdTe 나 InSb 보다 양자효율은 낮지만, 대면적에 균일하게 제작이 가능하고 동시에 부착되는 실리콘 헤독회로와 열문제 없이 부착할 수 있어 단점을 충분히 상쇄한다. 도핑의 수준과 Ge를 조절하여 광의 파장을 여러 종류에 맞추어 제작이 가능한 점도 큰 장점이다. 256x256와 400x400의 픽셀을 갖는 Si/SiGe focal plane arrays가 매우 우수한 균일성과 낮은 암전류 그리고 0.75 %에 달하는 외부양자효율 특성을 보인 바 있다.

통신용 SiGe 광소자는 일본에서 가장 활발히 실용화를 위한 연구개발을 진행중이다. 수광소자는 SiGe의 낮은 에너지 갭을 이용하여 Si으로는 불가능한 0.85 μm ~1.3 μm 파장

대의 광배선 및 광통신/광데이터 전송용 수광모듈을 개발한다. SiGe 수광소자는 기존의 InP계 화합물을 사용한 수광소자에 비하여 에피층의 격자결합이 작아 접합누설전류로 인한 잡음이 작고, 증폭영역은 InP계 보다 물질 자체가 눈사태 증폭(Avalanche Multiplication Factor)이 큰 Si 반도체를 이용하기 때문에 높은 전/광 변환이득을 얻을 수 있는 등 DC 성능에 있어서 더 우수하며, 가격도 매우 저렴하게 제작할 수가 있다.

SiGe수광소자는 자체 증폭기능이 있는 APD와 자체증폭기능은 없으나 동작속도가 빠르고 전자소자(SiGe 고속IC)와 집적화가 용이한 PD(Photo Detector) 2가지로 나누어진다. SiGe 광소자는 InP계 수광소자보다 고전계에서 전자, 정공의 이동도가 낮아 고주파 한계동작이 낮은 것이 단점이 되나, 현재 일본 Hitachi에서는 초고속인터넷 광가입자용으로 PD와 Pre Amp를 이용하여 40Gbps까지 동작하는 SiGe 반도체 수광모듈을 개발하고 있으며, 향후 Er 도핑된 Si의 발광층과 결합하여 수 GHz 대 이상의 컴퓨터 시스템에서 사용할 목적으로, 초고속 SiGe CMOS나 SiGe Bi-CMOS 칩 (수 GHz대의 CPU, Peripheral Chip Set 등)에 함께 집적화되어 모듈간의 초고속이고 버스간 신호간섭이 없는 광배선을 실현하고자 이 SiGe계 광소자에 대한 연구가 진행되고 있다.

광전송용 SiGe 전자소자(Pre Amp, Limiting Amp, LD Driver, Clock Recovery IC, AGC Amp, Mux/DeMux, Modulator/DeModulator 등)는 이득과 선형성이 탁월하고, 2.5-40Gbps대에서 모든 반도체 소자 중에서 전력소모가 가장 작고, 가격도 저렴하여 현재 광전송용 시스템에서 기존의 화합물반도체를 대체하기 시작하고 있다.

4.5 SiGe RTD

SiGe 양자소자 중에서 가장 상용화의 가능성이 있는 소자는 RTD를 들 수 있다. RTD와 MOS를 결합하여 만드는 메모리셀인 tunneling static RAM 은 이론적으로는 64 Mbit의 Si DRAM 보다 1000배 저전력으로 구동이 가능하다. 실제로 TI는 50 nW에 동작하는 tunneling static RAM 기억셀로 0.1 μm 설계규칙으로 제작된 III-V SRAM 메모리보다 200배 낮은 소비전력으로 동작함을 선보였다. 그리고 최고의 주파수가 712 GHz 까지 동작하는 oscillator 가 발표되었으며, 현재는 테라급의 소자를 구현하고자 연구를 집중하고 있다. RTD 회로는 CMOS 에 비하여 여러 단의 기억기능을 갖는회로를 구성할 수 있는 장점이 있다. 그러나 관통전류의 특성이 단지 수개의 원자층에 의하여 매우 크게 영향을 받으므로 현재의 에피성장기술은 집적화된 RTD회로를 구성하기에 충분히 발전하지 못하였다. 높은 전계에 의한 전자의 이동속도가 실리콘과 GaAs 에서 유사한

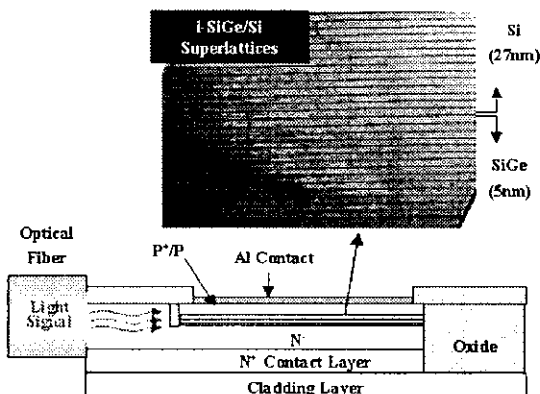


그림 10. 광섬유와 SiGe PIN photoreceiver가 부착된 10~40 Gbps 광수신기의 구조와 i-SiGe/Si 초격자의 TEM사진 (ETRI)

수준이므로 재료의 선정보다는 원자층을 제어하는 에피성장 기술과 나노전자의 소자제작기술의 발전에 의해 실용화가 결정될 것으로 보인다.

5. 시장전망

생산단가가 낮은 고성능의 SiGe HBT는 RF통신기기에 소용되는 부품의 대량생산에 적합하다. 단위 면적 당 생산단가는 Si BJT와 SiGe HBT는 각각 0.09 \$/mm² 과 0.12 \$/mm² 이고, GaAs 과 InP 는 0.5 \$/mm² 과 1.2 \$/mm² 으로 높다. SiGe의 에피를 사용하는 소자제작의 경우 실리콘에 비하면 생산가가 30% 정도 증가하지만 GaAs에 비하면 4배 정도도 저렴하다. 기술적 개발의 완료와 시장의 형성에 따라 SiGe 헤테로소자의 생산은 IBM, Siemens, NEC, Philips, Hitachi, TEMIC 과 같은 외국 반도체회사에 의하여 주도되고 있다.

응용분야를 주파수대로 살펴보면, 주파수가 0.9-2 GHz 대역에서는 이동통신의 단말기에, 2.4 -5.8 GHz 의 WLAN은 컴퓨터통신용에, 10-14 GHz와 25 GHz의 위성통신용에 소자가 사용된다. 광통신용 수신기로는 3-40 Gbit/s 전송속도로 지역 및 대륙간 네트워크의 형성에 사용된다. 그리고, global positioning (GPS ~1.5 GHz), 위성관제기 (>10 GHz), 군사 및 착륙제어 레이더 (20-40 GHz), 차량충돌방지 (~70 GHz), 로봇 및 산업기계 센서 (20-50 GHz)와 같이 이동하는 기기의 항법장치에의 응용이 또한 매우 크게 증가하고 있다. 따라서 표 8에서와 같이 SiGe 칩의 총 시장규모는 2000년에 1억 달러를 달성할 것이고, 2005년과 2010년도에 18억 달러와 100억 달러를 각각 달성할 것으로 예측된다.

표 5. SiGe RFIC, 총 RF 소자, RF 통신기기, RF 통신산업의 인프라의 규모. (Strategies Unlimited, 1998) (단위: US million \$)

년도	2000	2001	2002	2003	2004	2005	2010
SiGe RFIC	100	270	450	1000	1200	1800	10,000
총 RF 소자	3600	4400	5100	-	-	-	-
RF 통신기기	11000	12400	13700	-	-	-	-
RF 통신산업의 인프라	28000	-	-	-	-	-	-

6. 결 론

최근 SiGe 헤테로소자는 기술개발을 혁신적으로 이루어 RFIC, MMIC, OEIC의 소자를 성공적으로 제작하기 시작하였으며, 무선통신 및 광통신용 칩들을 상용화하기 시작하

였다. 특히, SiGe BiCMOS는 작고, 가볍고, 저 소비전력을 요구하는 무선통신 단말기기의 요구에 잘 부응하여 현재 연구투자가 집중되고 있다. 이러한 BiCMOS는 ASIC CMOS의 1 Gbit의 집적도에 달하는 디지털회로와 1-12 GHz 대역의 고주파에서 고성능으로 동작하는 HBT 아날로그회로를 한 칩에 집적하여 한 차원이 높은 단계로 기술이 발전될 것이다. 즉, SiGe 반도체기술은 우수한 성능과 높은 신뢰성, 저가격, 고집적도를 얻을 수 있는 장점에 힘입어, 가까운 미래에 III-V화합물반도체보다 더 큰 시장규모를 형성할 수 있는 잠재력을 보유하고 있다. 또한, HBT, HFET의 SiGe 헤테로소자는 150 GHz를 대의 동작특성을 구현하였고, RTD는 테라급 소자의 기술개발로 연결되고 있다.

참 고 문 헌

- (1) Silicon Germanium-199: Technological Status and Applications Analysis (Strategies Unlimited, 1998).
- (2) D.L. Harame, J.H. Comfort, J.D. Cressler, E.F. Crabbe, J.Y.C. Sun, B.S. Meyerson, and T.T. Tice, IEEE Trans. on Electron. Device. Vol. 42, 455 (1995).
- (3) J. D. Cressler, IEEE Trans. on Electron Devices, Vol. 44, 404 (1997).
- (4) J. D. Cressler, IEEE Trans. on Microwave Theory and Techniques, Vol. 46, 572 (1998).
- (5) U. Konig, A. Gruhle, and A. Schuppen, GaAs Symposium, 14 (1995).
- (6) D.J. Paul, Advanced Materials, Vol. 11, 191 (1999).
- (7) E.H.C. Parker and T.E. Whall, Solid-State Electron. Vol. 43, 1497 (1999).
- (8) H. Morkoc and G.B. Gao, Proceedings of the IEEE, Vol. 61, 493 (1993).
- (9) D.W. Greve, Materials Sci. and Engineering, Vol. B18, 22 (1993).
- (10) T.Y. Hsieh, K.H. Jung, D.L. Kwong, and S.K. Lee, J. Electrochem. Soc., Vol. 138, 1188 (1991).
- (11) T. Ueno, A. Yutani, Y. Shiraki, and K. Nakagawa, Superlattices and Microstructures, Vol. 25, 319 (1999).