

# GCT thyristor의 특성

김 광 태

(부산정보대학 전기전자계열 부교수)

## 1. 개 요

GTO(Gate Turn-off) 사이리스터는 자기 소호능력을 갖고 있고, 고전압 대전류를 차단하는 능력이 우수하기 때문에 철도 차량 제어, 전동기 가변속제어와 같은 대용량 전력제어 분야에 널리 사용되는 전력용 스위치 소자 중의 하나이다. 그러나 표준 GTO 사이리스터의 경우 게이트에 턴 오프 신호를 인가하여 턴 오프 동작이 개시 될 때까지 수십  $\mu$ s의 축적시간이 필요하기 때문에 스위칭 속도에 제약이 따르고, 직 병열 접속이 어렵다. 드라이버 기술은 다른 자기 소호素子에 비하여 값비싼  $dv/dt$ ,  $di/dt$  스너버 회로가 사용되고, 드라이버 회로도 아주 크다. 그리고 GTO 응용에서 스너버 회로의 손실은 아주 크기 때문에 GTO 동작시 개선해야될 중요 항목 중의 하나이다.

최근 전력전자 응용분야에서는 보다 저손실 고속 스위칭 동작 특성을 요구하고 있으나 GTO 사이리스터로서는 이를 실현하기가 어려운 실정이다. 그러나 종래의 GTO 기술분야의 극적인 반전이 이루어져 새로운 기술이 적용된 GCT(Gate Commutated Turn-off : 게이트 轉流形 턴 오프) 사이리스터 소자가 개발되었다. GCT 사이리스터의 기본적인 웨이퍼 구조는 GTO 사이리스터와 같지만 고내압 대전류화를 실현한 새로운 대 전력용 파워 스위칭 소자로서 저손실 사이리스터 기술, 스너버레스, 저가격, 게이트 턴 오프 동작으로 고전압 응용 분야에 최적 조건으로 사용할 수 있는 완벽한 소자라 할 수 있다.

원하는 특성을 갖는 GCT는 여러 발전 단계를 거쳐 개발되었으며, 이러한 기술의 열마는 IGBT의 발전과 아주 유사한 부분이 많음을 알 수 있다. 개선된 주요항목을 요약하면 다음과 같다.

- 높은 전류밀도에서  $dv/dt$  스너버 없이 GTO 사이리스터의 스위칭 동작의 실현

- 실리콘의 무게를 최소화시키므로 온 상태와 턴 오프시 손실 감소
- 턴 오프 상태에서 게이트 드라이버에 요구되는 조건의 제거
- 높은  $di/dt$ 에서 스너버 없이 턴 오프 가능한 역병열 다이오드의 개발
- GTO와 역병열 다이오드를 하나의 반도체 패키지에 통합 그리고 대전력 분야에 이를 응용하기 위해서는 다음의 특성이 추가적으로 요구된다.
- 회로의 복잡성을 줄이고 부품의 수를 감소시키므로 MAV당 신뢰성 향상
- 신뢰성 있는 직 병열 연결로 수백 MVA 범위까지 저가로 전력제어범위 확장을 들 수 있다.

따라서 본 원고에서는 미래의 대전력용 제어 소자인 GCT 사이리스터의 주용 특징들을 중심으로 기술하고자 한다.

## 2. 게이트 드라이버 구조

그림 1은 GCT 사이리스터에 게이트 드라이버 회로를 부착한 상태를 보여주는 사진이다. 디바이스의 크기는 직경이 약 150(mm)이고, 길이는 451(mm)이다. 드라이버 회로의 높이는 40(mm), 폭은 213(mm)이다. 그림 2는 4kA급 GCT의 반도체 웨이퍼 구조를 나타낸다. 그림 2에서 보는 것과 같이 GCT 사이리스터는 GTO사이리스터와 같이 수천개의 미소 사이리스터가 동심원 상으로 8-10 단계 병렬로 배치되어있다. 그리고 이 최 외각에 게이트가 배치되어있다.

GTO 사이리스터는 디바이스 패키지 측면에 게이트 단자를 설계하여 리드선을 설치하고 이 리드선을 통하여 게이트를 드라이버 하도록 설계되어있다. 이에 반해 GCT 사이리스터의 패키지는 링의 최 외측 주위(그림 2 참조)에 링 형태의

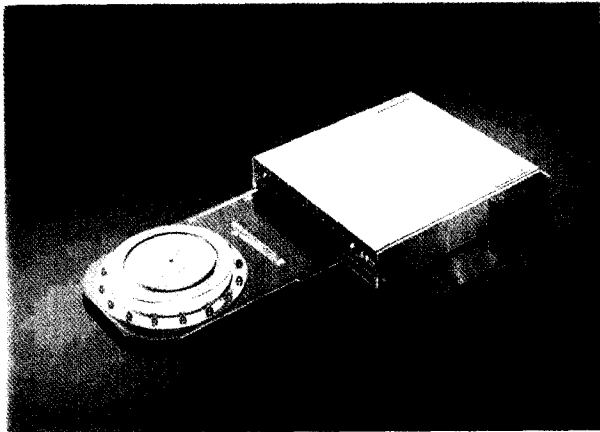


그림 1 GCT 사이리스터에 게이트 드라이버 회로를 접속했을 때 사진 (ABB社 제공)

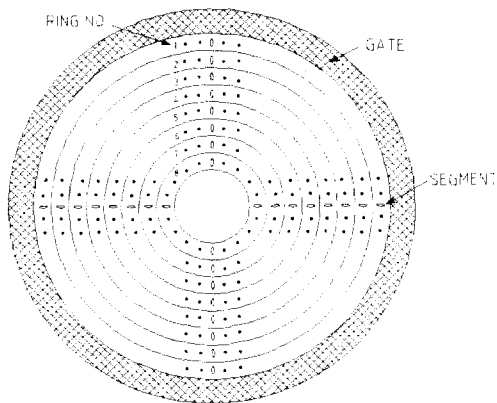


그림 2 4kA급 GCT 사이리스터의 세그먼트 구조와 게이트 위치

게이트 전극을 설치하므로 GTO 사이리스터에 비하여 게이트 인덕턴스를 약 1/10이하로 감소시켰다. 그리고 게이트 드라이버 회로도 다층 PCB 기판을 사용하므로 게이트 드라이버 회로에 의한 게이트 캐소드간의 인덕턴스도 감소시켰다. 따라서 디바이스의 내부 게이트 구조 개선과 드라이버 회로 개선에 의한 종합적인 인덕턴스 감소는 종래의 GTO 사이리스터에 비하여 1/100(수nH)로 감소된다. 그러므로 게이트 드라이버 회로의 전원 전압을 크게 변화시키지 않고도 수 kA/s의 게이트 오프 전류 상승률(dig/dt)을 얻을 수 있다.

### 3. 동작 원리

GCT 사이리스터의 턴 오프 동작원리는 GTO 사이리스터의 턴 오프 동작 원리와 다르다. GTO 사이리스터의 경우 턴

오프 게이트에 턴 오프 펄스를 인가하면, 이 전류는 디바이스 내부에 턴 오프 동작을 유발시키는 신호로 작용하여 애노드 전류를 게이트로 수집A/s의 비율로 분류시킨다. 따라서 애노드 전류는 서서히 감소되고 마침내 차단된다. 이때 턴 오프 게이트 전류는 애노드 전류를 턴 오프시키는 동기 부여 신호로 작용하기 때문에 턴 오프 이득(애노드 전류와 턴 오프 게이트 전류 피크치의 비)은 3-5 정도로 높게 된다.

이에 반하여 GCT 사이리스터는 주 전류 모두를 수kA/s의 비율로 게이트로 轉流시키므로 애노드 전류는 모두 순식간에 게이트로 轉流되므로 주 전류(애노드 전류)는 턴 오프 된다. 그러므로 GCT 사이리스터의 턴 오프 이득은 1이 된다. 이러한 턴 오프 동작 원리에 의해서 게이트로 애노드 電流가 모두 轉流된다는 뜻을 갖는 GCT 사이리스터라는 이름이 붙여지게 되었다.

### 4. dv/dt 스너머레스 대전류 스위칭 특성 개선

지난 십년간의 연구 보고에 의하면, 대전력(3kA/4.5kV) 제어에서 GTO의 턴 오프 특성 개선에서 눈부신 발전은 “하드 드라이브 특성 개선”에 의하여 이루어졌음을 알 수 있다. 다층 기판에 종합적으로 설계된 GCT 드라이버 회로는 애노드 전압이 상승하기 전에 애노드 전류를 게이트로 轉流 시킨다. 이를 실현하기 위하여 우선적으로 요구되는 특성은 게이트 회로의 인덕턴스가 매우 낮아야 된다는 것이다. 게이트의 인덕턴스 감소는 웨이퍼 외각에 동축으로 배치시킨 게이트와 다층 PCB로 설계된 게이트 드라이버 회로에 의하여 실현된다.

애노드 전류가 완벽하게 게이트로 轉流될 때 캐소드 전류는 제로가 된다. 이를 위해서 드라이버 회로의 인덕턴스는 아주 낮은 값으로 되어야 한다. 이를 위하여 GCT 사이리스터는 다층 기판으로 구성된 저 인덕턴스의 게이트 드라이버 회로로 드라이버 된다. 다층 기판으로 만들어진 저 인덕턴스의 드라이버 회로와 하나로 통합된 GCT를 새로운 회로 구성과 동작 원리에 따라 IGCT(Integrated Gate Commutated Thyristor)라 부른다. 이때 게이트 드라이버 회로에서 소모되는 에너지는 오버 드라이버가 필요 없기 때문에 최소화된다.

본 원고에서 GCT에 대한 용어 사용은 일본학회에서 발간되는 문헌과 GCT 제조 전문 회사인 ABB社의 문서를 최대한 참고하여 사용하였다. GCT로 사용할 경우는 Gate Commutated Turn-off Thyristor를 사용하였고, GCT에 드라이버 회로를 부착하여 통합된 상태의 GCT를 IGCT로 표기할 때에는 Turn-off를 생략하여 Integrated Commutated Thyristor로 표현하였다.

이 게이트 드라이버 사이리스터는 하드 드라이버에 의하여 처음 온 상태에서는 npn 트랜지스터 랫치로 동작하지만, 턴 오프시에는 1 s 이내에 트랜지스터 모드인 pnp 모드로 전환된다. 턴 오프 동작은 트랜지스터 모드에서 완벽하게 실현되

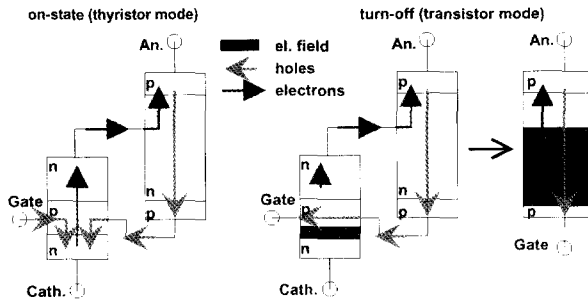


그림 3 턴 오프시 GCT의 두 가지 모델(ABB제공)

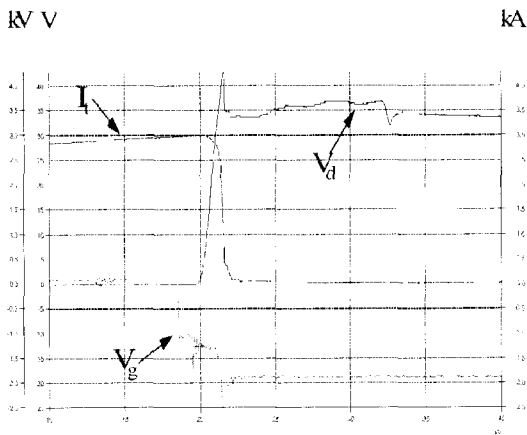


그림 4 IGCT의 스너버레스 턴 오프 파형  
(It=3kA, Vdm=4.2kV, ts=1.6 s.(ABB제공))

므로 어떠한 래칭 가능성도 제거된다. 그림 3은 GCT가 온 상태에서 오프 될 때 pnpn 구조를 갖는 트랜지스터 래치 모드에서 트랜지스터 모드로 변환되는 과정과 각 상태에서의 등가 구조를 나타낸 그림이다.

그리고 안정 동작 영역(SOA)은 최대 전압 및 전류 정격에 의하여 주어지는 전체범위[(VA×IA)max = 250kW/cm<sup>2</sup>]까지 확대된다. 이는 실리콘 소자로부터 얻을 수 있는 물리적인 최대 영역에서 사용할 수 있음을 말하는 것이다. 단위 면적당 턴 오프 시킬 수 있는 전류는 스너버를 사용하는 최상급 GTO의 사용 수준과 같은 수준이 되는 값이다. 그림 4는 표준적인 dv/dt 스너버레스 턴 오프 파형을 나타낸다.

### 5. 결 론

GCT는 미래의 전력전자 분야에 필요한 중요 기술들을 포함하고 있다. 특히 중·고전압의 0.5 MVA에서 수 100 MVA까지 전력제어분야의 핵심 소자가 될 것으로 예측한다.

이 소자의 특징으로는 스위칭 속도가 빠르고, 간단하고 강한 직·병렬 연결이 용이하기 때문에 고전압 대전력 응용에 아주 유용하다. 그리고 다른 대전력용 소자와 비교할 때 가격이 싸고, 회로 구성이 간단하다.

현재 GCT 사이리스터 소자는 대전력용으로 4kA/4.5kV, 고전압용으로 1.8kA/5.5kV의 소자들이 제품화되어 있다. 주변 기기를 포함한 손실은 같은 용량의 GTO 사이리스터 및 IGBT에 비하여 낮기 때문에 효율이 높다. 응용분야로는 주파수변환장치, 무효전력발생장치, 대용량 철강 압연기 구동용 인버터 등 고전압 대전력 제어를 필요로 하는 분야에 주로 사용되고 있으며 그 사용이 점점 확대되리라 생각된다.

### 참 고 문 헌

- [1] P.K. Steimer et al, "IGCT - a New Emerging Technology for High Power, Low Cost Inverters", ABB Semiconductor Ltd., ABB Semiconductors AG Technical paper,
- [2] 佐藤 克己, 山元 正則, "GTC 사이리스터의開發狀況", 電氣學會誌, vol.118, No.5, pp. 270~273, 1998.
- [3] Seven Klaka, Horst Gr ning, "The Integrated Gate-Commutated Thyristor: A New-Efficiency, High Power Switch for Series or Snubberless Operation", ABB Semiconductor Ltd., ABB Semiconductors AG Technical paper,
- [4] Eric Carroll et al., "Integrated Gate-Commutated Thyristors: A New Approach to High Power Electronics", ABB Semiconductor Ltd., ABB Semiconductors AG Technical paper,
- [5] 電氣學會 高性能 高機能 파워デバイス 파워IC 調査專門委員會, "パワーデバイス 파워IC 핸드ブック", pp. 297~347, コロナ社.

### 〈 저 자 소 개 〉



#### 김광태(金光泰)

1952년 3월 1일생. 1983년 경남대 공대 전기공학과 졸업. 1985년 부산대 대학원 전기공학과(석사). 1993년 부산대 대학원 전기공학과(박사). 1998년 3월~현재 부산정보대학 전기전자계열 부교수. 당 학회 학술위원.