

컴퓨터 응용 부하들을 위한 전압 외란 검출 방법

李 尙 勳, 崔 載 昊

A Voltage Disturbance Detection Method for Computer Application Loads

Sanghoon Lee, Jaeho Choi

요 약

컴퓨터와 같은 민감한 부하를 전압강하나 정전과 같은 전원 장애로부터 보호하기 위하여 전력보상장치가 설치되어 왔다. 전력보상장치의 경우 계통과의 연계를 위해 대부분 정지형 스위치를 이용하고 있으며, 이러한 정지형 스위치의 절환동작은 매우 중요한 부분을 차지하고 있다. 그간 전력보상장치의 구조나 제어에 관한 연구는 활발하게 진행되어 왔으나 전력보상장치의 운전 시작을 위한 전원 장애의 감지에 관한 연구는 매우 드문게 현실이다. 따라서 본 논문에서는 정지형 스위치 절환동작을 위해 CBEMA/ITIC 커브를 이용하여 컴퓨터 응용부하를 위한 새로운 전원 장애 검출 알고리즘을 제안한다. 제안된 검출 알고리즘은 동기 좌표계에서 직류 값으로 변환된 삼상 순시 전압값을 동작 기준값과 비교하는 방법을 사용하여 빠른 검출 시간을 가지도록 하였다. 그리고, 간단한 1차 디지털 필터를 삽입하여 잡음에 강인하도록 설계하였다. 이러한 필터에 의해 나타나는 위상지연 및 이득감소를 각각 전달함수를 이용한 수식적인 해석과 오차의 정규화를 통해 보상하였다. 마지막으로 ACSL을 이용한 시뮬레이션과 실험을 통해 제안된 알고리즘의 타당성을 입증하였다.

ABSTRACT

Power Quality Compensator(PQC) has been installed to protect the sensitive loads against the voltage disturbances, such as voltage sag and interruption. In general, static switch is used for the purpose of link between utility and PQC. So transfer operation of the static switch play a important part in the PQC. Many studies on the structure and control of PQC have been progressed in active, but these researches have been rarely mentioned about any voltage-disturbances-detection method to start the PQC operation. In this paper, a new voltage-disturbances-detection algorithm for computer application loads using the CBEMA/ITIC curve is proposed for transfer operation of the static switch. The proposed detection algorithm is implemented to get fast detecting time through the comparison of instantaneous 3-phase voltage values transferred to DC values in the synchronous reference frame with the operating reference values. To get the robust characteristics against the noise, a first order digital filter is designed. The magnitude falling and phase delay caused by the filter are compensated through the error normalizing and numerical analysis using transfer function, respectively. Finally, the validity of the proposed algorithm is proved by ACSL simulation and experimental results.

Key Words : Power Quality Compensator, Voltage disturbance, CBEMA/ITIC, Static switch, Transfer operation, Voltage-disturbances-detection algorithm

1. 서 론

현재 컴퓨터의 응용 범위가 확대되어 가고 있는 추세와 더불어 이러한 부하들에 공급되고 있는 전원에 대한 관심이 매우 높아지고 있다. 더욱이 컴퓨터 응용 부하들은 점점 고도화 및 정밀화되어 가고 있기 때문에 약간의 이상 전원에 의해서도 오동작 및 자료 상실과 같은 치명적인 결과를 초래할 수 있다.^[1]

컴퓨터의 전원에 대한 조건으로 가장 대표적으로 사용하고 있는 것이 ITIC(Information Technology Industry Council) 규정이다. 이는 기존의 CBEMA(Computer Business Equipment Manufacturer Association) 곡선을 1996년에 개정한 것으로 입력 전압 크기의 변동에 대한 시간적인 제한을 규정하고 있다. 따라서 이러한 ITIC 곡선은 컴퓨터 전원장치의 제조 기준이 되고 있으며, 수용가측의 입장에서는 이에 만족할 수 있는 전원을 컴퓨터에 공급해야 한다.^[2]

이러한 전원의 품질을 만족시키기 위해 수용가측에서 생각할 수 있는 일반적인 방법은 전력품질 보상기(Power Quality Compensator;PQC)를 설치하는 것이다. PQC의 대표적인 장치로는 무정전전원장치(Uninterruptible Power Supply;UPS)나 VSC(Voltage Sag Corrector)등을 들 수 있으며, 넓은 의미에서 STS(Static Transfer Switch)도 포함시킬 수 있다.^[4]

따라서 PQC에 대한 연구가 매우 활발히 진행되었으며, 현장에도 이미 적용되어 왔다. PQC에 관한 기존의 연구들은 그 구조나 제어 알고리즘에 있어 매우 많은 발전을 성취함으로써 만족할 만한 결과를 얻어왔다.

한편, PQC에 있어 이상 전원의 검출은 기본적으로면서도 매우 중요한 부분임에도 불구하고, 기존의 연구들은 이에 대한 연구를 간과하여 왔다. 특히, 현재 대부분의 산업현장에서 전원에 있어 외란을 검출하는 방법으로 평균치를 사용한 알고리즘을 구현하고 있지만 이는 현대의 최첨단 전자부하에 적합하지 않은 방법이다.

따라서 본 논문에서는 컴퓨터 응용 부하들에 있어 CBEMA/ITIC 곡선을 이용한 정확한 이상 전원의 검출 알고리즘에 대해 제안하였다. 제안된 검출 알고리즘은 동기좌표계에서의 순시적인 비교를 통해 빠른 검출 시간을 가지도록 하였으며, 간단한 1차 디지털 필터를 삽입하여 잡음에 강인하도록 설계하였다. 이러한 필터에 의해 나타나는 위상지연 및 이득감소를 각각 전달함수를 이용한 수식적인 해석과 오차의 정규화를 통해 보상하였다.

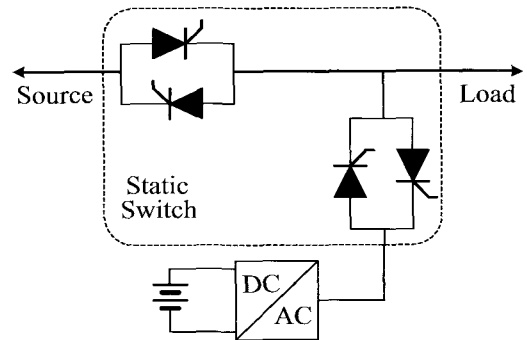


그림 1 Off-line 무정전 전원장치
Fig. 1 Off-line UPS

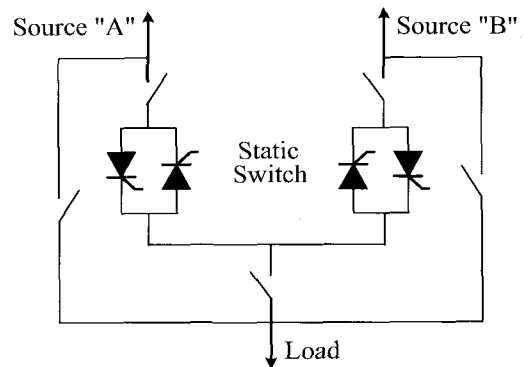


그림 2 정지형 절환 스위치
Fig. 2 Static transfer switch(STS)

제안된 알고리즘은 아날로그 및 디지털로 모두 구현이 가능하며, 본 논문에서는 디지털 구현을 가정으로 논문을 진행하였다. 또한 논문 진행상 편의를 위해 전력품질 보상기으로써 off-line UPS를 이용하였으며, 물론 이외의 경우에도 큰 차이는 없을 것이다. 마지막으로 ACSL을 이용한 시뮬레이션과 실험을 통해 제안된 알고리즘의 타당성을 입증하였다.

2. 본 론

2.1 정지형 스위치 제어

서론에서 언급한 바와 같이 대부분의 전력품질 보상은 절환동작을 수행해야 한다. 일반적으로 절환동작은 싸이리스터 스위치 2개나 트라이악을 이용한다. 그림 1과 2에 절환동작을 위해 싸이리스터를 사용한 off-line UPS와 STS가 각각 보이고 있다.

Off-lineUPS의 경우 주로 민감한 부하를 보호하기 위해 사용되고 있으며, 그림에서처럼 평상시 부하는

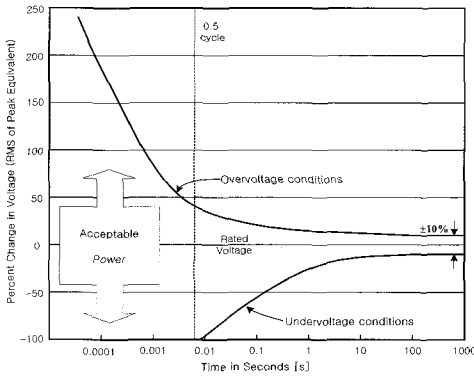


그림 3 CBEMA 곡선
Fig. 3 CBEMA curve

전원으로부터 전력을 공급받게 되며, 만약에 전원에 이상이 생기면 UPS로부터 전력을 공급받는다. STS는 전원에 이상이 발생한 경우 인명피해와 같은 치명적인 결과가 발생하는 병원에 주로 사용되며 그림과 같이 공급전원이 2개 이상인 곳에만 설치할 수 있다. 따라서 이러한 off-line UPS나 STS 모두 절환 동작을 필요로 하며, 이를 수행하기 위해서는 적절한 스위치가 필요하고 이러한 스위치를 보통 정지형 스위치(static switch)라 한다.

이러한 정지형 스위치는 on/off 제어를 통해 항상 상보적으로 동작하게 되며 정지형 스위치를 제어하기 위해서는 전원의 이상 여부를 정확하게 판단하는 것이 선행되어야 한다. 또한 전원의 이상 여부를 정확하게 판단하기 위해서는 전원에 대한 기준을 확립해야 하며, 전원에 대한 검출 알고리즘을 구현해야 한다. 일반적으로 컴퓨터 응용 부하의 전원에 대한 기준으로는 CBEMA/ITIC 곡선이 널리 사용되고 있으며, 검출 알고리즘은 빠른 검출 시간과 노이즈에 둔감한 특성을 가지도록 구현되어야 한다.

2.2 CBEMA / ITIC 곡선

그림 3에 CBEMA 곡선이 보이고 있다. CBEMA 곡선은 IEEE Std. 446에 공식적으로 인정을 받아온 규정으로써, 현재 정전, sag, swell, undervoltage, 그리고 overvoltage의 관점에서 전력 시스템에서 전압의 품질을 평가하는데 있어 기준으로써 사용되어 왔다. 1996년 CBEMA가 ITIC로 이름이 바뀌면서 CBEMA 곡선 또한 그림 4와 같은 ITIC 곡선으로 개정되었다. 개정된 곡선이 부분적으로 선형화하였다는 것을 제외하고는 그 나머지 부분에서는 기존의 곡선과 거의 유사함을 가지고 있다.

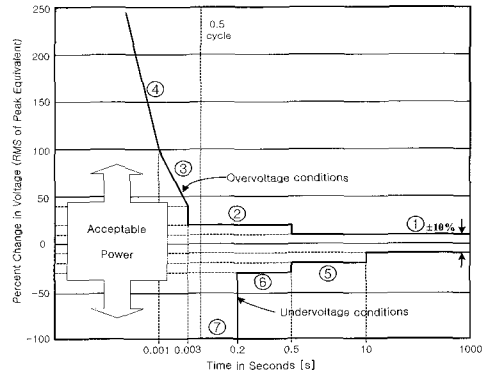


그림 4 ITIC 곡선
Fig. 4 ITIC curve

그림 3과 4의 CBEMA/ITIC 곡선은 overvoltage와 undervoltage의 경계 조건으로 구성되어 있으며, 크게 허용할 수 있는 전원과 그렇지 못한 부분으로 구분되어 있다. 좀 더 자세하게 살펴보면 다음과 같은 7가지 기준을 가지고 있음을 알 수 있다.^{[2],[3]}

- ① 정상 상태 : 그림에서 10초 이상을 의미하며, 공칭 전압의 ±10%까지 허용
- ② swell : 대부분 대용량 부하의 제거나 다른 상의 지락사고가 발생할 때 나타나며, 공칭전압의 +20% 이내이며, 허용시간은 0.5[s] 이내이다.
- ③ low frequency oscillatory : 역률 보상형 커패시터에 의해 나타나는 현상으로 공칭전압의 +40 ~ 100%의 크기를 가지며, 1~3[ms] 이내의 허용시간을 가진다.
- ④ impulse and high frequency oscillatory : 주로 번개나 커패시터 스위칭에 의해 나타난다. 크기의 변동은 100% 이상이며, 허용시간은 1[ms] 이내이다.
- ⑤ long duration sag : 공칭전압의 -20%의 크기를 가지며, 10[s] 이내의 허용시간을 가진다.
- ⑥ instantaneous sag : 대용량 부하의 투입이나 지락사고에 의해 발생할 수 있으며 공칭전압의 -30%의 크기를 가지며, 0.5[s] 이내의 허용시간을 가진다.
- ⑦ interruption : 20[ms] 미만까지 허용

따라서 이상의 각 단계에 해당하는 전원의 기준으로 부터 컴퓨터의 전원장치가 허용할 수 있는 시간을 계산할 수 있으며, 그 시간이 되었을 때 절환 동작이 이루어 질 것이다. 물론 CBEMA 곡선을 이용할 수도 있지만, ITIC 곡선이 선형화되어 있기 때문에 쉽게 적용할 수 있다.

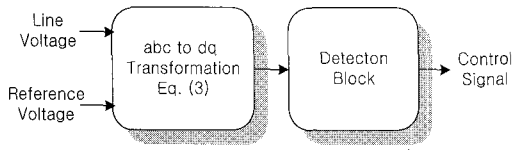


그림 5 전체 제어 블록도
Fig. 5 Overall control block diagram

2.3 전압 외란 검출

그림 5에 전체적인 제어 블록도가 그려져 있다. 크게 3상을 2상으로 변환시켜 주는 블록과 검출 블록으로 구성되어 있다. 입력으로 line 전압과 지령전압의 순시치를 받아서 동기좌표계로 변환 후 검출 알고리즘에 의해 이상전원 판단시 절환이 이루어지게 된다.

전압 외란을 검출하기 위한 제어 알고리즘은 빠른 검출시간과 잡음에 강인한 특성을 가져야 한다. 이러한 두 가지 특성은 서로 상반되는 관계에 있기 때문에 동시에 만족시키기는 매우 어렵다. 현재 대부분의 시스템에 적용되고 있는 방법은 평균치를 이용하고 있으며, 이는 잡음에 대한 강인한 특성은 어느 정도 만족시켜주고 있지만 검출시간이 느리다는 단점을 가지고 있다. 특히 고도로 발달된 전자부하들을 보호하기 위해서는 빠른 검출시간을 가지도록 해야 한다. 따라서 최근에 순시치를 이용한 검출 알고리즘에 대한 연구가 진행되고 있으며, 특히 동기좌표계에서 검출 알고리즘을 구현하는 것은 불평형 조건에서 많은 장점을 가지기 때문에 이에 대한 연구가 활발히 진행되고 있다.

그러나 순시치를 이용한 검출 알고리즘은 검출 시간은 매우 빠르지만, 반면에 잡음에 매우 민감하다는 단점을 가지고 있다. 따라서 본 논문에서는 동기좌표계에서 순시적인 검출과 간단한 1차 디지털 필터를 추가함으로써 잡음에 강인한 검출 알고리즘을 구현하였다.

2.3.1 동기좌표계에서의 모델링

본 논문에서는 검출 알고리즘을 동기좌표계에서 구현하였으며, 이는 3상 교류량에서 구현하는 것과 큰 차이는 없지만 오차를 정규화시키는데 있어 약간의 장점을 가지게 된다. 이는 다음절에서 자세히 언급한다.

동기좌표계에서의 모델링을 위해 먼저 3상에 대한 line 전압 및 지령전압의 순시치를 다음과 같이 표시한다.

$$v_a(t) = V_{am}\sin(\omega t) \tag{1a}$$

$$v_b(t) = V_{bm}\sin(\omega t - \frac{2\pi}{3}) \tag{1b}$$

$$v_c(t) = V_{cm}\sin(\omega t + \frac{2\pi}{3}) \tag{1c}$$

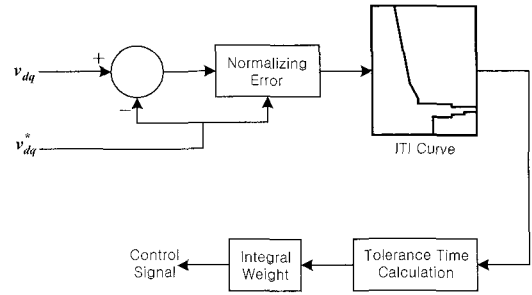


그림 6 검출 블록도
Fig. 6 Detection block diagram

$$v_a^*(t) = V_m \sin(\omega t) \tag{2a}$$

$$v_b^*(t) = V_m \sin(\omega t - \frac{2\pi}{3}) \tag{2b}$$

$$v_c^*(t) = V_m \sin(\omega t + \frac{2\pi}{3}) \tag{2c}$$

불평형 조건을 고려하지 않는다면, 식 (1)과 식 (2)의 3상 교류량을 식 (3)과 같이 직류량(d,q)으로 표시할 수 있다.

$$v_{dq} = T \cdot v_{abc} \tag{3a}$$

$$v_{dq}^* = T \cdot v_{abc}^* \tag{3b}$$

여기서 변환행렬 T는 다음과 같다.

$$T = \frac{2}{3} \begin{bmatrix} \cos(\omega t) & \cos(\omega t - \frac{2\pi}{3}) & \cos(\omega t + \frac{2\pi}{3}) \\ \sin(\omega t) & \sin(\omega t - \frac{2\pi}{3}) & \sin(\omega t + \frac{2\pi}{3}) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix}$$

2.3.2 전압 외란 검출 알고리즘

식 (3)을 통해 동기좌표계로 변환된 양이 그림 6에서 보여지는 바와 같이 검출 블록의 입력이 되며, 이 두 개의 입력으로부터 오차를 정규화 시킨다. 평균치 방법의 경우는 그 오차를 굳이 정규화시킬 필요가 없지만, 순시치 비교를 통한 검출 방법의 경우에는 정규화된 오차(normalized error)가 필요하게 되며, 이를 식 (4)로 표현하였다.

$$Err_{NOR} = \frac{v_d - v_d^*}{v_d^*} \tag{4}$$

교류량에서 식 (4)와 같이 정규화된 오차를 구하기 위해서는 분모항이 '0'이 되지 않도록 약간의 제한을 두어야 하지만, 직류량에서는 이를 고려하지 않아도 된다.

따라서 식 (4)를 이용해 얻은 정규화된 오차를 통해 ITIC 곡선으로부터 전원장치의 허용시간(tolerance time)을 구할 수 있다. ITIC 곡선은 선형화 되어 있기 때문에 허용시간을 쉽게 구할 수 있으므로 이 부분에 대해서는 굳이 언급하지 않는다.

이렇게 구해진 허용시간으로부터 식 (5)와 같이 샘플링 시간을 나누어주면 샘플링 횟수를 계산할 수 있다.

$$N_s = T_t / T_s \quad (5)$$

(단, 여기서 N_s : No. sampling,

T_t : tolerance time, T_s : sampling time)

따라서 전원장치가 ITIC 곡선에 맞게 설계되었다면, 식 (5)로부터 구해진 샘플링 횟수만큼 기다렸다가 절환을 수행해도 부하에는 전혀 영향을 주지 않을 것이다. 여기서 샘플링 횟수를 좀더 간단화 시키기 위해 식 (6)과 같이 $W(\text{weight})$ 함수를 이용한다.

$$\pm 1 = W \cdot N_s \quad (6)$$

식 (6)을 통하여 샘플링 횟수에 해당하는 각각의 weight값을 계산할 수 있으며, 이것을 누적(integral weight)함으로써 그 값이 ± 1 이 되는 순간에 절환이 수행될 것이다.

2.3.3 디지털 필터를 추가한 검출 알고리즘

위의 방법과 같이 검출 알고리즘을 구현하는 경우 빠른 검출 시간에 대한 목적은 만족할 수 있지만, 잡음에 대한 강인한 특성은 가지지 못한다. 즉, 제환 회로에 노이즈가 포함되어거나 전원의 과도상태인 경우 이로 인해 원하지 않는 부분에서 절환이 이루어 질 수도 있다.

본 논문에서는 이를 만족시키기 위해 그림 7과 같이 간단한 1차 디지털 필터를 추가하였다. 그러나 이러한 필터의 삽입은 이득 감소 및 위상 지연의 역효과를 가져오기 때문에 정확한 정지형 스위치 제어를 위해서는 이에 대한 고려를 해야 한다. 따라서 본 논문에서는 그림 7과 같이 같은 특성을 가진 필터를 지령전압에도 포함함으로써 그 오차를 정규화 시키면 필터로 인한 이득 감소를 보상할 수 있다. 다음으로 필터로 인한 위상 지연을 보상하기 위해서 먼저 1차 저역통과 필터의 전달함수를 이용한다. 디지털 필터와 아날로그 필터의 경우 전달함수가 틀리지만 그 결과는 같게 되며, 본 논문에서는 필터의 전달함수를 식 (7)과 같이 쓴다.

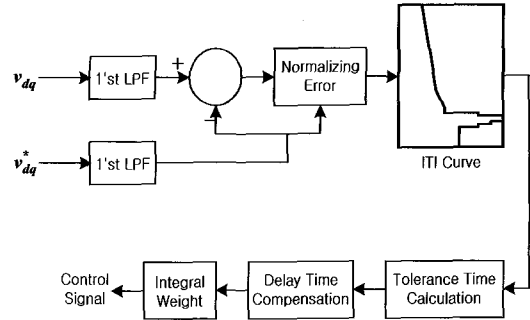


그림 7 필터가 삽입된 검출 블록도
Fig. 7 Detection block diagram with filter

$$\frac{V_{out}}{V_{in}} = \frac{1}{1 + \tau_d s} \quad (7)$$

(단, 여기서 $\tau_d = \frac{1}{2\pi f_c}$ 이다.)

식 (7)을 라플라스 역변환 시키면

$$V_{out} = V_{in}(1 - e^{-T_d/\tau_d}) \quad (8)$$

식 (8)과 같이 되며, 이 식에서 지연시간 T_d 에 대해서 풀면 식 (9)와 같이 된다.

$$\begin{aligned} T_d &= -\tau_d \ln\left(1 - \frac{V_{out}}{V_{in}}\right) \\ &= -\frac{1}{2\pi f_c} \ln\left(1 - \frac{V_{out}}{V_{in}}\right) \end{aligned} \quad (9)$$

따라서 지연시간을 고려한다면 식 (5)는 다음과 같이 고쳐 쓸 수 있다.

$$N_s = (T_t - T_d) / T_s \quad (10)$$

3 시뮬레이션 및 실험

3.1 시뮬레이션 결과

본 논문에서는 제안된 알고리즘의 타당성을 위해 ACSL(Advanced Continuous Simulation Language)을 이용하여 시뮬레이션을 수행하였으며, 그 결과가 그림 8에서 13까지 보여지고 있다.

그림 8과 9는 각각 15%와 50%의 overvoltage가 시간 0.1초에서 발생하였을 경우에 대한 시뮬레이션 결과이다. 제일 상단이 기준전압과 실제의 피드백 전압을 나타내고 있으며, 두 번째가 Inegral weight를 나타낸다. 그리고 제일 밑에 있는 것이 절체 신호를 의미하고 있다. 15%의 경우 0.5초 후에, 그리고 50%

의 후에 절체 신호가 '1'이 됨을 알 수 있고, 이는 그림 2의 ITIC 곡선과 정확하게 일치하고 있다. 그림 10과 11은 피드백 전압에 노이즈를 첨가했을 때 필터가 없는 경우와 있는 경우에 대한 시뮬레이션 결과이다.

모두 20[%]의 노이즈를 첨가한 경우이며, 그림 9는 필터가 없는 경우로써 노이즈에 검출회로가 민감한 특성을 가지고 있지만, 그림 10과 같이 디지털 필터를 추가한 경우에는 노이즈에 매우 둔감한 특성을 가지고 있음을 보여주고 있다.

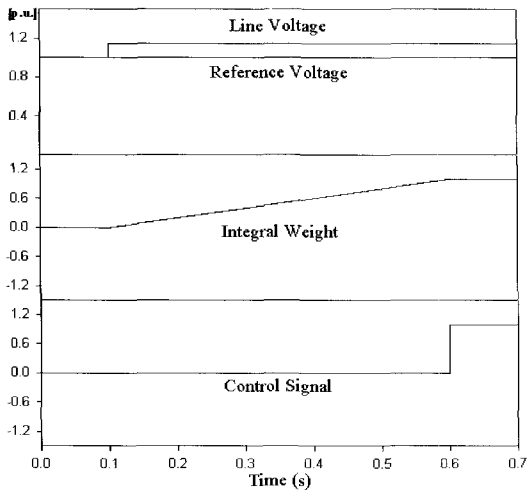


그림 8 15% overvoltage 발생시
Fig. 8 In case of 15% overvoltage 경우 3ms

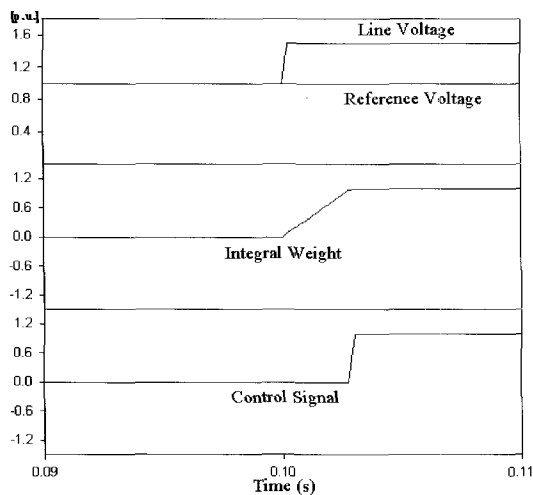


그림 9 50% overvoltage 발생시
Fig. 9 In case of 50% overvoltage

그림 12와 13은 필터에 의한 지연효과에 대한 시뮬레이션 결과이다. 그림 12의 경우 지연시간을 보상하지 않은 경우로써 약 0.06초 정도의 지연시간을 가지고 있음을 보여주고 있다. 식 (10)과 같이 지연시간을 보정한 경우에는 그림 12에서 보듯이 정확하게 0.6초에 절환 신호가 '1'이 됨을 알 수 있다.

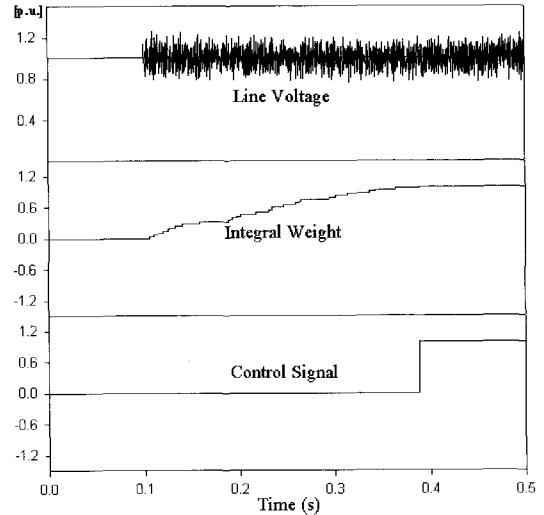


그림 10 입력신호에 20% 노이즈 첨가시 (필터가 없는 경우)
Fig. 10 In case of 20% noise insertion (without filter)

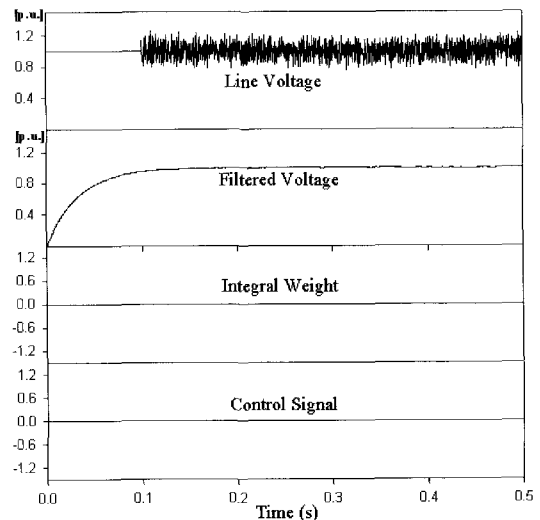


그림 11 입력신호에 20% 노이즈 첨가시 (필터가 있는 경우)
Fig. 11 In case of 20% noise insertion (with filter)

3.2 실험 결과

제안된 검출 알고리즘의 타당성을 증명하기 위해 본 연구에서는 prototype의 VSC에 적용하여 실험을 수행하였으며, 실험에 사용된 시스템이 그림 14에 보이고 있다. 그림에서 알 수 있듯이 정상시는 정류기를 통해 전원에서부터 커패시터를 충전하게 되고 전원에 전압 강하가 발생한 경우 부하에 유효전력을 공급하는 장치로써 입·출력중 한곳은 항상 계통에서 분리되어 있어야 한다. 따라서 이를 위해 일반적으로 그림 14와 같이 싸이리스터를 이용한 정지형 스위치를 사용한다.

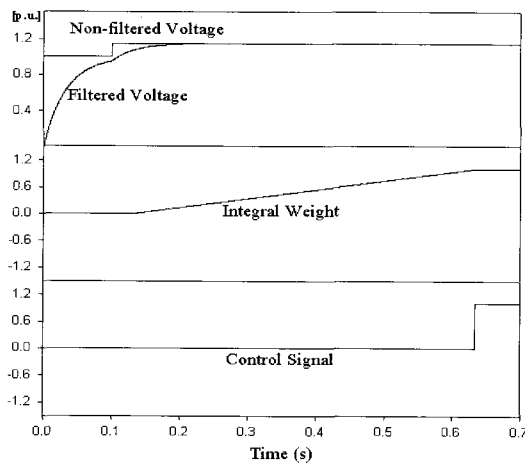


그림 12 필터 첨가후 15% overvoltage 발생시 (지연시간을 보상하지 않은 경우)
 Fig. 12 In case of 15% overvoltage with filter (not compensated for delay time)

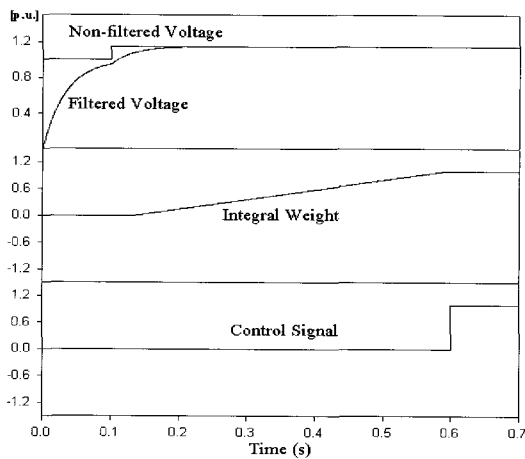


그림 13 필터 첨가후 15% overvoltage 발생시 (지연시간을 보상한 경우)
 Fig. 13 In case of 15% overvoltage with filter (compensated for delay time)

그림 14에서 전원의 전압강하를 만들어주기 위해 "ELGA SW 5250A" AC power supply를 사용하였으며, 직렬 변압기의 권선비는 1:2이다. 검출회로에 사용된 디지털 필터의 경우 시뮬레이션과 같은 특성을 지니도록 하였다. 그림 15에서 18까지 실험결과를 보이고 있으며, 모두 50%의 전압강하가 발생한 경우로써 그림 4의 ITIC 곡선에 의하면 0.2초에 절환이 수행되어야 한다.

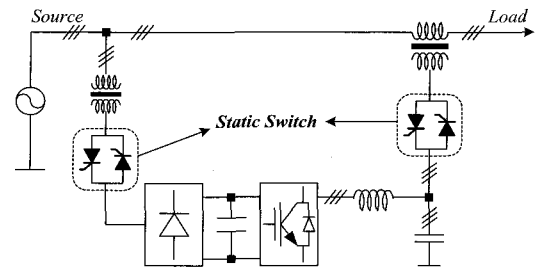


그림 14 VSC 시스템
 Fig. 14 Voltage sag corrector(VSC) system

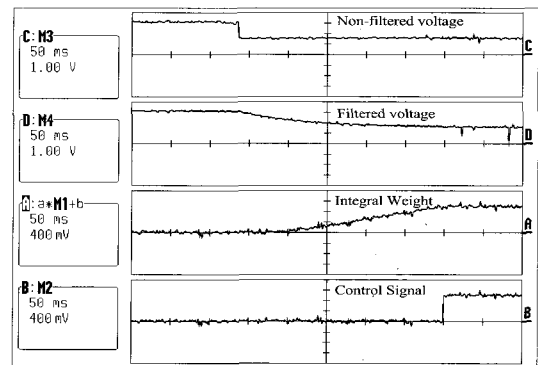


그림 15 필터 첨가후 50% undervoltage 발생시 (지연시간을 보상하지 않은 경우)
 Fig. 15 In case of 50% undervoltage with filter (not compensated for delay time)

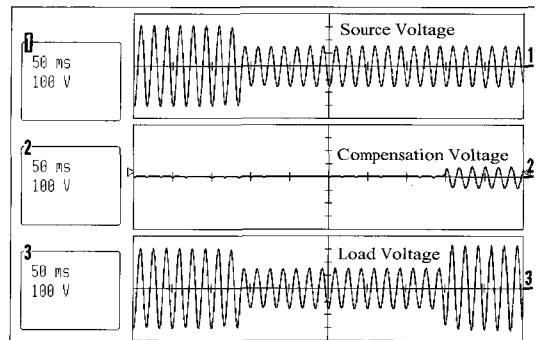


그림 16 그림 15에 대한 "A"상 파형
 Fig. 16 "A" phase waveform for fig. 15

그림 15와 17에서 위에 있는 두 개의 파형은 각각 전원전압의 유효측 성분분에 대한 필터를 거치기 전과 후의 전압을 나타낸 것으로 100V/div의 크기를 가진다. 이 이외의 모든 실험결과에서 횡축과 종축의 범위는 그림에서 표시된 바와 같다. 전압의 크기는 100V/div이다. 그림 15는 필터에 의한 지연시간을 보상하지 않은 실험결과로 정지형 스위치의 control signal이 약 0.06초 정도 늦어짐을 알 수 있다. 그림 16은 그림 15에 대한 3상좌표계에서의 "A"상에 대한 파형으로 위로부터 전원전압, 보상전압 그리고 부하전압을 보여주고 있다. 그림 17은 필터에 의한 지연시간을 보정한 실험결과로 정지형 스위치의 control signal이 사고 발생 시간으로부터 정확하게 0.2초 후에 '1'이 됨을 보여주고 있다. 그림 18은 그림 17에 대한 3상좌표계에서의 "A"상에 대한 파형으로 사고 발생 0.2초 후에 VSC에 의해 부하전압이 일정하게 유지되고 있다. 이상의 실험결과로부터 제안된 검출 알고리즘이 ITIC 곡선의 규정을 충분히 만족함을 알 수 있다.

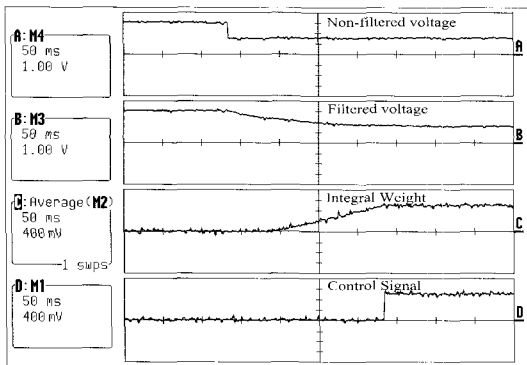


그림 17 필터 첨가후 50% undervoltage 발생시 (지연시간을 보정한 경우)

Fig. 17 In case of 50% undervoltage with filter (compensated for delay time)

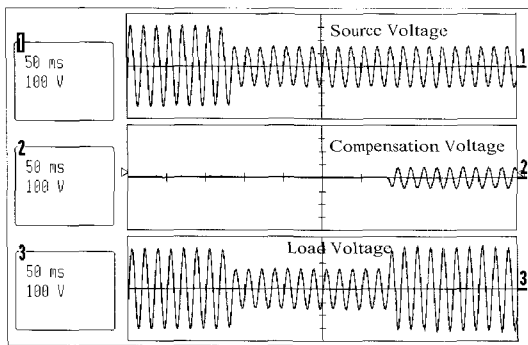


그림 18 그림 17에 대한 "A"상 파형

Fig. 18 "A" phase waveform for fig. 17

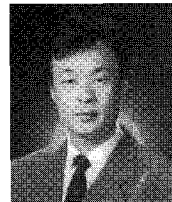
4. 결 론

본 논문에서는 정지형 스위치 제어를 위한 전압의 외란 검출에 대한 새로운 순시적인 디지털 알고리즘을 제안하였다. 간단한 1차 디지털 필터의 삽입으로 정지형 스위치 제어시 필요한 노이즈에 강인한 특성을 가지도록 구현하였다. 또한 추가된 필터로 인한 이득 감소 및 위상지연을 각각 정규화된 오차 및 전달함수를 이용한 수식적인 해석을 통해 보상하였다. 시뮬레이션 및 실험을 통해 제안된 방법에 대해 그 타당성을 증명하였으며, 이를 통해 VSC등의 전력품질 보상기에 적용될 수 있음을 보였다.

참 고 문 헌

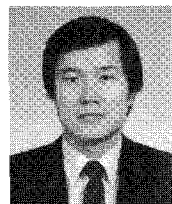
- [1] Erich W. Gunther, et. al., "A Survey of Distribution System Power Quality-Preliminary Results", IEEE Trans. on Power Delivery, Vol. 10, No. 1, pp. 322~329, January, 1995
- [2] Roger C. Dugan, et. al., Electrical Power Systems quality, McGraw-Hill, 1996.
- [3] M. H. J. Bollen, Understanding Power Quality Problems, IEEE Press, 2000
- [4] 최재호, "전력품질 장애와 대책", 전력전자 학회지, Vol. 5, No. 1, pp. 13~18, 2000.
- [5] J. Arrillaga, et. al., "Power Quality Following Deregulation", Proc. of IEEE, Vol. 88, No. 2, pp. 246~281, 2000.

저 자 소개



이상훈(李尙勳)

1969년 7월 13일생. 1994년 충북대 전기공학과 졸업. 1997년 동 대학원 졸업(석사). 1997년~현재 동 대학원 박사과정.



최재호(崔載昊)

1955년 9월 27일생. 1979년 서울대 전기공학과 졸업. 1981년 동 대학원 졸업(석사). 1989년 동 대학원 졸업(박사). 1981~1983년 중경공업전문대학 전자과 전임강사. 1983년~현재 충북대 전기전자공학부 교수. 1993년~1994년, 1997년~1998년 University of Toronto (Visiting Professor). 당 학회 편집이사.