

W-CDMA 시스템의 역방향 링크에서 고속 페이딩을 위한 채널 추정 알고리즘의 성능분석

정희원 이상문*, 구제길**, 최형진***

Improved Channel Estimation Scheme for Fast Fading in Reverse Link of W-CDMA systems

Sang-Mun Lee*, Je-Gil Koo**, Hyung-Jin Choi*** *Regular Members*

요 약

파일럿 심볼 동기검파는 CDMA 시스템에서 사용자의 용량을 증대시키기 위해 사용된다. 따라서 효과적인 검파를 위해서는 파일럿 심볼을 이용한 채널 추정 값으로 데이터 신호를 보상하여야 한다. 이와 관련된 여러가지 채널 추정 알고리즘들에 대해 많은 연구가 이루어졌다. 그러나 대부분의 채널 추정 알고리즘들은 여러 개의 타임슬롯을 이용 함으로서 고속 페이딩에 대해 성능열화를 가져온다.

본 논문에서는 고속 페이딩에 적합하고 저속 페이딩에서도 성능열화를 크게 일으키지 않는 채널 추정 알고리즘을 제시하였다. 모의실험을 통해 본 논문에서 제시한 채널 추정 알고리즘은 고속 페이딩에서 효율적이며, 도플러 주파수 변화에 대한 성능의 민감도에 대해서도 강인성을 가지고 있음을 알 수 있었다.

ABSTRACT

Pilot symbol-based coherent detection is used to increase the link capacity in CDMA systems. In order to detect data efficiently, data signals must be compensated with channel estimation values obtained by using pilot symbols. Many channel estimation schemes were published in previous literatures. However, most of these schemes have performance deterioration in fast fading because of using average vaules of several timeslots.

In this paper, we propose an improved channel estimation scheme which is efficient in fast fading and also operates in slow fading satisfactorily.

Through computer simulation, we show that the proposed scheme has better performance than other schemes in terms of both MSE and BER in fast fading and show robustness for variation in Doppler frequencies.

I. 서 론

최근 CDMA(Code Division Multiple Access)를 이용한 이동통신의 수요가 급상승하고 있는 추세이다. 이러한 이동통신에 대한 수요가 증가함에 따라

시스템 용량의 개선은 필수적인 문제로서 대두된다. 이러한 문제의 해결방안 중 하나로서 동기검파 RAKE 수신기 필요하게 된다^[1]. 동기검파 RAKE 수신기는 다중경로 페이딩에 의해 발생된 간섭신호를 대역확산 신호와 채널 계수의와의 심볼 주기 동안

* 문경대학 정보통신과(smlee@munkyung.ac.kr)

** 용인 송담대학 전자과(jgkoo@dragon.ysc.ac.kr)

*** 성균관대학교 전기전자 및 컴퓨터공학부

논문번호: 00005-0107, 접수일자: 2000년 1월 7일

의 상관을 통하여 제거할 수 있다. 그러나 채널특성이 심하게 변화하면 확산부호의 상관특성이 크게 열화되어 RAKE 수신기의 성능이 떨어진다. 따라서 수신기의 성능열화를 막기 위해서는 다중경로 페이딩 채널에 대한 보다 정확한 채널 추정 알고리즘이 요구된다.

채널 추정은 일반적으로 파일럿 채널 또는 파일럿 심볼을 이용하는 방식으로 나뉜다. 파일럿 채널을 이용하는 방식은 연속적으로 파일럿 심볼이 송신되는데 반하여, 파일럿 심볼을 이용하는 경우는 데이터 채널에 파일럿 심볼을 주기적으로 삽입하여 송신하므로 데이터 심볼에 대한 동기검파는 파일럿 심볼에서 추정된 채널 정보를 활용하여야 한다. 특히 파일럿 심볼의 이용은 차세대 이동통신 시스템의 방식으로 권고되고 있다²⁾. 파일럿 심볼을 이용한 채널 추정 알고리즘으로 보간법^{1,3,4)} 및 평균을 이용한 방식⁵⁾이 연구되었으며, 파일럿 채널에 평균의 개념을 이용한 알고리즘^{6,7)}도 제시된 바 있다. 그러나 이러한 채널추정 알고리즘들은 고속의 도플러 주파수에 접근할 수록 그 성능이 상당히 열화되는 단점을 가지고 있다.

본 논문에서는 Least square fitting 알고리즘을 사용하여 광대역(wideband) CDMA 시스템의 역방향 링크에 대해 고속 페이딩 환경에서도 성능 열화를 최소화할 수 있는 채널 추정 알고리즘을 제안하고 그 성능을 분석한다. 본 논문의 구성은 2절에서는 수신기 구조에 대해 살펴보고, 3절에서는 채널 추정 알고리즘에 대해 기존의 알고리즘을 분석하고, 새로운 채널 추정 알고리즘을 제안한다. 4절에서는 모의실험을 통해 성능을 분석하고 제안된 채널 추정 알고리즘의 우수성을 입증하였다. 마지막으로 5절에서 결론을 맺는다.

II. 시스템 모델 및 수신기 구조

CDMA 시스템에서 한 사용자만을 고려하고, 다중 접속 간섭(MAI : Multiple Access Inteferece)을 가우시안으로 가정할 때 수신되는 신호는 다음 식(1)과 같이 표현된다.

$$r(t) = \sum_{l=0}^{L-1} r_l(t) = \sum_{l=0}^{L-1} \sqrt{P} \xi_l(t) s(t-\tau_l) + u(t) \quad (1)$$

여기서 $L(L \geq 1)$ 은 전파 경로의 수이고, P 는 평균 수신전력이며, $u(t)$ 는 단축대역의 전력스펙트럼이 N_0 인 배경잡음으로서, MAI와 AWGN을 합한 성

분을 나타낸다.

$\xi_l(t)$ 는 복소 채널 이득(complex valued channel gain)이고, $\tau_l(l=0,1,\dots,L-1)$ 는 l 번째 경로의 시간 지연이고, 채널 특성은 $E\left[\sum_{l=0}^{L-1} |\xi_l(t)|^2\right]=1$ 인 것으로 가정한다. $E[\cdot]$ 는 앙상블 평균을 나타낸다. $s(t)$ 는 송신되는 기저대역 신호를 의미하는 것으로, 채널화 부호에 의해 확산된 신호의 형태는 다음 식(2)와 같다.

$$s(t) = C_d(t)D_d(t) + jC_c(t)D_c(t) \quad (2)$$

여기서 $C_d(t), C_c(t)$ 는 각각 데이터 채널(DPDCH)과 컨트롤 채널(DPCCH)의 확산 신호 파형이고, $D_d(t), D_c(t)$ 는 각각 데이터 채널의 데이터 심볼과 컨트롤 채널의 데이터 신호 파형을 의미한다. 이를 각각 수식으로 표현하면 다음과 식과 같다.

$$\begin{aligned} D_d(t) &= \sum_{k=-\infty}^{\infty} \exp(j\phi_d(k)) u\left(\frac{t}{T_c} - k\right) \\ D_c(t) &= \sum_{k=-\infty}^{\infty} \exp(j\phi_c(k)) u\left(\frac{t}{T_c} - k\right) \\ C_d(t) &= \sum_{i=-\infty}^{\infty} W_d(i) u\left(\frac{t}{T_c} - i\right) \\ C_c(t) &= \sum_{i=-\infty}^{\infty} W_c(i) u\left(\frac{t}{T_c} - i\right) \end{aligned} \quad (3)$$

여기서 $\phi_d(k), \phi_c(k)$ 는 각각 BPSK 신호의 위상을 의미하고 $\{0, \pi\}$ 값을 가진다. 그리고 $W_d(i), W_c(i)$ 는 직교 확산 부호 열을 의미하며, T_c 는 확산부호 신호의 칩 지속시간을 의미한다. 또한 $u(t)$ 는 구간 $0 \leq t < 1$ 에서는 $u(t)=1$ 이고, 그 외의 구간에 대해서는 $u(t)=0$ 으로 정의된다.

시스템 모델링을 위한 데이터 채널과 컨트롤 채널의 구조를 그림 1에 보였다²⁾.

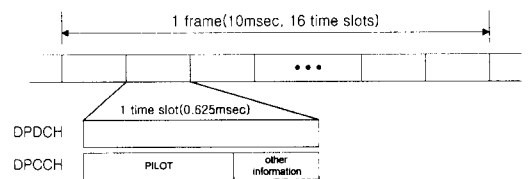


그림 1. 타임슬롯(time slot)의 구조

위 그림에서 데이터 채널(DPDCH)은 데이터 심볼을 갖는 채널이고, 컨트롤 채널(DPCCH)은 채널 추정과 SIR(Signal to Interference Ratio)측정을 위

한 파일럿 심볼 및 다른 서비스를 위한 정보들을 포함한다.

송신기에서 파일럿 심볼은 채널 부호화 및 인터리빙(interleaving)을 거친 데이터 심볼과 함께 I/Q 채널에 각각 할당된다. 그리고 각 채널은 채널화 부호로 확산한 후, 복소신호로 처리하여 복소 스크램블링(scrambling)하여 전송한다.

그림 2는 동기검파 RAKE 수신기의 블록도를 나타낸 것이다.

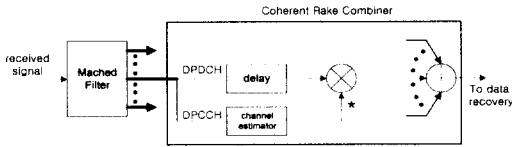


그림 2. 레이크 수신기의 블록도

수신신호는 정합필터(matched filter)를 통해 역확산되며, 각 다중경로 신호는 채널 추정의 공액 복소수와 곱해서 페이딩을 보정한 후 결합기에서 조합한다. 여기서 L은 다중경로 수를 나타낸다.

l 번째 경로의 n 번째 타임슬롯(timeslot)의 m 번째 심볼 위치에서의 정합필터를 통과한 출력은 채널분할 부호로 역확산된 채널별 신호 즉, 데이터채널과 컨트롤채널 신호로 각각 주어지는데 이 값들은 아래 식(4)와 같이 표현된다.

$$r_l(m, n) = \frac{1}{T} \int_{mT+nT_{\text{slot}, \tau_l}}^{(m+1)T+nT_{\text{slot}, \tau_l}} r_l(t) C(t-\tau_l) dt$$

$$= \begin{cases} \sqrt{P} \xi_l(m, n) D_d(m, n) + w_d^l(m, n) \dots \text{DPDCH} \\ \sqrt{P} \xi_l(m, n) D_c(m, n) + w_c^l(m, n) \dots \text{DPCCH} \end{cases} \quad (4)$$

여기서 $C(t) = (C_d(t), C_c(t))$ 이며, $w_d^l(m, n), w_c^l(m, n)$ 는 데이터채널과 컨트롤채널에 포함된 잡음성분이다. 그리고

$$\xi_l(m, n) = \xi_l(mT + nT_{\text{slot}}),$$

$$D_d(m, n) = D_d(mT + nT_{\text{slot}})$$

$$D_c(m, n) = D_c(mT + nT_{\text{slot}})$$

이다. 채널 추정기(channel estimator)는 컨트롤 채널을 이용하여 채널 추정값 $\xi_l(m, n)$ 을 추정한다. l 경로의 신호는 MRC(Maximum Ratio Combining)

를 이용하여 결합하기 위해 $\xi_l(m, n)$ 의 복소공액에 의해 곱해진다. 따라서 n 번째 타임슬롯의 m 번째 데이터 심볼 위치에서 RAKE 결합기의 출력은 다음의 식(5)로 표현된다.

$$\tilde{r}(m, n) = \sum_{l=0}^{L-1} r_l(m, n) \xi_l^*(m, n) \quad (5)$$

여기서 *는 복소공액을 의미한다.

일반적으로 결합기의 출력은 디인터리빙(deinterleaving)되어 비터비 복호기(Viterbi decoder)에 의해 데이터가 복원된다. 그러나 본 논문에서는 채널 추정기의 성능을 분석하고자 하므로 인터리빙 및 부호화는 고려하지 않기로 한다. 따라서 수신된 신호를 경관정을 통해 검출 한다.

III. 채널 추정 알고리즘

파일럿 심볼은 사전에 이미 알고 있는 심볼 패턴이므로 수신기에서는 이 구간의 상관 출력을 이용하여 채널 추정을 할 수 있다. 그러나 데이터 심볼 구간은 랜덤한 신호이므로 데이터 심볼의 동기 검파는 파일럿 심볼 구간의 채널 추정 정보를 이용하여 보상함으로써 이루어진다. 컨트롤 채널이 모두 파일럿 심볼로 구성된다면 한 타임슬롯으로도 채널 추정이 가능하여 데이터 결정 지연(decision delay)을 줄일 수 있지만, 컨트롤 신호는 그림 1과 같이 파일럿 심볼외에 다른 정보비트(TPC 비트 등)를 포함하고 있다. 따라서 파일럿 심볼만을 가지고 채널 추정을 하게 되면 파일럿 심볼 구간에 대한 데이터 채널의 신호는 보상되지만 파일럿 심볼 구간을 제외한 나머지 부분은 채널 정보를 알 수 없으므로 효과적인 보상을 하기가 어렵게 된다.

이와 같은 개념으로부터 발생된 채널 추정 알고리즘은 주로 평균과 보간법에 의해 그 근거를 두고 있다. 본 절에 기존의 채널 추정 알고리즘을 검토하고, 새로운 채널 추정 알고리즘을 제안하고자 한다.

1. 기존의 채널 추정 알고리즘

기존의 채널 추정 알고리즘으로는 WMSA (Weighted Multi-Slot Averaging), Linear Interpolation, Gaussian Interpolation 등이 있다. 이러한 채널 추정 알고리즘은 기본적으로 파일럿 심볼 구간의 평균값을 이용하며, 여러 타임슬롯을 이용하여 채널 추정을 하는 공통점을 가지고 있다. 여러 타임슬롯을 이용하여 평균을 취하는 채널추정은 평균을 취

하는 타임슬롯의 범위에서 채널 변화가 일어날 경우 효과적으로 채널을 추정할 수 없게 된다. 특히 그림 1과 같은 타임슬롯 구조의 경우에는 파일럿 심볼이 데이터 구간과 나란히 존재하므로, 파일럿 심볼의 평균을 취하는 것은 한 타임슬롯내에서 채널 변화가 일어날 경우 더욱 더 채널 추정 능력을 상실하게 된다. 이러한 관점에서 보면, WMSA (K=2)의 경우는 평균을 취하는 구간이 4개의 타임슬롯에 해당하므로 빠른 채널변화에 대한 추정능력이 다른 채널추정 알고리즘에 비해 더욱 떨어진다. 그리고 WMSA 채널 추정 알고리즘은 K≥2인 경우에 가중인자(weighting factor)가 도플러주파수에 따라 매우 가변적이므로 가중인자 설정이 쉽지 않다. 또한 결정지연시간이 2개의 타임슬롯 길이로 1 타임슬롯의 결정지연을 갖는 WMSA(K=1), Linear Interpolation, Gaussian Interpolation 보다 더 길어진다.

2. 제안된 채널 추정 알고리즘

본 절에서 고속 페이딩인 경우 즉, 한 타임슬롯내의 채널 변화에 대한 채널 추정 능력을 개선하여 고속 페이딩에도 강하며, 특히 도플러 주파수의 변화에 크게 민감하지 않는 채널 추정 알고리즘을 제안한다. 알고리즘의 기본 개념은 2개의 타임슬롯, 즉 현재의 타임슬롯과 미래의 타임슬롯의 파일럿 심볼을 이용하여 Least Square Fitting(LSF)에 의한 채널 추정값으로 현재의 타임슬롯의 데이터 심볼 전체를 보상하는 것이다.

그림 3은 컨트롤 채널을 보여준 것이다.

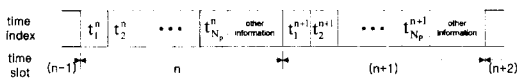


그림 3. 채널추정을 위한 컨트롤 채널(DPCCH)의 구조

먼저 채널 추정은 n 번째 타임슬롯과 n+1 번째 타임슬롯을 이용하여 이루어진다고 가정한다. 이 때 2개의 타임슬롯내에서는 연속적으로 time index를 부가한다. 즉 n 번째 타임슬롯의 파일럿 심볼의 갯수를 N_p 라고 하면 time index는 $t_1^n, t_2^n, \dots, t_{N_p}^n$ 이고 (n+1) 번째 타임슬롯의 time index는 $t_1^{n+1}, t_2^{n+1}, \dots, t_{N_p}^{n+1}$ 이다. 하나의 타임슬롯의 심볼갯수를 N_{slot} 이라고 하면 (n+1) 번째 타임슬롯의 첫 번째 time index t_1^{n+1} 의 실제값은 $\Delta t * (N_{slot} + 1)$ 가 된다. 여기서 Δt 는 time index간의 차이이다. 수신된 2개의 연속적인 타임슬

롯의 컨트롤 채널에 대한 파일럿 심볼의 time index $t_1^n, t_2^n, \dots, t_{N_p}^n, t_1^{n+1}, t_2^{n+1}, \dots, t_{N_p}^{n+1}$ 에서 관측값을 각각 $b_1^n, b_2^n, \dots, b_{N_p}^n, b_1^{n+1}, b_2^{n+1}, \dots, b_{N_p}^{n+1}$ 이라고 가정한다. 이 때 관측신호들은 관측시간에 대해 직선 $b = Ct + D$ 의 형태를 가지도록 한다. 즉

$$\begin{aligned}
 D + Ct_1^n &= b_1^n \\
 D + Ct_2^n &= b_2^n \\
 &\vdots \\
 D + Ct_{N_p}^n &= b_{N_p}^n \\
 D + Ct_1^{n+1} &= b_1^{n+1} \\
 D + Ct_2^{n+1} &= b_2^{n+1} \\
 &\vdots \\
 D + Ct_{N_p}^{n+1} &= b_{N_p}^{n+1}
 \end{aligned} \tag{6}$$

이를 행렬로 나타내면 다음 식 (7)과 같다.

$$Ax = b \tag{7}$$

여기서

$$A = \begin{bmatrix} 1 & t_1^n \\ 1 & t_2^n \\ \vdots & \vdots \\ 1 & t_{N_p}^n \\ 1 & t_1^{n+1} \\ 1 & t_2^{n+1} \\ \vdots & \vdots \\ 1 & t_{N_p}^{n+1} \end{bmatrix}, \quad x = \begin{bmatrix} D \\ C \end{bmatrix}, \quad b = \begin{bmatrix} b_1^n \\ b_2^n \\ \vdots \\ b_{N_p}^n \\ b_1^{n+1} \\ b_2^{n+1} \\ \vdots \\ b_{N_p}^{n+1} \end{bmatrix}$$

이다.

식(6)은 구하고자 하는 변수보다 더 많은 식을 가지므로 유일한 해는 없다. 따라서

$E^2 = \|b - Ax\|^2$ 을 최소화하는 $\bar{x} = \begin{bmatrix} \bar{D} \\ \bar{C} \end{bmatrix}$ 를 구해야 하며, 이에 대한 해는 다음과 같이 구해진다^[8].

$$A^T A \bar{x} = A^T b \tag{8}$$

$$\bar{x} = (A^T A)^{-1} A^T b \tag{9}$$

따라서 타임슬롯 n 번째 채널 추정값은 time index를 타임슬롯의 심볼 위치를 나타내는 정수값으로 설정하면 다음과 같이 나타낼 수 있다.

$$\hat{\xi}(m, n) = \bar{C} * m + \bar{D} \tag{10}$$

식(10)의 채널 추정값을 이용하여 n 번째 타임슬롯의 데이터채널의 데이터를 보상하게 된다.

한편, 실제로 채널 추정을 할 경우에 식(9)의 타임슬롯 단위로 \bar{x} 를 구할 때마다 매번 $(A^T A)^{-1} A^T$

를 구해야 한다면 계산의 복잡도가 높은 편이다. 그러나 다행히도 A 를 구성하는 time index는 이미 알 수 있는 값이므로 $(A^T A)^{-1} A^T$ 는 사전에 미리 계산하여 상수로서 고려할 수 있다.

IV. 모의 실험 및 결과 검토

본 절에서는 제안된 채널 추정 알고리즘의 성능을 분석하기 위하여 컴퓨터 시뮬레이션을 수행하였다. 전체 수신기의 검파 성능은 채널 추정의 정확도 및 다른 시스템의 변수(채널부호의 성능 및 전력 제어 등)에 의해 의존한다. 본 논문에서는 그 중에서도 채널 추정의 정확도에 의한 수신 성능을 평가하기 위하여 채널 부호화 및 전력 제어는 고려하지 않기로 하였다.

시뮬레이션을 위한 시스템 환경은 다음과 같이 설정하였다. 시스템의 동기는 완벽하다고 가정하였다. 타임슬롯의 구조는 데이터 채널과 컨트롤 채널 각각 10개의 심볼로 구성하였다. 한 타임슬롯의 길이는 0.625 msec 이고, 비트율은 16Kbps로 설정하였다. 컨트롤 채널의 파일럿 심볼은 6개로 하고, 시뮬레이션은 심볼 단위로 수행하였다. 채널모델은 평균전력이 1/L인 독립적인 레일리 페이딩을 이용하였으며, 잡음은 가우시안으로 처리하였다. 그리고 본 논문에서 모든 결과를 위해 시뮬레이션에 사용된 프레임의 수는 5000개로 하였다.

본 논문에서의 주요 경로수가 1인 경우와 2인 경우에 대해 채널 추정 알고리즘의 성능을 살펴보았으며, 알고리즘의 성능을 검증하기 위하여 기존의 채널 추정 알고리즘 즉, WMSA(K=2), WMSA(K=1), Gaussian Interpolation, Linear Interpolation에 대해서도 분석을 통해 성능을 비교하였다. 여기서 WMSA(K=2)의 가중인자는 (0.6, 1, 1, 0.6)로서 설정하였다^[5]. 성능분석은 채널 추정에 대한 MSE(Mean Square Error)와 BER(Bit Error Rate) 측면에서 살펴보았다.

그림 4와 그림 5는 경로수가 1인 경우, 실제 채널과 채널추정값의 차이의 MSE를 나타낸 것이다. MSE의 정의는 식(11)과 같다.

$$MSE = \frac{1}{N_{timeslot} * N_{slot}} \sum_{n=1}^{N_{timeslot}} \sum_{m=1}^{N_{slot}} |\xi(m, n) - \hat{\xi}(m, n)|^2 \quad (11)$$

여기서 $N_{timeslot}, N_{slot}$ 은 각각 총 타임슬롯의 개수와 타임슬롯내의 심볼의 개수를 의미하며, $\xi(m, n)$,

$\hat{\xi}(m, n)$ 는 실제 페이딩 채널과 추정된 채널을 각각 의미한다.

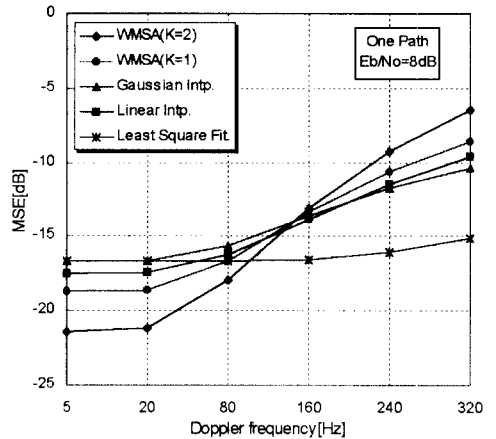


그림 4. MSE 성능(경로수=1, Eb/No=8dB)

그림 4는 E_b/N_0 가 8dB인 경우로서 80Hz이하의 저속 페이딩인 경우에는 WMSA(K=2)알고리즘의 MSE가 가장 작은 성능을 가지는 반면에, 160Hz이상의 고속 페이딩의 경우는 오히려 다른 채널 추정 알고리즘에 비해 성능이 열화됨을 알 수 있다. 한편 LSF에 의한 채널 추정은 저속 페이딩인 경우는 다소 다른 채널 추정 알고리즘에 비해 성능이 열화되나, 고속 페이딩에서는 다른 방식들에 비해 채널 추정 능력이 저속에 비해 상대적으로 우수함을 보여준다. 그림 5는 E_b/N_0 가 28dB인 경우로서 그림 4와 비슷한 경향을 가지나 도플러 주파수의 보다 넓은 범위에서 제안된 알고리즘의 성능이 우수함을

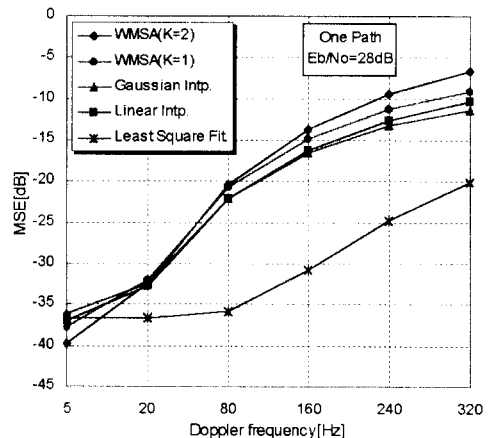


그림 5. MSE 성능(경로수=1, Eb/No=28dB)

알 수 있다. 그리고 5Hz 부근에서는 상대적으로 채널 추정 알고리즘간의 성능차이가 작음을 알 수 있다.

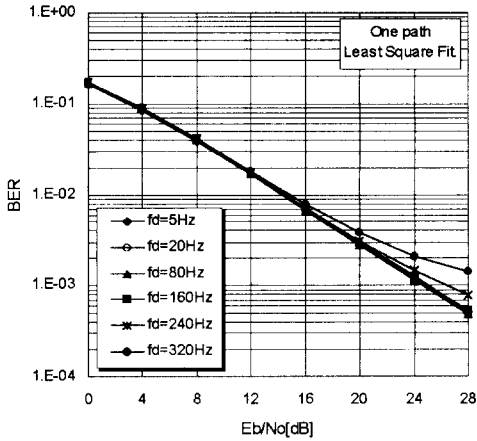


그림 6. Least Square Fit의 BER 성능(경로수=1)

그림 6은 경로수가 1인 경우에 제안된 채널 추정 알고리즘에 의한 BER 성능을 도플러 주파수별로 나타낸 것이다. 그림 6의 성능에 의하면 제안된 알고리즘은 고속 페이딩에 대해서 매우 우수한 성능을 보여줌을 알 수 있다. 특히 $E_b/N_0=15\text{dB}$ 이하에서는 도플러 주파수에 민감하지 않음을 보여준다.

그림 7과 그림 8은 경로수가 2인 경우에 대해 여러 채널 추정 알고리즘들의 BER 성능을 도플러 주파수가 20Hz와 320Hz인 경우에 대해 각각 나타낸 것이다. 그림 7의 도플러 주파수가 20Hz인 경우는 WMSA(K=2) 채널 추정 알고리즘의 성능이 약간

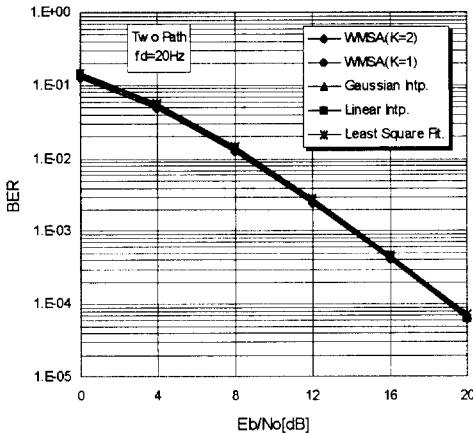


그림 7. BER 성능 비교 (경로수=2, 도플러주파수 = 20Hz)

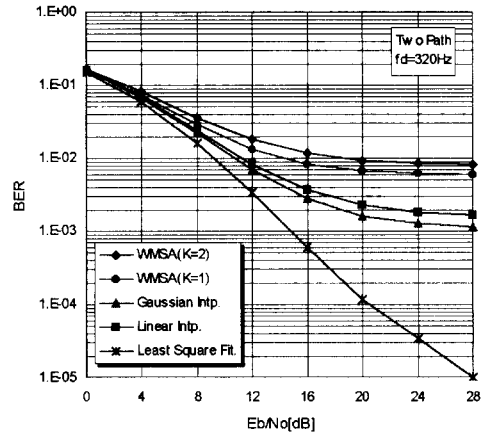


그림 8. BER 성능비교 (경로수=2, 도플러주파수=320Hz)

우수하고, 나머지 채널 추정 알고리즘들의 성능은 거의 유사함을 알 수 있다. 그러나 그림 8에서의 도플러 주파수가 320Hz인 고속 페이딩인 경우는 알고리즘의 성능차이가 현저히 나타남을 알 수 있으며, LSF에 의한 채널 추정 알고리즘이 고속 페이딩에서 상당한 개선을 가져옴을 보여준다.

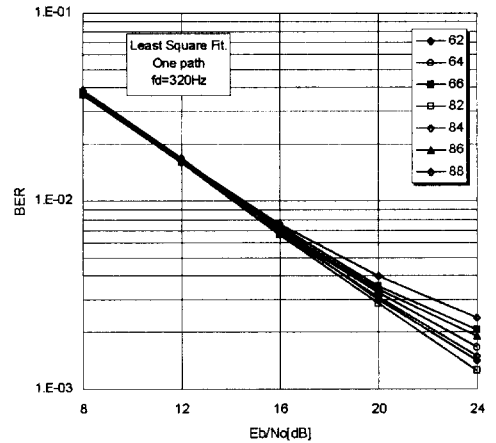


그림 9. 파일럿 심볼 수에 따른 BER 성능 (경로수=1, 도플러주파수=320Hz)

한편, 일반적으로 파일럿 심볼을 이용하는 채널 추정 알고리즘들은 채널 추정을 위해 사용되는 파일럿 심볼의 수에 따라 그 성능이 다소 다르게 된다. 그림 9는 경로수가 1인 경우에 컨트롤 채널의 파일럿 심볼수에 따라 제안된 채널 추정 알고리즘의 BER 성능을 나타낸 것이다. 그림 9의 범례에서

두자리 숫자 'OX'에서 'O'는 n 번째 타임슬롯에 대한 파일럿 심볼의 갯수를 의미하고, 'X'는 $(n+1)$ 번째 타임슬롯에 대한 파일럿 심볼의 갯수를 의미한다. 그림에서 보는 바와 같이 가장 성능이 우수한 것은 n 번째와 $(n+1)$ 번째 타임슬롯의 파일럿 심볼의 갯수가 각각 8개와 2개인 경우이고, 가장 성능이 좋지 않은 것은 각 타임슬롯의 파일럿 심볼 수가 8 개씩인 경우이다. 이러한 현상은 제안된 채널 추정 알고리즘이 관측 신호를 1차 선형 방정식으로 근사화 하기 때문에 $(n+1)$ 번째 파일럿 심볼의 갯수를 많게 하는 것은 n 번째 타임슬롯 내에서 채널변화의 기울기에 대한 추적능력을 감소하기 때문이다. 따라서 고속 페이딩에 대해서 n 번째 타임슬롯의 파일럿 심볼 갯수를 가능하면 많게 하고, $(n+1)$ 번째 타임슬롯의 파일럿 심볼 갯수를 적게하는 것이 성능개선에 유리함을 알 수 있다.

V. 결론

일반적으로 CDMA 시스템에서는 사용자 용량 증대를 위해서 파일럿 심볼 기반의 동기검파 RAKE 수신기를 이용한다. 데이터 구간의 동기검파를 위해서는 파일럿 심볼을 이용하여 채널을 추정한 다음 데이터 구간을 보강하여야 한다. 기존의 파일럿심볼을 이용한 채널 추정 알고리즘은 고속 페이딩에 상당히 열화된 성능을 가진다. 따라서 본 논문에서는 고속 페이딩에 효과적이고, 저속에서도 성능 열화를 최소화하는 채널 추정 알고리즘을 제시하고 그 성능을 분석하였다. 그 결과 제안한 LSF 채널 추정 알고리즘은 다음과 같은 특성을 가짐을 알 수 있었다.

첫째, 파일럿 심볼의 평균값을 이용하는 기존의 알고리즘들에 비해 도플러 주파수가 증가할 수록 상대적인 성능이 매우 우수하다. 둘째, 도플러 주파수의 변화에 대해 크게 민감하지 않다. 셋째, 고속 페이딩에서는 파일럿 심볼의 갯수를 n 번째 타임슬롯에 대한 파일럿 심볼의 갯수를 많게 하고, $(n+1)$ 번째 타임슬롯에 대한 파일럿 심볼의 갯수를 적게 사용하는 것이 보다 성능 개선에 더 효과적이다.

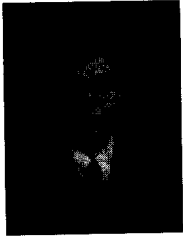
결론적으로 본 논문에서 제안한 LSF 채널 추정 알고리즘은 다양한 이동통신 환경에서 요구성능을 만족하기 위해 필요한 E_b/N_0 를 최소화할 수 있으므로 매우 효과적인 알고리즘이라고 판단된다.

참고 문헌

- [1] T. Dohi, et al., "Further Results on Field Experiments of Coherent Wideband DS-CDMA Mobile Radio," *IEICE Trans. Commun.*, Vol.E81-B, No.6, June 1998.
- [2] 3GPP TSG RAN, *Technical Specification*, V2.0 April 1999.
- [3] F. Adachi et al., "Coherent Multicode DS-CDMA Mobile Radio Access," *IEICE trans. on Commun.*, Vol. E79-B, No.9, pp.1326-1332, Sept. 1996.
- [4] S. Sampei and T. Sunaga, "Rayleigh Fading Compensation for QAM in Land Mobile Radio Communications," *IEEE Trans. on Veh. Tech.*, Vol. 42, No.2, pp. 137-147, May 1993.
- [5] A. Higashi, T. Taguchi, and K. Ohno, "Performance of Coherent Detection and RAKE for DS-CDMA Uplink Channel," *Proc. of IEEE PIMRC*, pp.436-440, 1995.
- [6] H. Andoh, et al., "Channel Estimation using Time Multiplexed Pilot Symbols for Coherent Rake Combining for DS-CDMA Mobile Radio," *Proc. IEEE PIMRC*, pp.954-958, 1997.
- [7] S. Abeta et al., "Performance Comparison between Time-Multiplexed Pilot Channel and Parallel Pilot Channel for Coherent Rake Combining in DS-CDMA Mobile Radio," *IEICE trans. on Commun.*, Vol. E81-B, No.7, pp.1471-1425, July 1998.
- [8] G. Strang, *Linear Algebra and Its Applications*, Harcourt Brace Jovanovich College Publishers, 3rd Edition, 1988.

이 상 문(Sang-Mun Lee)

정회원



1991년 2월: 성균관대학교 전자공학과(공학사)
1993년 2월: 성균관대학교 대학원 전자공학과(공학석사)
2000년 8월 현재: 성균관대학교 대학원 전기전자 및 컴퓨터공학부 박사과정 수료

박사)

1982년 10월~1989년 2월: 미국 Lincom Corp. 연구원
1989년 3월~현재: 성균관대학교 전기전자 및 컴퓨터 공학부 교수
<주관심 분야> 디지털통신, 무선통신, 이동통신, 위성통신 및 동기화 기술을 포함한 MODEM 기술

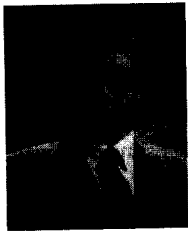
1993년 1월~1998년 1월: LG전자 디지털미디어 연구소 선임연구원

1998년 3월~2000년 8월 현재: 문경대학 정보통신과 전임강사

<주관심 분야> 디지털통신, 이동통신, 통신신호처리

구 제 길(Je-Gil Koo)

정회원



1984년 2월: 성균관대학교 전자공학과(공학사)
1986년 2월: 성균관대학교 대학원 전자공학과(공학석사)
2000년 8월~현재: 성균관대학교 전자공학과 박사과정 수료

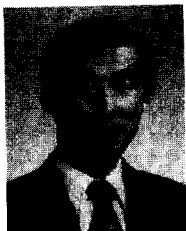
1986년 1월~1998년 1월: 삼성전자(주) 정보통신(본) 정보통신 및 CDMA 개발연구소 선임연구원

1998년 3월~2000년 8월 현재: 용인 송담대학 전자과 교수(전임)

<주관심 분야> 디지털통신, 이동통신, 무선통신, IMT-2000 CDMA 시스템 개발과 신호처리 기술

최 형 진(Hyung-Jin Choi)

정회원



1974년 2월: 서울대학교 전자공학과(공학사)
1976년 2월: 한국과학기술원 전기전자공학과(공학석사)
1976년 3월~1979년 7월: (주)금성사 중앙연구소 연구원

1979년 9월~1982년 12월: 미국 University of Southern California 전기공학과(공학