

입력 단 저장 방식 ATM 스위치의 예약 대역폭에 기반 한 셀 스케줄링 알고리즘

정희원 이영근**, 김진상*, 박영근*

A Reserved Bandwidth-Based Probabilistic Cell Scheduling Algorithm for Input Buffered ATM Switches

Young-Keun Lee**, Jin-Sang Kim*, Young-Keun Park* *Regular Members*

요 약

입력 단 저장방식의 스위치는 최대 수율을 제한하는 HOL(Head-of-line) 블록킹이라는 단점을 지니고 있지만 구현의 간단함을 지닌다는 장점이 있다. 그러나 현재 VOQ(Virtual Output Queueing) 기술을 이용하면 입력 단 저장방식의 스위치에서 보이는 HOL 블록킹에서 완전히 벗어날 수 있어 간단한 구조로 높은 수율을 얻을 수 있게 된다. 본 논문에서 입력 단 저장방식의 ATM 스위치를 위한 새로운 셀 스케줄링 알고리즘 PPIM(Probabilistic Parallel Iterative Matching)을 제안 한다. 제안된 새로운 알고리즘은 예약 대역폭에 비례하는 가중치를 각각의 입력-출력 링크에 부여함으로써, 기존의 PIM(Parallel Iterative Matching)이 제공하지 못하는 예약된 전송률 보장이 가능하게 한다. 이 알고리즘을 이용한 ATM 스위치는 높은 수율과 낮은 지연 값뿐만 아니라 지터 성능에 있어 기존의 WPIM(Weighted PIM)에 비해 더욱 향상된 성능을 보여준다.

ABSTRACT

The problem of an input-buffered switch is the HOL(head-of-line) blocking which limits the maximum throughput but it is easy to implement in hardware. However, HOL blocking can be eliminated using a VOQ(virtual-output-queueing) technique. In this paper, we propose a new cell-scheduling algorithm for an input-buffered ATM switch. The proposed algorithm, called PPIM(Probabilistic Parallel Iterative Matching), imposes a weight to every request based on the reserved bandwidth. It is shown that the input-buffered ATM switch with the proposed PPIM algorithm not only provides high throughput and low delay but it also reduces the jitter, compared with the existing WPIM(Weighted PIM).

1. 서론

ATM 스위치는 셀을 저장하는 위치에 따라 크게

3가지로 나누어 볼 수 있다. 출력 단 저장방식과 공유 저장방식 그리고 입력 단 저장방식이 그것이다. 이 세 가지의 방식 중에서 입력 단 저장방식의 스

* 연세대학교 기계·전자공학부(ypark@yonsei.ac.kr)

** 대우전자 디지털 TV사업부(yonun93@phoenix.dwe.co.kr)

논문번호 : 99294-0723 접수일자 : 1997년 7월 23일

※ 이 논문은 한국교학재단 특정기초연구(1999-2-303-005-3)지원으로 수행되었음.

위치가 가장 간단한 구조를 가지므로 확장성 면에서 뛰어나다^[1]. 입력 단 저장방식의 스위치가 높은 수율과 예약 전송률을 보장하기 위해서는 셀 스케줄링 알고리즘이 이를 지원하여 주어야 한다. 지금까지 다양한 스케줄링 알고리즘이 개발되었다^{[2]-[6]}. 하지만, 예약된 전송률의 보장과 높은 수율 그리고 낮은 지터의 기능을 모두 보여 주진 못하였다. 출력 단 저장방식 스위치는 출력 단 측에 버퍼를 두고 전송할 셀을 저장하는 방식으로 입력 단에 들어온 셀을 미리 스위칭한 뒤 저장한다. 이런 방식의 스위치는 지연과 수율 면에 있어 어떤 큐잉 방식보다 뛰어난 성능을 나타낸다. 그러나, 각각의 포트마다 하나의 버퍼를 지니므로 요구되는 셀 손실율을 유지하기 위해서는 더 많은 버퍼공간을 필요로 한다. 그리고, 스위칭 패브릭(fabric)과 출력버퍼가 라인의 속도보다 N배 빨라야 한다는 단점을 가지고 있다. 이 방식의 스위치는 출력버퍼의 속도와 스위칭 패브릭의 속도가 큰 용량의 스위치를 구현하거나 라인 스피드를 높이는데 제한 요소가 된다^[7].

공유 저장방식 스위치는 입력 단과 출력 단 사이에 단 하나의 저장공간을 지니는 방식이다. 이 방식의 스위치 또한 출력 단 저장방식과 같이 최적의 수율-지연 성능을 보여주며, 전체 스위치가 하나의 버퍼를 공유함으로써 요구되는 셀 손실 확률을 충족시키기 위해 필요한 버퍼의 전체크기가 다른 방식의 스위치보다 작다는 장점이 있다^[1]. 하지만, 라인 속도보다 N배 빠르게 동작하는 버퍼 메모리를 요구하기 때문에 최대 데이터 전송속도와 최대 포트의 수는 제한된다는 단점이 있다^[8]. 위의 두 방식은 모두 버퍼나 스위칭 패브릭의 속도가 라인보다 N배의 speed-up이 필요하므로 스위치의 포트 수를 늘이는데 있어 제한요인이 된다는 것을 알 수 있다^[8]. 따라서, 이런 방식을 채택한 스위치는 빠른 속도의 스위칭과 많은 포트의 수를 동시에 만족시키는데 어려움이 따른다. 입력 단 저장방식 스위치는 입력 단 측에 버퍼를 두고 입력되는 셀을 저장하였다가 스위칭할 때 꺼내어 바로 출력 단 측에 전송하는 방식이다. 기본적 구조를 그림 1에서 볼 수 있다.

이 방식을 이용한 스위치는 포트 수인 N이 아주 클 때, 최대 수율을 58.6%으로 제한하는 Head-of-line (HOL) 블록킹이라는 문제점을 지니고 있다^[9]. 이는 버퍼의 선두 셀이 그 뒤에 오는 셀의 전송을 막는 현상을 의미한다. 따라서, 비록 전송될 수 있는 셀이 버퍼내에 있더라도 선두 셀이 막을

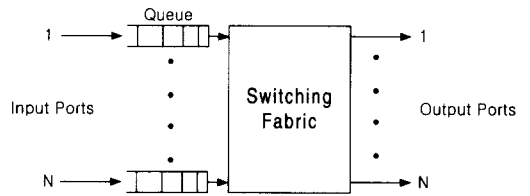


그림 1. 입력 단 저장방식 ATM 스위치 구조

수 있으므로 낮은 수율을 갖게 된다. 하지만, 입력 단 저장방식의 스위치는 어떠한 speed-up을 요구하지 않기 때문에 하드웨어로 간단하며 구현하기가 쉽다. 스위치는 높은 수율의 제공 외에도 지연, 지터, 예약된 전송률 등을 보장해야 한다. 그래서 입력 단 저장방식 스위치를 위한 셀 스케줄링 알고리즘은 이런 요소들을 고려하여 개발되어야 한다. 그림 3에서 HOL 블록킹의 한 예를 볼 수 있다. 그림에서 입력 단에 여러 개의 셀들이 저장되어 있으며, 그 중 진하게 표현된 것이 출력 단으로 전송될 셀이다. 입력 단 2의 버퍼에는 하나의 셀도 전송되지 않는데, 그 이유는 FIFO 큐를 사용하고 있는 입력 단 저장방식 스위치는 최고 선두 셀만을 출력 단 측에 전송할 수 있으나 이미 출력 단 1에는 입력 단 1에서 셀을 전송하기로 되어 있으므로 입력 단 2의 최선두 셀은 전송되지 못하게 되는 것이다. 입력 단 2의 두 번째 셀은 출력 단 4로 전송되려 하고 현재 출력 단 4에 전송되기로 한 셀이 없으므로 전송될 수도 있으나, 그 앞의 선두 셀이 전송되지 않아 전체 버퍼를 막고 있는 관계로 그 셀은 전송되지 못하게 되었다. 이러한 현상을 HOL 블록킹이라고 한다. 입력 단 저장 방식은 HOL 블록킹이 최대 수율을 제한한다는 단점이 있으나 이는 VOQ 기술을 이용하여 완전히 해소된다. 그림 2는 VOQ 기술을 이용한 입력단 저장방식 스위치의 구조를 보여준다. 각각의 입력 단은 출력 단의 수만큼의 FIFO 큐를 가진다. FIFO 큐인 Q_{ij} 는 i 입력 단으로 들어왔으며 j 출력 단으로 나갈 셀들을 저장한다. 입력 단으로 들어온 셀은 바로 정렬되어 Q_{ij} 에 저장된다. 스케줄링 단계에서 각각의 입력 단은 자신이 가진 N개의 FIFO 큐 중에서 단 하나의 셀만을 선택할 수 있으며, 메모리나 스위칭 패브릭의 speed-up은 전혀 요구되지 않는다. 이 구조로 인해 선두 셀에게 막혀 다른 출력 단으로 전송될 수 있는 셀이 막히는 경우는 발생하지 않는다. 이러한 방법으로 HOL 블록킹을 완전히 해소할 수 있다.

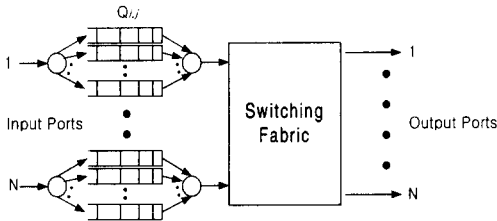


그림 2. VOQ 스위치의 구조

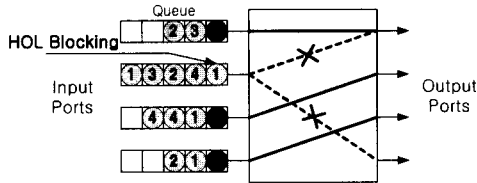


그림 3. HOL 블로킹

본 논문에서는 이러한 HOL 블로킹으로 인한 스위치 수율 저하를 개선하기 위한 방안으로 입력 큐 내의 셀 스케줄링 방법을 제안한다.

II. 여러 가지 셀 스케줄링 알고리즘

1. Parallel Iterative Matching 알고리즘

PIM의 스케줄링은 다음의 세 단계로 구성되어 있다.

1. 요구(request): 출력단과의 매칭이 없는 모든 입력 단은 자신의 버퍼에 저장된 셀이 전송될 출력 단에 요구를 보낸다.
2. 승인(grant): 입력단과의 매칭이 없는 출력 단은 자신에게 온 요구 중 하나를 무작위로 골라 승인한다.
3. 수락(accept): 승인을 받은 입력 단은 승인된 셀 중에서 무작위로 하나를 선택하여 해당 출력 단에 그 사실을 알린다.

위의 세 단계는 입력단과 출력 단이 독립적으로 수행되므로 간단하게 구현된다는 장점이 있다.

그러나, PIM 알고리즘은 승인과 수락을 무작위로 수행하게 된다. 따라서, 모든 입력 단의 요구는 동일한 확률로 출력 단으로부터 승인을 받게 되고 출력 단 역시 수락 받을 확률이 동일하다. 결과적으로 각각의 입력 단은 하나의 출력 단에 대하여 동일한 대역폭을 할당받게 되며 따라서 입력 단이 한 출력 단에 대하여 얼마의 예약 전송물을 가지던 간에 1/N 만큼의 전송물을 가지게 된다. 만약 하나의 입

력 단이 1/N 이상의 대역폭을 예약하였을 경우 그에 상응하는 대역을 할당받을 수가 없으므로 스위치가 보장하여야 할 셀들이 저장될 버퍼 공간의 부족으로 버려지게 되는 경우가 생긴다. 결론적으로, PIM 알고리즘은 입력링크들 사이에 출력링크의 대역폭을 할당하기 위한 어떠한 메커니즘도 제공하지 않고, 만약 입력 단의 대역폭 예약들이 동일하지 않으면 입력 단들 사이에 공정성(fairness)을 보장하지 못한 단점이 있다^[2]. 통계적인 매칭(statistical matching)은 PIM의 단점을 보완하기 위해 고안된 것으로 예약된 대역폭을 보장할 수 있다^[2]. 이 기법에서 출력 단은 각각의 입력 단이 자신에게 예약한 대역폭에 비례하는 확률로 선택된 하나의 입력 단에게 승인 신호를 보낸다. 그리고 승인 신호를 받은 입력 단은 확률분포를 사용한 가중치를 승인 신호에 부과하여 확률적으로 하나의 승인을 선택하게 된다. 이 가중치를 조절함으로써 많은 대역폭을 필요로 하는 입력 단-출력 단 링크에 더 많은 대역폭을 할당 할 수가 있다. 따라서 모든 입력 단-출력 단 링크가 같은 대역폭을 할당받는 PIM보다 입력 단-출력 단 매칭을 결정함에 있어서 대역폭을 더욱 유연하게 할당 할 수가 있다. 통계적 매칭은 매칭 프로세스가 출력 단의 승인 신호에 의해 시작되기 때문에, 승인 신호를 받은 입력 단이 해당 출력 단에 전송할 패킷을 가지지 있지 못한 경우가 있을 수 있다. 따라서, 이 알고리즘의 최대 수율은 근사적으로 링크용량의 72% 수준으로 제한된다^[2]. 이 수율은 매우 낮은 값이어서 실제적으로 사용되긴 힘들다. 또한 이 알고리즘은 각각의 단계에서 매우 복잡한 확률분포의 계산을 수행하므로 하드웨어로 구현하기가 어렵다.

2. Weighted Parallel Iterative Matching 알고리즘

Weighted probabilistic iterative matching (WPIM)은 admission control 단계동안 계약된 예약 전송물에 기초하여 출력-입력 사이에 대역폭을 할당한다. 그리고, 각 입력 단으로부터의 트래픽은 해당하는 출력단과의 약속된 대역폭을 보장한다^[4]. 이를 위하여 WPIM은 시간 축을 프레임(frame)으로 나누고 프레임의 정해진 수의 타임슬롯으로 구성한다. 타임슬롯은 ATM이라는 관점에서 하나의 셀을 전송하는데 걸리는 시간으로 해석된다. 입력 단-출력 단 링크의 대역폭 할당은 한 프레임 내에서 얼마나 많은 수의 슬롯을 할당받느냐는 것으로 표현된다. 그 각각의

슬롯을 크레딧(credit)으로 부른다. 입력 단-출력 단 연결은 스위치의 출력 단의 대역폭을 예약하면서 그에 비례하는 만큼의 그레딧을 요구하게 된다. 요구가 승인될 때마다 이 크레딧은 하나씩 줄어들게 되고 크레딧이 소진된 입력 단이 보낸 요구는 해당 출력 단이 무시하게 된다.

WPIM은 아래의 네 가지 단계로 구성된다.

1. 요구: 출력단과의 매칭이 없는 모든 입력 단은 자신의 버퍼에 저장된 셀이 전송될 출력 단에 요구를 보낸다.
2. 마스크(mask): 입력 단으로부터 요구를 받은 출력 단은 마스크를 다음과 같은 방법으로 생성한다. 현재의 프레임에서 예약한 크레딧의 수보다 적은 수의 패킷을 보낸 입력 단에 해당하는 요구에 대한 마스크는 0이 되고 다른 입력 단에 대한 마스크는 1이 된다. 그 뒤 출력 단은 자신이 받은 요구 중에서 마스크의 비트가 0인 것만을 받아들이고 나머지는 무시하게된다.
3. 승인: 마스크 단계에서 남은 요구들 중에서 출력 단은 동일한 확률로 하나의 요구를 선택한다. 그리고 승인 신호를 해당 입력 단 측에 보낸다.
4. 수락: 출력단과의 매칭이 아직 없는 입력 단은 자신이 받은 승인 중 하나를 무작위로 선택하고 해당 출력 단에 그 사실을 알린다.

위의 방식은 크레딧이 소진된 입력 단으로 하여금 더 이상의 요구는 출력 단이 무시하는 방식을 통해 예약한 전송률 이상을 받지 못하도록 하고 있다. 따라서 입력 단은 자신이 예약한 대역폭보다 더 많은 대역폭을 사용하려 하여도 셀을 전송할 수 없게 되며 예약을 지키지 않은 셀은 버려지고, 예약된 대역폭 내의 트래픽을 발생시키는 입력 단은 자신이 보내고자하는 셀들을 모두 보낼 수 있게 된다. 이러한 방법으로 스위치는 예약 전송률을 보장해 줄 수 있는 것이다. 그림 4에서 위의 네 단계를 볼 수 있다⁴⁾. 먼저 요구단계에서 입력 단들이 요구를 출력 단 쪽으로 보내지만, 마스크 단계에서 입력 단 2는 이미 출력 단 1과 3에 대한 크레딧을 소진하였고 입력 단 4는 출력 단 4에 대한 크레딧을 소진하여 출력 단에 의해 요구가 무시되게 된다. 결국 크레딧을 소진한 입력 단-출력 단 링크는 더 이상의 셀을 전송하지 못하게 되는 것이다.

위에서 보았듯이 비록 이 알고리즘이 각 링크에 예약된 대역폭을 제공할 수는 있어도, 각 링크의 프

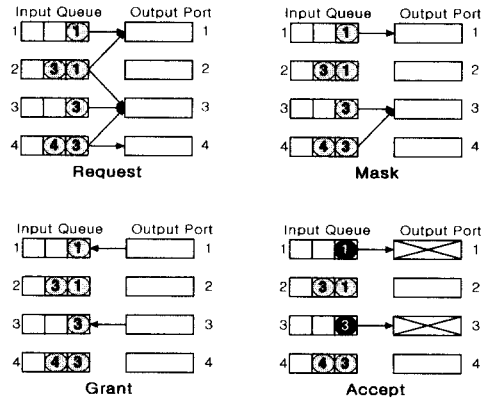


그림 4. WPIM 알고리즘의 스케줄링 단계

레이프 시간(frame time)동안의 수율의 변화는, 특히 군집(bursty) 트래픽 하에서, 안정적(stable)이지 못하다는 단점이 있다. WPIM은 비록 한 프레임 전체적으로 볼 때는 각각의 입력 단-출력 단 링크가 자신이 예약한 대역폭을 제공받기는 하지만, 프레임 타임 내에서 보면 각각의 입력 단은 프레임 타임 초기에는 1/N의 대역폭을 할당받다가 크레딧이 소진된 입력 단이 발생하면 1/(N-1)의 대역폭을 할당 받게되고 이러한 과정이 연속되면서 계속 할당받는 대역폭은 늘어나게 된다. 따라서 프레임 타임 내에서 각각 입력 단-출력 단 링크의 전송률은 심한 변화를 겪게 된다. 이는 그 링크의 지터가 크게 늘어나는 결과로 나타나게 된다.

III. Probabilistic Parallel Iterative Matching Algorithm

본 논문에서는 입력 단 저장방식 스위치에서 높은 수율, 낮은 지연·지터 그리고 예약된 전송률을 보장하는 기능을 구현한 새로운 셀 스케줄링 알고리즘을 제안하고자 한다. 특히, WPIM 알고리즘이 가지고 있는 프레임 내에서 입력 단-출력 단 링크 전송률의 불안정(fluctuation)을 줄이는 방안을 연구하였다. 본 논문에서는 제안한 알고리즘을 probabilistic parallel iterative matching (PPIM)이라 부르기로 한다.

N포트를 가지는 넌블록킹(nonblocking) 입력 단 저장방식 ATM 스위치를 가정하며, 제안된 알고리즘에서 각 입력-출력 링크는 대역폭 예약을 가지며 출력 단은 이 예약에 기초해서 어느 입력 단의 패킷을 전송할지 결정하게 된다. PPIM은 입력 단-출

력 단 링크의 예약된 대역폭을 보장하기 위해서, 예약된 대역폭에 비례하여 각 링크에 가중치를 준다.

제안된 PPIM 알고리즘은 다음의 3가지 단계로 구성된다.

▶ PPIM 알고리즘의 스케줄링 단계

1. 요구: 아직 어떤 출력단과도 매칭이 되지 않은 스위치의 입력 단은 버퍼에 있는 모든 셀의 해당 출력 단으로 요구를 보낸다.
2. 승인: 만약 매칭되지 않는 출력 단이 어떤 요구를 받으면, 하나의 입력 단으로 승인 신호를 보낸다. 즉, 단 하나의 요구만 받은 경우에는, 출력 단은 그 해당 입력 단에 승인 신호를 보낸다. 하지만 받은 요구가 하나 이상이면 출력 단은 어떤 것에 승인할지를 결정해야 한다. 이 경우, 제안된 알고리즘은 여러 요구들 중에 임의로 하나를 선택한다. 하나의 요구가 선택될 확률은 예약된 대역폭의 양에 비례한다. 즉, 출력 단은 입력 단의 모든 요구에 대해 예약한 대역폭과 비례하는 가중치를 부여한다. 예를 들면, 입력 단 1은 출력 단 1의 대역폭의 30%를 예약하고 입력 단 2는 그것의 70%를 예약한 2 x 2 스위치에서, 출력 단 1은 입력 단 1과 2로부터 요구를 받는 경우, 출력 단 1이 입력 단 1의 요구에 승인하는 확률은 30%이고 입력 단 2의 요구에 승인하는 확률은 70%가 되는 것이다. 이런 메커니즘이 스위치가 각 입력-출력 링크의 대역폭 예약을 보장 할 수 있게 한다.
3. 수락: 승인을 받은 모든 입력 단은 여러 승인 중에서 임의로 하나를 선택한다. 각 승인은 선택될 확률이 같다.

위의 3가지 단계는 한 타임 슬롯동안 일정한 횟수로 반복된다.

그림 5는 PPIM의 세 단계를 보여 준다. 입력 단이 요구를 보내게 되면 출력 단은 그 요구를 다른 가중치를 두고 해석함으로써 수락에서 예약 전송률이 높을 수록 확률을 지니게 된다. 그림은 하나의 예를 보여 준다.

PPIM 알고리즘의 두 번째 단계에서, 입력 단이 어떤 출력 단에 대역폭은 예약을 한 상태이지만 보낼 셀은 없는 경우를 고려할 수 있다. 예를 들어, 4 x 4 스위치에서 입력 단 1, 2, 3, 그리고 4가 각각 출력 단 1에 대해 대역폭의 10%, 20%, 30%, 40%를 예약하고, 출력 단 1은 단지 입력 단 2, 3, 4으로부터 요구를 받는 경우를 생각할 수 있다. 즉, 입

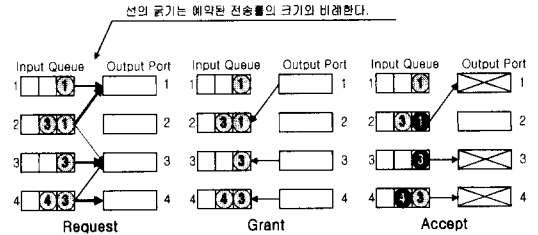


그림 5. PPIM 알고리즘의 스케줄링 단계

력 단 1에는 출력 단 1로 보낼 셀이 없는 것이다. 이 경우, 입력 단들이 출력 단 1로부터 승인 신호를 받을 확률은 얼마인가 하는 문제가 생긴다. 각 입력 단은 원래 예약된 대역폭 외에 출력 단의 남은 대역폭을 동일한 값으로 나누어 할당받게 된다. 따라서, 입력 단 2, 3, 4 각각에 대한 확률은 23.3%, 33.3%, 43.3%가 된다. 그림 6는 그 과정을 예를 들어 설명하고 있다. 이러한 확률의 분배는 승인 라인(grant line)에 의해 쉽게 구현될 수 있다. 그림 7은 승인 라인을 보여 준다. 모든 출력 단은 자신에게 대역폭 예약을 한 각 입력 단에 해당하는 세그먼트 몇 개로 나누어지는 승인 라인을 가지고 있다. 각 세그먼트의 길이는 예약된 대역폭의 양에 비례한다. 어떤 요구가 승인 신호를 받아야 할지를 선택하기 위해서 출력 단은 승인 라인의 범위 안에 있는 임의의 숫자를 발생시킨다. 그리고, 이 숫자를 가지고 승인 라인을 조사하여 발생된 숫자가 어느 세그먼트에 포함됐는지를 결정한다. 만약 선택된 세그먼트와 일치된 입력 단이 요구를 보냈다면 출력 단은 이 입력 단을 승인한다. 만약 그렇지 않다면, 출력 단은 임의로 요구를 보낸 입력 단들 중에 하나를 선택해야 한다. 이것은 미리 만들어둔 난수를 사용함으로써 행해질 수 있다. 사실 각 출력 단은 두 번째 단계 이전에 임의의 숫자를 발생시킬 수 있으며, 이는 알고리즘의 동작에는 아무런 차이점을 주지 않는다. 실제 ATM 스위치의 상위 레이어는 시간에 따라 스위치에 예약된 트래픽을 전송하기에 적절한 수준으로 각 입력 단-출력 단 링크간의 예약률을 결정하여 변화시킬 것이다. 그 때마다 승인라인의 세그먼트 크기는 달라져야 한다.

PPIM 알고리즘에 사용되는 승인 라인은 메모리를 이용하여 구성 할 수 있다. 즉, 특정 길이의 메모리를 번지별로 하나의 세그먼트를 구성하게 하고 무작위로 생성된 수에 해당하는 메모리 번지의 내용을 검색하여 비트가 셋 되어 있는 위치를 비트

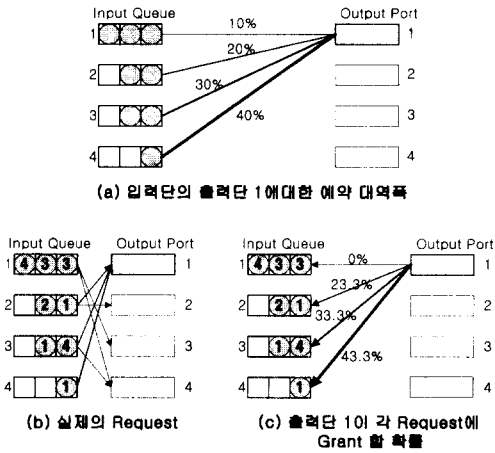


그림 6. 입력 단이 승인 받을 확률의 예제

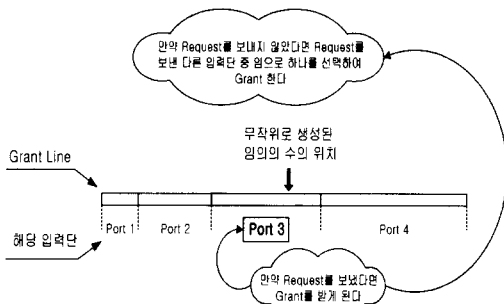


그림 7. 승인 라인의 구조 및 동작

연산을 통해 알아내어 자신이 해당하는 포트를 알 수 있다. 따라서 전체 포트의 수에 따라 메모리의 크기는 커질 수밖에 없다. 각각의 출력 단에 하나의 승인 라인을 지니고 있고, 각 승인라인에서 한 메모리 번지에 사용되는 전체 메모리의 워드 크기는 입력 단의 수와 일치한다. 따라서 입력 단의 전체 수를 N 이라고 했을 때, 각각의 승인 라인의 메모리의 크기의 복잡도는 $O(N)$ 이다.

IV. 성능 평가

제안된 ATM 스위치의 성능을 소프트웨어 시뮬레이션으로 평가하였다. 성능의 측정은 스위치 수율, 셀 손실률 그리고 평균 셀 지연 시간을 포함하였다. 결과는 유니폼 랜덤 트래픽과 평균 버스트 길이 (burst length)가 4, 8개의 셀인 버스티 트래픽에 대하여 시뮬레이션하였다. $N \times N$ 의 스위치는, 모듈의

수와 각 모듈의 포트 수를 각각 m, n 이라 하였을 때 $N=m \times n$ 이다. N, m 과 n 을 다양하게 변화시키며 시뮬레이션을 하여 보았으며 전체적인 성능은 N 에 크게 영향을 받지 않는다는 것을 알 수 있었다. 시뮬레이션에서는 각 입력 포트 모두 동일한 셀 입력률 p 를 갖는다고 가정하였다. 하나의 입력률 p 에 대하여 107 타임 슬롯 이상으로 시뮬레이션을 하였다. 약 200 타임 슬롯에서 버스 트랜시버의 출력 버퍼와 공유 버퍼가 정상 상태가 된다는 것을 발견하였으며, 정상 상태의 성능을 얻기 위해 초기의 1000 타임 슬롯은 고려하지 않았다.

가정한 ATM스위치 크기가 32×32 일때, 유니폼 랜덤 트래픽에서는 제안된 알고리즘의 최대 수율의 99.3%를 나타냈고 평균 32 셀의 평균 길이를 가지는 버스티 트래픽에서는 99.1%를 결과를 보여 주었다.

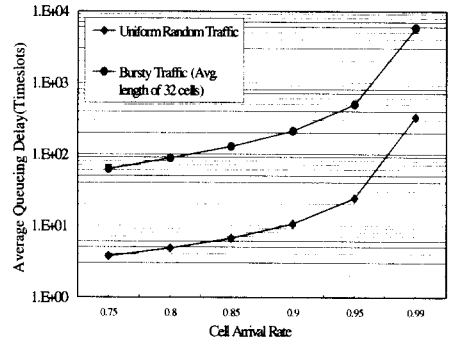


그림 8. PPIM 알고리즘을 사용하였을 때의 평균 지연

그림 8은 이 두 가지 트래픽 조건하에서 PPIM을 적용한 32×32 ATM 스위치의 큐잉 지연 성능을 보여준다. 셀 도착률(cell arrival rate)을 0.75에서 1.00사이에서 변화시키며 결과를 측정하였다. 버스티 트래픽 조건에서 버스티니스(burstiness)의 영향으로 인해 더 긴 지연시간이 보여준다. 그림 9와 그림 10에는 입력 단 수율의 변화를 볼 수 있다. 그래프는 각 입력 단이 얼마나 많은 양의 출력 단 1의 대역폭을 사용하고 있는지를 보여준다. 그림 9는 유니폼 랜덤 트래픽에 대한 결과이고 그림 10은 버스티 트래픽에 대한 것이다. 모든 입력 단은 그것들이 예약했던 것과 정확히 같은 양의 트래픽을 보낸다고 가정한다. 프레임 길이는 104셀이고 각 103셀에 대해 입력 단의 수율을 측정하였다. 스위치 크기는 4×4 이고 입력 단 1, 2, 3 and 4는 각각 출력

단 1의 대역폭의 10%, 20%, 30%, 그리고 40%를 예약한다고 가정하였다. WPIM과 비교하여 PPIM은 불안정성이 줄어든 것을 볼 수 있다. 그리고 각각의 라인들은 비교적 매우 안정적이다. 이는 앞으로 살펴 볼 그림 11에서 극명하게 드러난다. 라인이 안정적이라는 것은 지터 성능이 또한 향상되었다는 것을 뜻한다. 버스티니스가 높아질수록, 두 알고리즘 간의 안정화정도의 차이는 더 크게 벌어지는 것을 알 수 있다. 실제 트래픽은 유니폼 하기보다는 버스티하기 때문에 제안된 PPIM은 실제 트래픽 형태에서 WPIM보다 더 나은 동작을 한다고 볼 수가 있다. 그림 11에서는 입력 단이 대역폭 예약을 지키지 않았을 때, 즉 입력 단이 출력 단 1에 대해 예약된 트래픽보다 더 많은 트래픽을 보냈을 때의 WPIM과 PPIM의 결과를 비교했다. 모든 입력 단의 셀 도착률이 1.0이고 들어오는 모든 셀은 출력 단 1로 향한다고 가정한다. WPIM알고리즘에서는 처음에 모든 입력 단은 출력 단 1의 용량의 동일한 양을

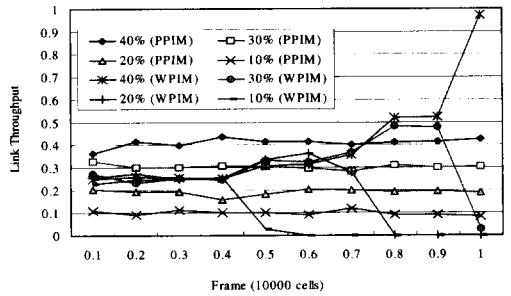


그림 11. 각 입력포트가 예약한 대역폭을 지키지 않았을 때, WPIM과 PPIM 알고리즘의 링크 수율 비교

할당받아 25%의 수율을 가지지만, 더 이상의 크레딧(credit)이 없어진 입력 단의 링크 수율은 없이 급격히 감소하고 나머지는 급격히 증가하게 된다. 반면에, 그림 11에 보여진 것과 같이 PPIM은 어떠한 트래픽 패턴에서도 안정된 상태의 그래프를 보여준다. 따라서, 전송률의 변화에 의해 생기는 지터를 최소화해 있어서 더욱 뛰어난 성능을 가짐을 알 수 있다.

V. 결론

ATM 스위치는 초고속 정보통신망 구축의 핵심 기술이다. 현대의 네트워크는 더욱 많은 사용자 수용 능력과 트래픽 처리 용량을 요구받고 있다. 따라서, ATM 스위치도 더욱 빠른 라인 속도와 포트 수를 제공할 수 있어야 한다. 출력 단 저장방식과 공유 저장방식의 스위치는 라인 속도보다 N배 빠르게 동작하는 스위칭 패브릭이나 메모리를 요구한다. 이는 최대 속도나 최대 포트 수의 증가에 걸림돌이 되고 있다. 입력 단 저장 방식은 HOL 블록킹이 최대 수율을 제한한다는 단점이 있으나 이는 VOQ 기술을 이용하여 완전히 해소될 수 있다. 입력 단 저장방식은 출력 단 저장방식과 달리 어떠한 speed-up도 필요하지 않으며 간단한 구조로 구성되는 장점 때문에 높은 속도와 많은 포트를 지니는 스위치의 구현에 적합하다.

입력 단 저장방식 스위치에 대한 여러 가지 스케줄링 알고리즘들이 개발되어왔다. 이런 스위치는 지연, 지터, 예약된 대역폭을 보장해야 하고 높은 수율을 제공해야 한다. 그래서 이러한 것들을 알고리즘을 개발할 때 고려해야 한다. 본 논문에서는 Probabilistic Parallel Iterative Matching (PPIM)이란 새로운 셀 스케줄링 알고리즘을 제안하였다.

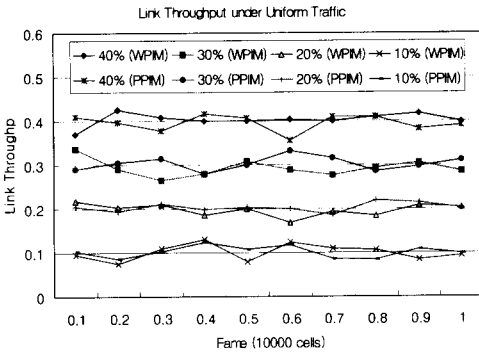


그림 9. 유니폼 랜덤 트래픽에서의 PPIM과 WPIM의 링크 수율 변화

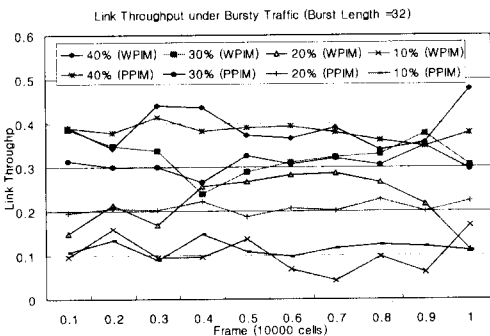


그림 10. 버스트 트래픽에서의 PPIM과 WPIM의 링크 수율 변화

PPIM은 높은 수율을 제공하고 뛰어난 지연·지터 성능 그리고 예약된 링크 대역폭을 보장하면서 WPIM과 비교할 때 프레임 시간동안의 링크 수율의 불안정을 줄인다. 소프트웨어 시뮬레이션에 의해, 제안된 PPIM알고리즘을 적용한 입력 단 저장방식의 ATM 스위치가 높은 수율을 보이고 WPIM의 결과에서 보여지는 링크 수율의 불안정을 줄이는 것을 볼 수 있었으며, 이는 지터 성능의 향상을 뜻한다.

참 고 문 헌

[1] Hluchyj M. G. and M. Karol, "Queueing in High Performance Packet Switching," IEEE Journal on Selected Areas of Communications, vol. 6, no. 9, December 1988.

[2] Thomas E. Anderson, Susan S. Owicki, James B. Saxe, and Charles P. Thacker, "High Speed Switch Scheduling for Local Area Networks," ACM Transactions on computer systems, vol 11, no. 4, pp. 319-52, November 1993.

[3] H. Duan, J. W. Lockwood, S. M. Kang, J. D. Will, "A High-performance OC-12/OC-48 Queue Design Prototype for Input-buffered ATM Switches," Proc. of IEEE Infocom '97, Kobe, Japan, April 7-11, 1997, pp 20-28.

[4] D. Stiliadis and A. Varma, "Providing bandwidth guarantees in an input-buffered crossbar switch," Proc. of IEEE INFOCOM '95, April 1995.

[5] Mekittikul, A. and McKKeown, N., "A Starvation-free Algorithm for Achieving 100% Throughput in an Input-Queued Switch," Proceedings of ICCCN '96, October, 1996, pp. 226-231

[6] McKeown, N., Walrand, J. and Varaiya, P., "Scheduling Cells in an Input-Queued Switch," IEE Electronics Letters, Dec 9th 1993, pp. 2174-5

[7] Dimitrios Stiliadis, Anujan Varma, "Design and analysis of frame-based fair queueing: a new Traffic scheduling algorithm for packet-switched networks," ACM SIGMETRICS Performance Evaluation Review, Vol. 24, No. 1 (May 1996), pp. 104-115

[8] Young Keun, Lee and Young Keun, Park, "A Bus-based Modular Approach to Design a Large Scale ATM Switch," Proc. of IEEE BSS '97, Taipei, Taiwan, R.O.C, December, 1997, pp. 52-57

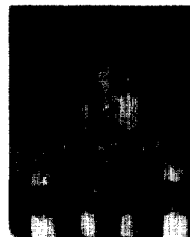
[9] M. J. Karol, M. G. Hluchyj, and S. P. Morgan, "Input versus output queueing on a space-division packet switch," IEEE Transactions on Communications, vol. Com-35, no. 12, pp. 1347-1356, December 1987.

이 영 근(Young-keun Lee)



1997년 2월 : 연세대학교
전기공학과(학사)
1999년 2월 : 연세대학교
대학원 전기·컴퓨터공
학과(석사)
1999년 2월~현재 : 대우 전자
(연구원)

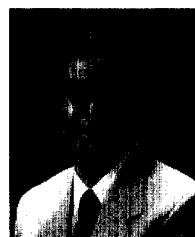
김 진 상(Jin-sang Kim)



1997년 2월 : 성균관대학교
제어계측공학과(학사)
1999년 2월~현재 : 연세대학교
대학원 전기·컴퓨터
공학과 석사과정

박 영 근(Young-keun Park)

정회원



1986년 2월 : 연세대학교
전기공학과(학사)
1990년 8월 : University of
Minnesota 전기공학과
(석사)
1993년 12월 : University of
Minnesota 전기공학과
(박사)

1994년 1월~1996년 2월 : University of Minnesota
전기공학과(Post Doc.)
1996년 3월~현재 : 연세대학교 기계·전자공학부
조교수

<주관심 분야> 컴퓨터 네트워크, 멀티미디어 통신
망, ATM 교환기, 신경회로망 응용