

시스템 안정화를 위한 아날로그 능동 소자의 특성 제어에 관한 연구

정회원 이근호*, 방준호**, 김동용*

A study on the Control of Characteristic in the Analog Active Element for System Stabilization

Geun-Ho Lee*, Jun-Ho Bang**, Dong-Yong Kim* *Regular Members*

요 약

본 논문에서는 CMOS 대역통과 필터의 주파수 동조를 위하여 새로운 구조를 가지는 전류비교형 주파수 자동동조 회로를 설계하여 그 특성을 제어하는 방식에 대하여 제안하였다. 설계된 주파수 자동 동조 회로는 전류비교기와 Charge pump만으로 구성된 매우 간단한 구조를 이루고 있으며, 설계된 능동대역통과 필터 역시 기존 회로들에 비하여 칩 내에서의 면적이 작으며, 2V의 저전압으로 동작 가능하다. 제안된 동조회로는 아날로그 소자의 동작 전류가 변화할 때 설계사양에 의하여 미리 설정된 기준 전류와 비교되어 그 차를 피드백하여 변동값을 자동적으로 보상할 수 있다. 그 특성을 검증하기 위하여 중심주파수가(f_0) 100MHz인 대역통과 필터를 설계하고, 트랜지스터의 크기 변동에 따른 필터의 중심주파수 변화 특성을 0.25 μ m CMOS 공정을 이용하여 HSPICE로 시뮬레이션 한 결과 회로의 동조 동작특성을 확인할 수 있었다.

ABSTRACT

In this paper, a current comparative frequency automatic tuning circuit for the CMOS bandpass filter are designed with the new architecture. And also, when the designed circuit is compared the typical tuning circuit, it has very simple architecture that is composed of the current comparator and charge pump and operated in 2V power supply. The proposed tuning circuit automatically compensate the difference between the operating current of the integrator and the reference current which is specified. Using CMOS 0.25 μ m parameter, a CMOS bandpass active filter with center frequency($f_0=100$ MHz) is designed, and according to the transistor size the variation of the center frequency is simulated. As the HSPICE simulation results, the tuning operating of the proposed current comparative frequency automatic tuning circuit is verified.

1. 서론

요즘 주목받고 있는 ADSL (Asymmetric Digital Subscriber Line), 케이블 모뎀등을 포함한 모든 통신시스템에 필수적으로 포함되어야 하는 아날로그

집적회로의 설계에 있어서 중요한 문제중의 하나는 얼마만큼 정확하게 전체시스템에서 요구하는 특성을 만족시켜줄 수 있는 회로를 설계하느냐 하는 것이다. 일반적으로 정확한 특성을 나타내는 수동소자를 이용한 회로의 제작과는 달리 온칩화를 위한 능동소자를 이용한 집적회로는 제작 공정시 발생될 수

* 전북대학교 전자정보공학부

** 익산대학 전기과

논문번호 : 00018-0117, 접수일자 : 2000년 1월 27일

* 본 연구는 한국과학재단 특정기초연구과제(1999-1-302-003-3) 지원 및 전북대학교 전기전자회로합성연구소 관리로 수행되었습니다.

있는 여러 가지 잡음 및 기생요소, 그리고 제작 후에는 온도변화 등의 주변 환경에서 일어나는 오차 요인으로 인해 정확한 소자 값을 얻어내거나 유지하기가 힘들어 당초 요구했던 부품의 특성을 얻기가 쉽지 않다. 그러므로 능동 필터와 같은 집적회로는 제작된 후에도 성능을 보상할 수 있는 동조(tuning) 회로가 부가적으로 필요하다^{[1][2]}. 특히 설계 단계에 있어서 성능의 변화를 자동적으로 보상할 수 있는 자동동조 회로의 채용은 매우 바람직한 것이며, 이를 위해 소자의 특성을 결정하는 트랜스컨덕턴스 값을 이용하는 방식부터 접근해 나가도록 한다. 아울러 부가 회로이므로 칩 면적, 소비 전력 및 잡음 발생 등이 최소화 되도록 가능한 간단한 구조로 설계되어야 한다.

저역통과 능동필터의 성능을 보상하기 위해 여러 가지 형태의 자동동조 회로에 관한 연구가 진행되어 왔으나^{[2][7]}, 보다 일반적인 대역통과 필터에 적용되도록 하며 더욱 더 간단한 구조로 구성하여 면적과 소비전력을 줄이려는 연구가 계속되고 있다. 최근까지 여러 형태의 자동동조(automatic tuning) 회로 중에서 위상 동기 루프 방식을 이용한 구조가 많이 이용되고 있다^{[3][5]}. 그러나 위상 동기 루프 방식을 이용할 경우 회로가 복잡하고 크기가 커지기 때문에 칩 면적에 대한 부담이 크다. 또한 고주파용 필터에 적용할 경우, 위상검출기(phase detector)의 동작이 매우 고속이어야 하며, 주파수가 높아짐에 따라 조그마한 위상에러(phase error)에도 매우 민감한 점 등 여러 가지 문제점이 있다.

본 논문에서는 CMOS 능동 필터의 주파수 변동을 자동적으로 보상할 수 있도록 하기 위한 방법으로 기존 자동동조 회로에 비하여 매우 간단한 형태로 구성한 새로운 구조의 전류 비교형 주파수 동조 회로를 제안하였다. 본문의 2장에서 능동 대역통과 필터를 위한 능동소자와 능동필터를 설계하고, 3장에서 본 논문에서 제안된 전류 비교형 주파수 자동동조 회로의 구조 및 동작특성에 대하여 나타내었으며, 그 동작 특성을 시뮬레이션을 통해 고찰하였다.

II. 대역통과 능동필터 설계

1. 완전균형 상보형 적분기

그림 1과 같이 병렬형태의 구조를 가진 완전균형 상보형 적분기는 비우성 극점 및 영점을 제거시킬 수 있어 단위이득 주파수 특성을 개선하고, 안정성의 유지에 큰 장점이 있다^[2]. 그림 1의 완전균형 상

보형 적분기를 소신호 등가회로로 간략화시켜 해석할 수 있다. 그림 1의 적분기가 완전대칭이고, 전류 모드 적분기를 구성하고 있는 트랜지스터들이 각각 전류미러를 구성하고 있으므로 트랜스컨덕턴스(g_m) 값들을 같은 크기로 설계하여 KCL을 적용하면 다음과 같은 식(1)과 식(2)를 구할 수 있다.

$$2g_m + sCv + 2vsC_{gd} = i_i + i_o \quad (1)$$

$$2(g_m - g_{ds} - sC_{gd})v = i_o \quad (2)$$

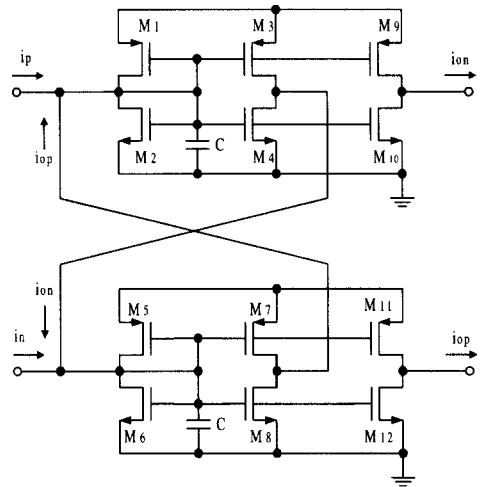


그림 1. 완전균형 상보형 적분기

식(1)과 식(2)으로부터 다음을 얻을 수 있다.

$$i_o = A \frac{(1 - \frac{s}{z_1})}{(1 - \frac{s}{p_1})} i_i \quad (3)$$

또한 전류이득과 단위이득 주파수는 각각 다음의 식(4), (5)와 같다.

$$A = \frac{(g_m + g_{ds})}{g_{ds}} \quad (4)$$

$$\omega_o = p_1 A = \frac{2(g_m - g_{ds})}{C + 4C_{gd}} \approx \frac{2g_m}{C} \quad (5)$$

$(\because g_m \gg g_{ds}, C \gg C_{gd})$

2. 2차 대역통과 필터 설계

향상된 이득특성을 보여주는 설계된 적분기를 이용하여 능동필터를 설계하였다. 우선 수동필터 회로

를 설계하고, 이를 능동필터로 변환하기 위해 수동 회로의 신호흐름선도를 작성하여, 신호흐름선도에 따라 블럭다이어그램을 작성하고 최종적으로 능동필터를 구성하였다^[2].

표 1. 대역통과 능동필터 설계사양

Parameter	Specification
Filter function	Second-order bandpass
Center frequency	100 Mhz
Power supply voltage	2 V

수동필터를 능동필터로 변환하기 위하여 신호흐름선도를 다음의 수식에 따라 작성하고, 이를 이용하여 블럭다이어그램을 나타내면 그림 2와 같다.

$$I_1 = \frac{1}{SC_1}(I_S - I_1 - I_2) \tag{6}$$

$$I_2 = \frac{1}{SC_2}(I_1 - I_2) \tag{7}$$

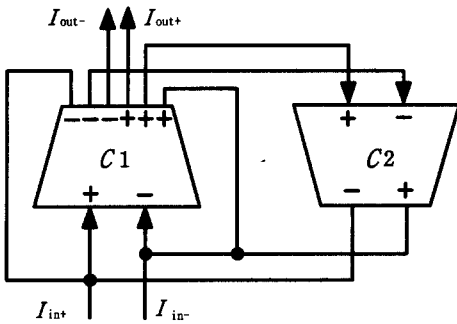


그림 2. 2차 대역통과필터의 블럭다이어그램

그림 2의 블럭다이어그램에 의하여 능동필터는 2개의 전류모드 적분기로 직접 모의되며, 적분기 내부의 적분 커패시터의 값을 결정함으로써 설계가 완료된다. 각각 전류모드 적분기 내부의 적분 커패시터 C_i 는 식(8)을 통해 구할 수 있다.

$$C_i = \frac{g_m X_i}{\omega_0} \tag{8}$$

III. 전류비교형 주파수 자동동조회로 설계

대역통과 필터의 중심주파수에 관한 관계식을 다시 나타내어 보면 식 (9)와 같다. 이때 g_m 은 설계된

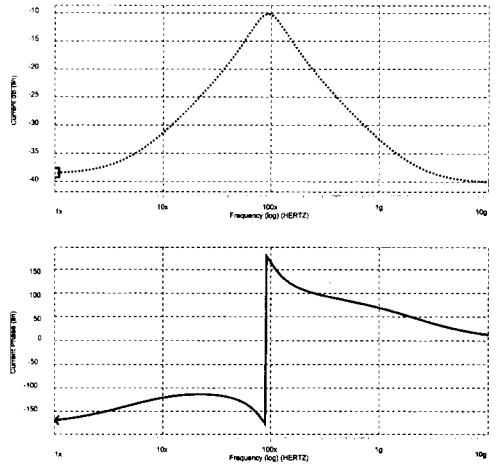


그림 3. 설계된 필터의 주파수 및 위상특성

적분기의 트랜스컨덕턴스 값으로써 이 값은 식 (10)과 같이 표현될 수 있다. 식 (10)에서 I_0 는 적분기의 g_m 값을 결정하는 주요 전류로써 그림 2에서 살펴볼 때 회로가 완전균형 형태를 지니므로 M1과 M5에 흐르는 드레인 전류가 된다. 또한 V_{gs} 값은 이 전류를 발생하여 주는 전압으로써 M1과 M5의 게이트-소스 전압이다.

$$\omega_0 \propto \frac{g_m}{C} \tag{9}$$

$$g_m \propto \frac{I_0}{V_{gs}} \tag{10}$$

이와 같은 관계를 살펴볼 때 적분기 회로 전체의 g_m 값을 일정하게 유지하게 위해서는 I_0 의 값을 일정하게 유지하여 주는 것이 매우 중요한 문제가 된다. 본 연구에서는 I_0 를 자동적으로 보상할 수 있도록 하기 위하여 그림 4와 같은 전류 비교방식의 주파수 자동동조 회로를 제안한다. 제안된 방법은 미리 설정된 기준전류와 트랜스컨덕터의 동작전류를 비교하여 그 차이를 피드백 하여 보상할 수 있도록 한 것이며 동조 동작은 다음과 같이 수행된다.

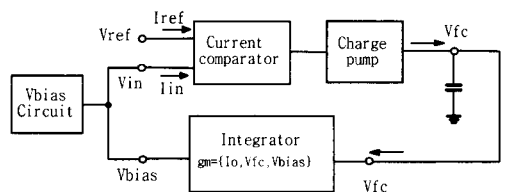


그림 4. 전류비교 방식을 이용한 주파수 자동동조회로

표 2. 주파수 자동동조회로에 의한 대역통과 필터의 크기 특성 시뮬레이션

Specification		특 성	
필터 구조		2차 대역통과 필터	
공정 파라미터		CMOS 0.25 um	
공급전압(소비전력)		2 V (4.5mW)	
중심주파수(f_0)		100 MHz	
차단주파수(f_1 - f_2)		65.5-135 MHz	
대역폭 (B)		69.5 MHz	
Tr. size 변동에 의한 f_0 시뮬레이 션	Tr. size 변동	주파수 동조 회로 없음	주파수 동조 회로 있음
	Step1	125	91.8
	Step2	109	92.5
	Step3	94	94
	Step4	84	94.8
	Step5	76	96.7

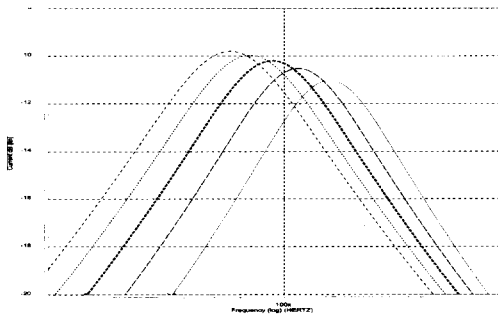


그림 8. 주파수 자동동조회로가 포함되지 않은 경우 대역통과필터 주파수 특성



그림 9. 주파수 자동동조회로가 포함된 경우 대역통과필터 주파수특성

앞의 그림과 표를 통하여 알 수 있듯이 다섯 단계로 필터내의 트랜지스터 크기를 변동하였을 경우 주파수 자동동조회로가 적용되지 않았을 때는, 중심주파수 94MHz(3단계)로부터 각각 약 ±15MHz, ±

30MHz 가량의 차이가 발생하였으나 주파수 자동동조회로를 적용할 경우 약 ±2MHz, ±3MHz 정도만으로 변화함으로써 설계된 전류비교형 자동동조회로를 적용할 경우 그 변동폭이 큰 폭으로 줄어들 수 있다.

V. 결론

본 논문에서는 주변환경에 따른 시스템의 특성변화를 줄이기 위해 새로운 구조를 가지는 전류비교형 주파수 자동동조 회로를 설계하였다. 설계된 주파수 자동 동조 회로는 전류비교기와 charge pump만으로 구성된 매우 간단한 구조를 이루고 있어서 기존 회로들에 비하여 그 크기가 매우 적어질 수 있으며 2V의 저전압으로 동작할 수 있다. 제안된 동조회로는 만약 트랜스컨덕터의 동작 전류에 변동이 생길시 설계사양에 의하여 미리 설정된 기준 전류와 비교되어 그 차를 피드백하여 변동값을 자동적으로 보상할 수 있다. 이를 증명하기 위해 중심주파수 $f_0=100\text{MHz}$ 인 CMOS 광대역 대역통과 필터를 설계하고 트랜지스터의 크기 변동에 따른 필터 중심주파수의 변화 특성을 시뮬레이션 하였으며, 그 결과로 본 논문에서 제안된 전류비교형 자동동조회로를 적용할 경우 그 변동폭을 크게 줄여 시스템의 안정화가 가능함을 확인 할 수 있었다.

참 고 문 헌

- [1] R. H. Zele, and D. J. Allstot "Low-Power CMOS Continuous-Time Filter", *IEEE J. Solid-State Circuits*, vol. 31, no.2, pp.18-27. Feb. 1996.
- [2] 이근호, 방준호, 조성익, 김동용, "트랜스컨덕터스(gm)를 이용한 전류모드 능동필터의 이득 및 주파수 제어", *전자공학회 논문지*, 제35권 C편 제6호, pp.30-38. 1998.
- [3] C. S. Yoo, S. W. Lee, and W. C. Kim "A ± 1.5V, 4-MHz CMOS Continuous-Time Filter with a Single-Integrator Based Tuning", *IEEE J.Solid- State Circuits*, vol. 33, no.1, pp.18-27. Jan. 1998.
- [4] R. Schaumann, K. R. Laker, and M. S. Ghausi, "Design of Analog Filters ; Passive, Active RC and Switched-Capacitor," *Prentice-Hall*, 1990.
- [5] S. Pipilos, Y. Tsvividis, J. Fenk, and Y.

