

CATV 망용 고속 비대칭 기저대역 모뎀 ASIC 칩 설계

정회원 박기혁*, 선우명훈**

Design of a High Speed Asymmetric Baseband MODEM ASIC Chip for CATV Network

Ki Hyuk Park*, Myung Hoon Sunwoo** *Regular Members*

요약

본 논문에서는 MCNS(Multimedia Cable Network System)의 DOCSIS(Data Over Cable Service Interface Specification) 표준안의 물리계층을 지원하는 비대칭형 기저대역 모뎀 ASIC 칩의 아키텍처와 설계에 대해 기술한다. 구현한 모뎀 칩은 크게 QPSK/16-QAM 방식의 상향 스트림용 송신부와 64/256-QAM 방식의 하향 스트림용 수신부로 구성되어 있으며, 심볼 타이밍 복구회로, 반송파 복구회로, MMA(Multi Modulus Algorithm)와 LMS(Least Mean Square) 알고리즘을 적용한 결정 케환 구조의 블라인드 등화기를 포함한다. 구현한 모뎀 칩은 64/256-QAM 변복조 방식에서 각각 48Mbps, 64Mbps의 데이터 전송률을 지원하고, 심볼 전송률은 기존의 QAM 수신기들보다 빠른 8MBaud를 갖는다. 구현한 칩은 0.35 μm 표준 셀(Standard Cell) 라이브러리를 사용하여 논리합성을 수행하였으며, 총 게이트 수는 약 29만 게이트이며, 현재 ASIC 칩으로 제작중이다.

ABSTRACT

This paper presents the architecture and design of a high speed asymmetric data transmission baseband MODEM ASIC chip for CATV networks. The implemented MODEM chip supports the physical layer of the DOCSIS(Data Over Cable Service Interface Specification) standard in MCNS(Multimedia Cable Network System). The chip consists of a QPSK/16-QAM transmitter and a 64/256-QAM receiver which contain a symbol timing recovery circuit, a carrier recovery circuit, a blind equalizer using MMA and LMS algorithms. The chip can support data rates of 64Mbps at 256 QAM and 48Mbps at 64-QAM and can provide symbol rates up to 8MBaud. This symbol rate is faster than existing QAM receivers. We have performed logic synthesis using the 0.35 μm standard cell library. The total number of gates is about 290,000 and the implemented chip is being fabricated and will be delivered soon.

1. 서론

최근 정보통신은 점차 대용량의 멀티미디어 데이터의 고속 송수신을 요구하고 있다. 그러나 제한된 대역폭 때문에 고속의 멀티미디어 데이터 전송에는 기존의 FSK(Frequency Shift Keying), BPSK(Binary Phase Shift Keying), QPSK(Quadrature

Phase Shift Keying) 변조 방식으로는 한계를 가진다. 따라서 적은 대역폭을 이용하여 데이터 전송량을 증가시키는 변조 방식이 필수적이다. 특히 이동성이 크게 요구되지 않는 곳에서는 같은 주파수 대역을 사용하더라도 보다 많은 정보를 전달할 수 있는 QAM(Quadrature Amplitude Modulation) 변조 방식이 많이 채택되고 있다. QAM 변조 방식은 성

* 한국전자통신연구원(hyuk@etri.re.kr)

** 아주대학교 전자공학과 부교수 (sunwoo@madang.ajou.ac.kr)

논문번호 : 00303-0731, 접수일자 : 2000년 7월 31일

** 본 논문은 정보통신연구진흥원 및 IDEC 사업의 지원을 받아 수행되었습니다.

좌도에 보다 많은 성좌점을 위치시킴으로써 심볼 전송률을 감소시켜 동일한 전송률을 유지하면서 변조된 신호의 대역폭을 줄일 수 있는 변조 방식이다. 이러한 좋은 성능 때문에 QAM 변조 방식은 고속 멀티미디어 데이터 통신에 널리 사용되고 있다. 현재 CATV, LMDS, DSL 등과 같은 다양한 고속 데이터 서비스를 위해 DAVIC(Digital Audio-Visual Council), DVB(Digital Video Broadcasting)와 MCNS(Multimedia Cable Network System)의 DOCSIS(Data Over Cable Service Interface Specification) 등에서는 QAM 변조 방식을 채택하고 있고, 이를 위한 QAM 수신기에 대한 연구가 수행되었다^[1-6]. 기존의 QAM 수신기들^[3-5]은 심볼 전송률이 7MBaud 미만이다. 또한 논문 [6]은 50MBaud의 심볼 전송률을 지원하지만 2 개의 40 탭 FIR 필터를 가지는 변조기, 복조기만을 포함하며, 타이밍 복구 회로, 반송파 복구회로, 등화기는 포함하지 않는다. 본 논문에서는 MCNS의 케이블 모뎀 표준인 DOCSIS에서 제안하고 있는 물리 계층을 지원하는 비대칭형 데이터 전송 기저대역 모뎀 ASIC 칩의 설계와 구현에 대해 기술한다. 본 논문에서 구현한 CATV 망용 기저 대역 모뎀 칩은 크게 QPSK/16-QAM 방식의 상향 스트림용 송신부와 64/256-QAM 방식의 하향 스트림용 수신부로 구성되어 있으며, 심볼 타이밍 복구회로, 반송파 복구회로, MMA(Multi Modulus Algorithm)와 LMS(Least Mean Square) 알고리즘을 적용한 결정 제한 구조의 블라인드 등화기를 포함한다. 그리고 고속 파이프라인 방식을 적용하여 기존 수신기들보다 빠른 최대 8MBaud의 심볼 전송률을 가지며, 데이터 전송률은 256-QAM 변조방식에서 64Mbps, 64-QAM 변조방식에서는 48Mbps의 데이터 전송률을 지원한다. 구현한 CATV용 기저대역 모뎀 칩의 알고리즘 모델은 통신용 CAD 툴인 SPWTM를 이용하여 모델링 및 시뮬레이션을 수행하여 검증하였고, 아키텍처 모델은 VHDL을 이용하여 모델링한 후 SYNOPSISTM 카드 툴을 사용하여 검증하였다. 제

안한 모뎀 칩은 0.35 μm 표준 셀 라이브러리를 사용하여 SYNOPSISTM 카드 툴로 논리합성을 수행하였으며, CADENCETM Verilog-XL을 사용하여 타이밍 시뮬레이션을 수행하였다. 논리합성 결과 총 게이트 수는 약 29만개의 게이트이며, 현재 ASIC 칩으로 제작중이다.

본 논문은 다음과 같이 구성된다. 2장에서는 구현한 CATV 망용 기저대역 모뎀 칩의 상향 스트림 송신기와 하향 스트림 수신기의 아키텍처에 대해 기술하고, 3장에서는 구현한 칩의 설계 및 시뮬레이션에 대해 기술한다. 마지막으로 4장에서 결론을 맺는다.

II. 기저대역 모뎀 칩 아키텍처

이 장에서는 CATV 망용 기저대역 모뎀 아키텍처에 대해 서술한다. 제 1 절에서는 설계한 CATV 망용 기저대역 모뎀의 특징을 설명하고 제 2 절에서는 모뎀의 상향 스트림 송신부에 관해서 기술하며 제 3 절에서는 하향 스트림 수신부에 대해 설명한다.

1. CATV 망용 기저대역 모뎀 특징

본 논문에서는 MCNS의 DOCSIS에서 제안하는 물리계층을 지원하는 CATV 망용 기저대역 모뎀 구조 구현을 수행하였다. 구현한 CATV 망용 기저대역 모뎀 구조의 특징은 아래 표 1과 같다. 구현한 CATV 망용 기저대역 모뎀은 크게 상향 스트림용 송신부와 하향 스트림용 수신부로 구성된다. 데이터 변복조방식은 상향 스트림용 송신부는 QPSK/16-QAM을 지원하고 하향 스트림 수신부는 64/256-QAM을 지원한다. 심볼 전송률은 상향 스트림 송신부는 최대 5MBaud, 하향 스트림 수신부는 최대 8MBaud를 지원한다. 데이터 전송률은 상향 스트림은 20Mbps, 10Mbps를 지원하며, 하향 스트림은 최대 64Mbps를 지원한다.

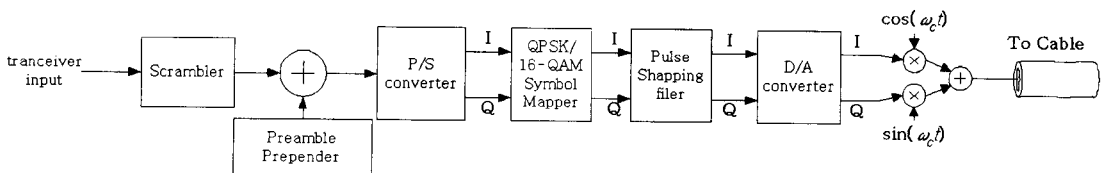


그림 1. 모뎀의 상향 스트림 송신부

표 1. CATV 망용 기저대역 모뎀 사양

항목	CATV 망용 기저대역 모뎀 사양	
	상향 스트림 송신기	하향 스트림 수신기
데이터 변조방식	QPSK/16-QAM	64/256-QAM
데이터 전송률	20Mbps (16-QAM)	64Mbps (256-QAM)
심볼 전송률	5MBaud	8MBaud

2. 상향 스트림 송신부 아키텍처

본 절에서는 구현한 모뎀의 상향 스트림 송신부 아키텍처에 대해 설명한다. 그림 1은 CATV 망용 기저대역 모뎀 상향 스트림 송신부이다. 상향 스트림 송신부에서는 RS(Reed-Solomon) 부호화된 송신 입력 데이터를 받아 MPDU(MAC Layer Protocol Data Unit)를 포함한 패킷 전체에 대해 스크램블을 수행한다. 스크램블러는 그림 2와 같이 15개의 쉬프트 레지스터와 XOR 2개로 구성되어있다.

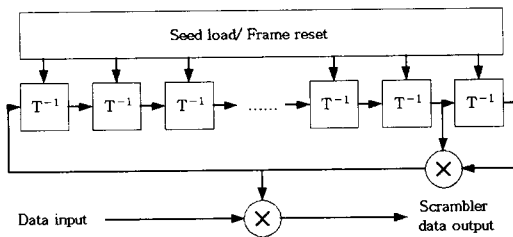


그림 2. 스크램블러의 구조

초기에 각 레지스터는 '0'으로 리셋되며, CMTS (Cable Modem Termination System)에서 정하여준

Seed 값이 로드되고 입력된 데이터를 랜덤성향을 가지도록 스크램블링을 한다.

프리앰블 프리펜더(Preamble Prepend)에서 상향 스트림 채널의 CMTS에서 정보를 받아 정해진 프리앰블 필드(preamble field)를 형성한다. 프리앰블은 QPSK의 경우에는 0, 2, 4, 8, ... ,1024 비트를 가질 수 있으며, 16-QAM의 경우에는 0, 4, 8, 16, ... , 1024 비트를 가질 수 있다. 프리앰블 필드가 형성된 데이터는 직렬 변환기를 거친 후 심볼 매퍼(Symbol Mapper)에서 QPSK나 16-QAM 심볼로 변조된다. 변조된 데이터는 부호간 간섭(ISI : InterSymbol Interference)을 제거하기 위해 파형 성형 필터(Pulse Shaping Filter)인 SRRC(Square Root Raised Cosine) 필터를 거친 후, D/A 컨버터를 통과하여 IF 모듈로 전송된다. DOCSIS에서 권고하는 SRRC 필터의 롤 오프(roll-off) 계수는 0.25 이다.

3. 하향 스트림 수신부 아키텍처

본 절에서는 구현한 모뎀의 하향 스트림 수신부 아키텍처에 대해 설명한다. 그림 3은 본 논문에서 설계한 모뎀 수신부의 구조이다. 설계한 모뎀 수신부는 파형 성형 필터, 타이밍 복구회로, 반송파 복구회로 및 등화기 등으로 구성된다. 파형 성형 필터는 부호간 간섭을 제거하기 위해 사용된다. 심볼 타이밍 복구회로는 최적의 심볼 타이밍을 찾는 역할을 수행하고, 반송파 복구회로는 반송파의 주파수 오프셋, 위상 오프셋, 위상 지터를 제거하여 준다. 수신부에서는 sine 파와 cosine 파의 직교성을 이용하여 송신부에서 송신한 I와 Q채널의 신호를 분리하고 파형 성형 필터의 입력으로 인가한다. 이 때 수신부의 국부 반송파는 채널환경에서 생기는 주파수 오프셋과 위상 에러 때문에 직교성

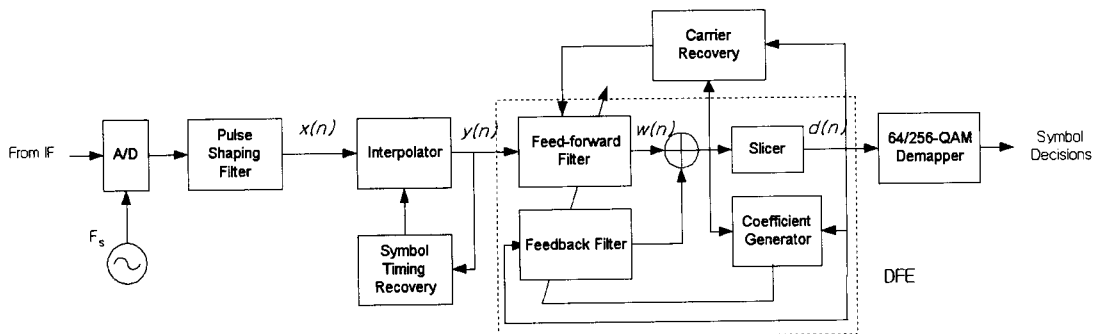


그림 3. 모뎀의 하향 스트림 수신부

을 이루지 못하고 I채널과 Q채널의 신호를 완벽하게 분리하지 못하게 된다.

그림 3에서 A/D 컨버터를 통과한 신호는 반송파를 제거한 기저대역 신호이다. 이러한 기저대역 신호는 주파수 오프셋과 위상 에러가 포함되어 있으며, 파형 성형 필터와 심볼 타이밍 복구회로를 통과한 후 반송파의 주파수 오프셋, 위상 오프셋, 위상 지터는 반송파 복구회로에 의해서 제거된다. 등화기는 채널 왜곡에 의한 부호간 간섭을 제거해 주는 역할을 하며, 반송파 복구회로와 연동하는 구조로 되어있다. 등화기의 출력은 64/256-QAM 디매퍼(Demapper)를 통과한 후, P/S(Parallel to Serial) 블록을 통과시켜 송신된 신호를 수신한다.

1) 파형 성형 필터

변조된 신호는 채널을 통해 전송되는 동안 채널 자체의 저역 통과 성질에 의해 에너지가 분산되어 부호간 간섭을 유발하는데 이를 막기 위해 부호간 간섭의 제거에 가장 우수한 성질을 가지는 2승여현(root raised cosine) 필터를 파형 성형 필터로 사용한다. 송신단과 수신단에 롤 오프 계수가 동일한 SRRC 필터를 사용하여 하나의 2승여현 필터를 통과한 효과를 얻는다.

본 논문에서 설계한 파형 성형 필터는 그림 4와 같이 교차 직류형(transposed direct form) 구조의 FIR 필터로서 I와 Q 채널에 각각 1개씩 있다. 파형 성형 필터의 입력은 심볼 주파수의 4 배인 표본화 주파수로 한 심볼당 4 번 표본화하여 10 비트로 양자화한 ADC의 출력이다. 구현한 파형 성형 필터는 64 탭으로 구성되어 있으며, 파형 성형 필터의 임펄스 응답은 좌우 대칭형이므로 하드웨어를 줄이기 위해 $C_0 \sim C_{31}$ 의 탭 계수를 나머지 32개의 탭이 대칭적으로 공유하는 구조로 설계하였다. DOCSIS에서 권고하는 SRRC 필터의 롤오프 계수는 64-QAM일 때 0.18이고 256-QAM일 때 0.12이다.

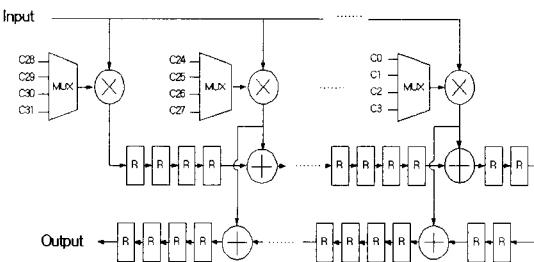


그림 4. 파형 성형 필터

2) 심볼 타이밍 복구회로

심볼 타이밍 복구회로는 송수신간에 발생하는 클럭의 주파수 오차와 위상 오차 등을 제거하여 수신된 데이터 심볼의 정확한 천이 지점(transition point)을 추정하는데 사용한다. 본 논문에서 구현한 기저대역 모델 칩의 심볼 타이밍 복구회로의 블록도는 그림 5와 같다. 구현한 심볼 타이밍 복구회로는 결정지향(Decision-Directed) Gardner 타이밍 에러 추정 알고리즘을 적용하여 파라볼라 보간기(parabolic interpolator)를 이용하여 복구하는 방식이다^[7].

본 논문에서 구현한 심볼 타이밍 복구회로는 결정 지향 Gardner 타이밍 에러 추정 알고리즘을 채택하였다. Gardner 타이밍 에러 추정 알고리즘은 기저대역으로 변환된 신호를 A/D 변환을 통해 심볼당 2개의 표본을 취하고, 이 중 심볼 천이 지점의 영점 교차를 추적하는 방식이다. 심볼당 2개의 표본만으로 동작하며 반송파 회로에 독립적으로 동작하는 Gardner 알고리즘은 고속 디지털 수신기의 심볼 동기 알고리즘으로 적합한 특성을 가지고 있다^[8].

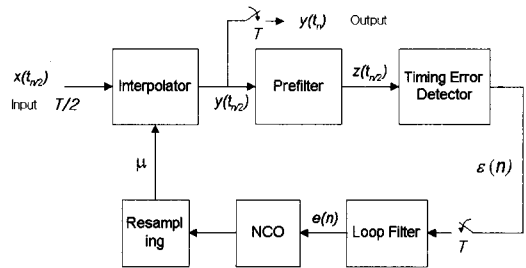


그림 5. 심볼 타이밍 복구회로 블록도

Gardner 알고리즘은 2개의 디지털 곱셈기를 필요로 하기 때문에 하드웨어 구현이 다소 복잡해진다. 또한 협대역 신호에 대해서는 타이밍 검출기의 이득이 작고 선형구간이 좁다는 단점이 있다. 이러한 단점을 보완하기 위해서 Gardner 방식에서 표본치를 직접 이용하는 대신 판정된 값을 이용하여 타이밍 에러를 유도하는 결정지향 Gardner 알고리즘이 현재 많이 사용되고 있다^[8].

결정지향 Gardner 알고리즘은 경관정기의 판정 동작에 의해서 실제적으로 구현할 때 곱셈기를 제거할 수 있고 타이밍 특성 곡선의 선형구간이 Gardner 알고리즘보다 넓고 이득이 클 뿐만 아니라 경관정을 통해 잡음을 걸러내는 효과를 가져오므로

지터성능 또한 향상된다. 결정 지향 Gardner 알고리즘은 각각의 심볼당 2개의 표본을 필요로 하며, 식 1과 같이 나타내어진다. 여기서 τ 는 타이밍 오프셋을 나타내며, $y_I(nT)$ 와 $y_Q(nT)$ 는 n 번째 심볼의 스트로브(strobe) 값이고, $\epsilon(n)$ 은 타이밍 에러 추정값을 나타낸다.

$$\begin{aligned} \epsilon(n) = & y_I^* \left[\left(n - \frac{1}{2} \right) T + \tau \right] \\ & \cdot [|y_I(nT + \tau)| - |y_I^* \left[\left(n - 1 \right) T + \tau \right]|] \\ & + y_Q^* \left[\left(n - \frac{1}{2} \right) T + \tau \right] \\ & \cdot [|y_Q(nT + \tau)| - |y_Q^* \left[\left(n - 1 \right) T + \tau \right]|] \end{aligned} \quad (1)$$

결정지향 Gardner 방식의 타이밍 에러 검출기는 본래 MPSK(M-ary Phase Shift Keying) 신호의 복조를 위한 방식이지만 현재 QAM 신호를 고속 복조하기 위해서도 널리 사용되고 있는 방식이다. 그러나 다중 진폭(multi-amplitude)을 갖는 QAM 신호에 적용할 경우 일정한 진폭을 갖는 MPSK 신호에 비해 패턴 잡음(Pattern Noise)이 증가하게 된다. 전치필터(Prefilter)는 정상 상태(steady-state)에서의 QAM 심볼의 패턴 잡음을 줄이기 위해 타이밍 에러 검출기에 입력되어지는 심볼 파형을 성형해 주는 기능을 수행한다⁹⁾. 본 연구에서 구현한 전치필터의 구조는 그림 6과 같이 7 탭 FIR 필터 구조를 가지며, I와 Q 채널에 각각 1개씩 있다. 전치필터의 탭 계수는 h_i 를 중심으로 좌우 대칭형이므로 하드웨어를 줄이기 위해 h_1, h_2, h_3 개의 탭 계수를 곱한 결과를 마지막 3 탭에서 공유하는 구조를 가진다.

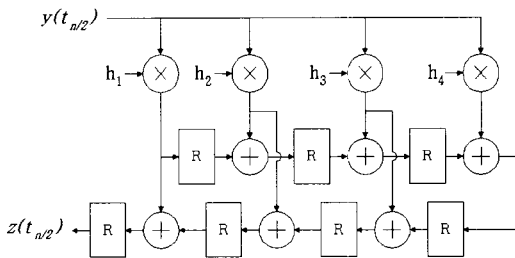


그림 6. 전치필터의 블록도

3) 반송파 복구회로

반송파 복구회로는 데이터의 송수신간에 발생하는 주파수 오차, 위상 오차, 위상 지터 등을 제거하는데 사용한다. 논문에서 구현한 반송파 복구회로는 결정 지향 방식으로 $x(n)$ 은 반송파 복구회로의 입력 데이터를 나타내며, 식 2와 같이 표현된다. 여기서

$a(n)$ 은 n 번째 심볼을 나타낸다. $\nu(n)$ 은 부가적 백색 잡음(AWGN : Additive White Gaussian Noise)을 나타내며, $\theta(n)$ 은 수신단 입력의 주파수 오프셋, 위상 오프셋, 위상 지터 등을 나타내며 이는 식 3과 같이 표현된다. 주파수 오프셋은 송수신기의 반송파 주파수가 동일하지 않고 상이하기 때문에 생기는 것으로 성좌도 측면에서 보면 원점을 중심으로 하여 진폭의 변화와 함께 회전하게 된다.

위상 오프셋은 송수신기의 반송파 주파수가 동일한 조건에서도 반송파의 파형이 서로 일치되지 않을 때 발생하며, 성좌도 측면에서는 일정한 각도로 기울어져 나타난다. 위상 지터 성분은 부가적 백색 잡음으로 생기며, 성좌도 측면에서 보면 성좌도가 좌우로 떨리는 것처럼 나타난다.

$$x(n) = a(n)e^{j\theta(n)} + \nu(n) \quad (2)$$

$$\theta(n) = \omega_0 nT + \sum_{j=0}^n A_j \sin \omega_j T + \theta_0 \quad (3)$$

식 3에서 $\sum_{j=0}^n A_j \sin \omega_j T$ 는 위상 지터, $\omega_0 nT$ 는 주파수 오프셋, θ_0 는 위상 오프셋을 나타낸다. 이러한 반송파 오류를 가진 데이터는 슬라이서(slicer)를 통과하여 $a(n)$ 성분만 출력된다. 슬라이서는 반송파 위상 오프셋에 의해 QAM 성좌도(constellation)에서 벗어난 입력 심볼을 가장 가까운 성좌(constellation point)에 매핑 시켜주는 블록이다. 이때 $y(n)$ 을 $a(n)$ 으로 나누면 반송파 위상 오류에 대한 성분만 남게 되고 이때 나눗셈기에서 허수부만 취하여 $\epsilon(n)$ 으로 출력한다. $\epsilon(n)$ 이 충분히 작은 값이면 식 4와 같이 $\epsilon(n)$ 은 반송파 위상 에러 ($\theta - \hat{\theta}$)에 비례한다. $\epsilon(n)$ 은 기저대역 신호로부터 잔류된 반송파를 추출하여 위상오류를 제거하도록 사용하는데, 잡음의 영향을 줄이기 위하여 루프 필터를 통과한다. 이렇게 만들어진 위상 오류 추정치는 cosine, sine 롬(ROM) 테이블의 출력과 곱해 복소수 곱셈기를 이용하여 $x(n)$ 에 곱해줌으로써 반송파 위상 오류를 제거해준다.

$$\epsilon(n) = \text{Im} \left[\frac{x^*(n)}{a(n)} \right] = \sin(\theta - \hat{\theta}) \approx \theta - \hat{\theta} \quad (4)$$

NCO(Numerically-controlled oscillator)는 루프 필터를 통과한 반송파 위상 오프셋의 추정치 값으로부터 반송파 위상 오프셋 에러를 제거하는 역할을 수행한다. NCO에서 사용한 롬은 1/4의 sine 값

을 저장하고 있으며, 나머지 3/4을 처리하기 위해 다중화기(MUX)와 제어신호로 롬을 제어한다.

4) 블라인드 등화기

등화기는 비트 검출 오류의 주된 원인이 되는 채널 왜곡에 의한 부호간 간섭을 보상하는 역할을 한다. 본 논문에서 구현한 등화기는 5 탭 피드포워드(feedforward) 필터와 6 탭 케환(feedback) 필터로 구성된 결정 케환 구조를 가지며, 채널 적응 알고리즘은 고차 QAM 변복조 방식에 적용 가능한 MMA와 LMS 알고리즘을 사용하는 블라인드 방식이다¹¹⁰⁻¹³¹. 구현된 등화기는 수신된 신호와 판정된 신호 간의 평균 제곱 오차(MSE : Mean Square Error)값을 가지고 블라인드 알고리즘과 LMS 알고리즘 중에 하나를 선택하는 방법을 사용하였다.

그림 7은 구현한 블라인드 등화기의 블록도이다. 피드포워드 블록과 케환 블록의 연산 결과에 의해 $w(n)$ 값을 만들어내고 판정 블록에서 $w(n)$ 을 이용하여 $d(n)$ 값을 만들어 낸다. 탭 계수 생성 블록(coefficient generator)에서는 $w(n)$ 과 $d(n)$ 을 이용하여 LMS, MMA 알고리즘에 해당하는 계수를 만들어내고 이들 중 어느 것을 사용할지는 탭 계수 생성 블록 내부의 평균 제곱 오차 생성 블록에서 만들어진 평균 제곱 오차 값에 의해 결정된다. 시뮬레이션에 의하여 결정된 최적의 비트 수를 결정하였으며, $w(n)$ 은 14 비트, coefficient는 7 비트, 그리고 $d(n)$ 은 5 비트로 구현하였다.

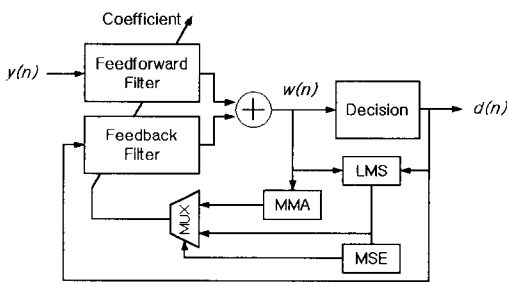


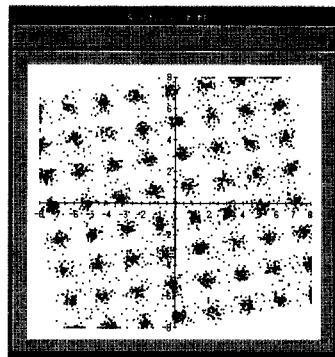
그림 7. 구현한 블라인드 등화기

Ⅲ. 모뎀 칩 구현 및 성능평가

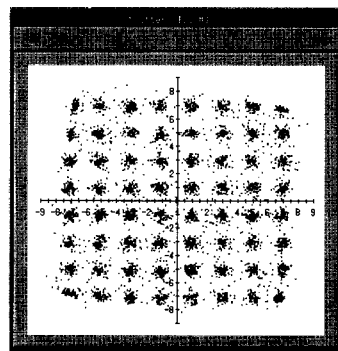
본 논문에서 구현한 CATV 망용 기저대역 모뎀 칩은 하나의 칩 안에 QPSK/16-QAM 방식의 상향 스트림 송신부와 64/256-QAM 방식의 하향 스트림용 수신부로 구성되어 있으며, 심볼 타이밍 복구회

로, 반송파 복구회로, 블라인드 등화기를 포함한다. 제안한 모뎀 아키텍처는 SPW™을 이용 알고리즘 모델을 구현하고 백색잡음의 채널환경에 대한 시뮬레이션을 수행하였다.

그림 8은 하향 스트림용 수신단의 반송파 복구회로의 입력력 파형이다. 그림 8(a)는 반송파 위상 오프셋을 가진 반송파 복구회로의 64-QAM 입력 심볼의 성좌도를 나타낸다. 반송파 위상 오프셋에 의해 성좌도가 원점을 중심으로 비틀어져 있음을 알 수 있다. 그림 8(b)는 반송파 복구회로의 출력 심볼을 나타낸다. 그림 8(a)의 입력 심볼이 반송파 복구회로를 거친 후 올바른 성좌도 형태로 바뀌었음을 확인할 수 있다.



(a) 반송파 위상 오프셋이 있는 입력 데이터



(b) 반송파 위상 오프셋이 보정된 출력 데이터

그림 8. 반송파 복구회로의 SPW™ 시뮬레이션 파형

그림 9는 구현한 모뎀 칩 구조를 통신용 시뮬레이터인 SPW™을 사용하여 백색잡음의 채널환경에서 성능 분석 시뮬레이션을 수행한 결과이다. 그림 9에서 보면 10⁶ BER에서 64-QAM일 경우 이론적인 비트오류율(BER : Bit Error Rate) 값과 약 1dB

정도 차이를 보였고, 256-QAM 모드에선 약 1.5dB 정도의 차이를 보였다. 이처럼 64-QAM 모드일 때보다 256-QAM 모드일 때에 구현한 칩의 비트 오류율과 이론적인 비트 오류율과의 차이가 더 큰 이유는 고차 QAM 방식일수록 패턴 잡음이 증가하여 타이밍 복구회로의 성능이 저하되고, 이는 반송파 복구회로와 등화기에게 영향을 주기 때문이다.

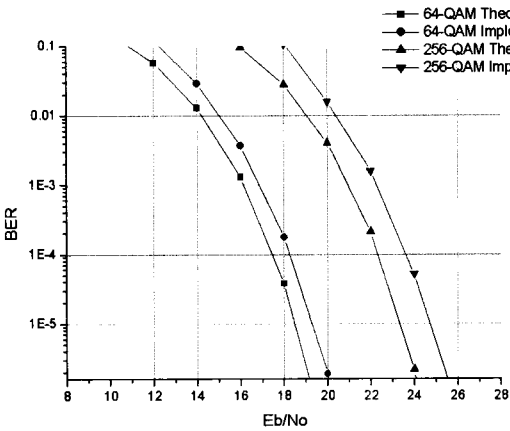


그림 9. 구현한 모뎀 칩의 백색잡음 채널환경에서의 BER 성능

본 논문에서 구현한 케이블 모뎀용 송수신기 ASIC 칩은 VHDL을 이용한 모델링과 기능 검증을 수행하였다. 0.35 μ m 표준 셀 라이브러리를 사용하여 SYNOPSISTM를 이용한 논리합성 결과 총 게이트 수는 약 29만 게이트이다. 타이밍 시뮬레이션은 CADENCETM Verilog-XL을 사용하였으며, 현재 ASIC 칩으로 제작중이다. 그림 10은 개발한 모뎀 칩의 논리합성 후 Floorplanning과 P&R(Placement and Routing)을 마친 레이아웃 사진이다.

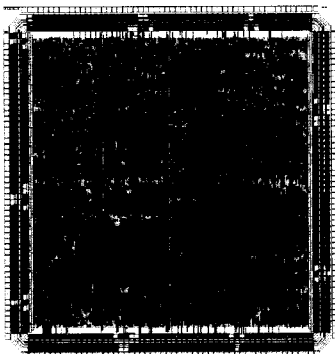


그림 10. 개발한 칩의 레이아웃

IV. 결론

본 논문에서는 MCNS의 DOCSIS 표준안의 물리 계층을 지원하는 비대칭형 데이터 전송 기저대역 모뎀 ASIC 칩을 구현하였다. 구현한 모뎀 칩은 크게 QPSK/16-QAM 방식의 상향 스트림용 송신부와 64/256-QAM 방식의 하향 스트림용 수신부로 구성되어 있으며, 심볼 타이밍 복구회로, 반송파 복구회로, 결정 제한 구조의 블라인드 등화기를 포함한다. 구현한 모뎀 칩은 전체적으로 파이프라인 방식을 적용하였으며, 하드웨어 구조가 간단하고 고속 동작이 가능하다는 특징이 있다. 결정 지향 Gardner 알고리즘을 사용하여 고속 타이밍 복구회로를 구현하였으며, 고차 QAM 방식에 의한 타이밍 복구회로의 성능 저하를 보상하기 위해 전치필터를 사용하였다. 또한 고차 QAM 변복조 방식에 적용 가능한 MMA와 LMS 알고리즘을 사용하는 블라인드 방식의 적응 등화기를 구현하였다. 구현한 칩은 256-QAM 변복조방식을 적용하였을 경우 데이터 전송 속도가 최대 64Mbps이며, 64-QAM 변복조방식을 적용하였을 경우 최대 48Mbps의 데이터 전송률을 지원한다. 심볼 전송률은 기존의 QAM 수신기들보다 빠른 8MBaud의 심볼 전송률을 가지며, 이는 CATV망용 기저대역 모뎀 칩으로 적합한 특성이다. 구현한 칩은 0.35 μ m 표준 셀 라이브러리를 사용하여 논리합성을 수행하였으며, 총 게이트 수는 약 29만 게이트이며, 현재 ASIC 칩으로 제작중이다.

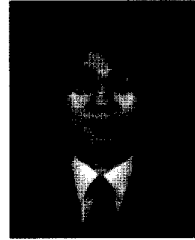
참고 문헌

- [1] Data-Over Cable Service Interface Specifications SP-RFI-102-971008.
- [2] ITU-T Recommendation J.83
- [3] L. K. Tan, J. S. Putnam, F. Lu, L. J. D'Luna, D. W. Mueller, K. R. Kindsfater, K. B. Cameron, R. B. Joshi, R. A. Hawley, and H. Samueli, "A 70-Mb/s Variable-Rate 1024-QAM Cable Receiver IC with Integrated 10-b ADC and FEC Decoder," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 2205-2218, Dec. 1998.
- [4] M. T. Shiue, C. K. Wang, and W. I. Way, "A VLSI Architecture Design for Dual-Mode QAM and VSB Digital CATV Transceiver,"

IEICE Trans. Commun., vol. E81-B, no. 12, pp. 2351-2356, Dec. 1998.

- [5] R. B. Joshi, B. Daneshrad and H. Samuelli, "A VLSI Architecture for A Single-Chip 5-Mbaud QAM Receiver," in *Proc. IEEE Globecom*, 1992, pp. 1265-1268.
- [6] Bennett C. Wong and Henry Samuelli, "A 200-MHz All-Digital QAM Modulator and Demodulator in 1.2- μ m CMOS for Digital Radio Applications," *IEEE J. Solid-State Circuits*, vol. 26, no. 12, pp. 1970-1980, Dec. 1991.
- [7] L. Erup, F. M. Gardner and R. A. Harris, "Interpolation in Digital Modems-Part II: Implementation and Performance," *IEEE Trans. Commun.*, vol. 41, no. 6, pp. 998-1008, June 1993.
- [8] Floyd M. Gardner, "A BPSK/QPSK Timing Error Detector for Sampled Receivers," *IEEE Trans. Commun.*, vol. COM-34, no. 5, pp. 423-429, May 1986.
- [9] Aldo Nunzio D'Andrea and Marco Luise, "Optimization of Symbol Timing Recovery for QAM Data Demodulators," *IEEE Trans. Commun.*, vol. 44, no. 3, pp. 399-406, Mar. 1996.
- [10] D. D. Falconer, "Jointly adaptive equalization and carrier recovery in two-dimensional digital communication systems," *Bell Syst. Tech. J.*, vol. 55, no. 3, pp. 317-334, Mar. 1976.
- [11] Haykin, *ADAPTIVE FILTER THEORY -third edition*, Prentice-Hall, 1996.
- [12] Fco.Rodrigo, P.Cavalcanti, Joao Cesar M. Mota, "A Predictive Constant Modulus Algorithm for Blind Equalization in QAM Systems", *IEEE International Conference on Communications*, Vol 2/3, 1997, pp. 1080-1084.
- [13] J. Yang, J.J. Werner, and Jr., G. A. Dumont, "The Multimodulus Blind Equalization Algorithm," in *Proc. Thirteenth Int'l Conf. on Digital Signal Processing*, Santorini, Greece, July 2-4 1999, pp. 1113-1124.

박 기 혁(Ki Hyuk Park)



1998년 2월 : 이주대학교
전자공학 학사
2000년 2월 : 이주대학교
전자공학 석사
2000년 3월~현재 : 한국전자통신연구원(ETRI) 연구원

<주관심 분야> 통신 및 신호처리용 ASIC 설계

선 우 명 훈(Myung Hoon Sunwoo)

1980년 2월 : 서강대학교 전자공학 학사
1982년 2월 : 한국과학기술원 전자공학 석사
1982년 3월~1985년 8월 : 한국전자통신연구소(ETRI) 연구원
1985년 9월~1990년 8월 : Univ. of Texas at Austin 전자공학 박사
1990년 8월~1992년 8월 : Motorola, DSP Chip Division, 미국
1992년 8월~1996년 10월 : 이주대학교 전기전자공학부 조교수
1996년 10월~현재 : 이주대학교 전기전자공학부 부교수
- 한국통신학회 논문지, 제24권 제2B호 참조
<주관심 분야> VLSI 및 Parallel Architecture, 통신, 영상 및 신호처리용 ASIC 설계