

# 저전력 D-flipflop을 이용한 고성능 Dual-Modulus Prescaler

준회원 민 경 철\*, 정회원 박 성 희\*, 김 용 대\*, 유 영 갑\*

## High Performance Dual-Modulus Prescaler with Low Power D-flipflops

Kyung-chul Min\*, Seong-hee Park\*, Yong-dae Kim\*, Young-gap You\* *Regular Members*

### 요 약

본 논문에서는 GHz 대역에서 동작하며 소모전력이 적은 동적 D-flipflop을 제안한다. 제안하는 D-flipflop은 두 가지 측면의 장점을 제공한다. 첫째, 클럭 입력을 갖는 PMOS 트랜지스터의 개수를 줄여 기존회로와 동일한 면적 하에서도 고속 동작을 할 수 있다. 둘째, 클럭 입력을 갖는 NMOS 트랜지스터 공유에 의하여 glitch를 줄이고 소모전력을 낮출 수 있다. 제안하는 D-flipflop의 성능 비교를 위하여 기존회로와 동일한 면적의 레이아웃 회로에서 소모전력 및 최대동작주파수의 측정실험을 한다. 제안하는 회로의 응용 예로 고속 prescaler에서 동일한 방법의 특성실험을 한다. 성능분석결과 기존 회로에 비하여 동작속도와 전력소모 측면에서 우수한 성능을 나타냄을 확인하였다.

### ABSTRACT

A dynamic D-flipflop is proposed aiming at low power and high frequency(GHz) operations. The proposed D-flipflop uses a smaller number of pmos transistors that it operates high speed in same dimensions. Also, it consumes lower power than conventional approaches by a shared nmos with clock input. In order to compare the performance of the proposed D-flipflop, we perform simulation estimating power consumption and maximum operating frequency of each same dimension D-flipflop. A high speed dual-modulus prescaler employing the proposed D-flipflop is evaluated via the same method. The simulation results show that the proposed D-flipflop has good performance than conventional circuits.

### I. 서 론

휴대용 통신기기에 사용되는 PLL(phase locked loop)을 사용한 주파수 합성기(frequency synthesizer)는 고속에서의 동작과 함께 저전력 소모의 요구 조건을 동시에 만족시켜야 한다. 주파수 합성기의 속도를 결정하는 prescaler를 CMOS 공정을 이용해 구현할 경우 저렴하면서 소형화 된 시스템의 구현이 가능해 진다.<sup>[1]</sup>

고속의 prescaler 구현에 사용된 기존의 동적

D-flipflop은 glitch 발생 및 클럭 동작시에 pull-down path에 의한 전하공유 문제가 발생한다. 이와 같은 문제를 해결하기 위하여 기존에는 트랜지스터의 개수 추가를 고려하여 회로에 적용한다. 그러나 추가된 트랜지스터에 의한 동작속도의 제한 및 전력소모의 증가가 발생한다. 동작속도의 증가를 위하여 적은 수의 트랜지스터를 사용하는 ratioed logic 개념을 이용한 방법이 제안되었으나 역시 전력소모의 증가가 발생한다. 따라서 트랜지스터의 개수를 증가시키지 않으면서 glitch를 제거하는 회로와 동

\* 충북대학교 정보통신공학과 통신회로 및 시스템 연구실(kemin@hbt.chungbuk.ac.kr)  
논문번호 : 00257-0710, 접수일자 : 2000년 7월 10일

작속도를 증가시키면서 전력소모를 감소시키는 회로의 필요성이 대두된다.

본 논문에서는 0.65 $\mu$ m CMOS 공정을 이용하여 GHz대 주파수에서 동작할 수 있는 D-flipflop과 prescaler를 설계하고 기존 회로들과 동일한 입력 파라미터 하에서 동작특성을 비교하고자 한다. 대체로 기존 D-flipflop 설계 방식은 9개 이상의 트랜지스터를 사용한다.<sup>[3,4,6,7,8]</sup> 본 논문에서는 효율적인 트랜지스터 배치설계를 이용하여 8개 트랜지스터로 구성된 동적 구조의 D-flipflop을 제안한다. 제안하는 회로의 응용은 128/129분주 dual-modulus prescaler 회로에 적용한다. 특히 제안하는 회로는 고속동작 및 전력소모 면에서 중요한 역할을 하는 4/5 동기 분주기 부분에 적용한다. 제안하는 구조의 prescaler는 HSPICE를 이용하여 시뮬레이션을 하고 CADENCE를 이용한 full custom layout 설계를 한다. 설계한 회로의 실험결과는 기존 설계 방식과 비교하여 제시한다.

제 II장에서는 제안하는 구조의 동적 D-flipflop에 대한 설명과 시뮬레이션 결과를 수록하였다. 제 III장에서는 제안하는 회로와 기존회로의 동적 D-flipflop을 이용하여 고속의 dual-modulus prescaler를 설계하고 성능평가를 수록한다. 그리고 마지막 IV장에서 결론을 제시한다.

## II. 동적 D-flipflop의 설계

이장에서는 동적 방식을 이용한 D-flipflop을 설계하고 기존회로와 제안한 회로의 특성을 비교하기로 한다.

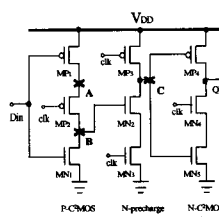
### 1. 동적 D-flipflop의 기능

일반적으로 동적 방식의 디지털 설계가 정적 방식 설계에 비해 트랜지스터의 수를 절반 가까이 줄일 수 있다. 따라서 저전력 및 고속회로에 사용되는 CMOS D-flipflop은 전체 또는 일부가 동적 구조를 택하고 있다.<sup>[1-10]</sup> 그림 1은 대표적인 CMOS 동적 D-flipflop 구조이다. 그림 1(a)의 회로는 9개의 트랜지스터를 이용하여 반전된 출력값을 갖는다.<sup>[2]</sup> 또한 그림 1(b)와 같이 클럭 입력을 갖는 트랜지스터를 전원이나 접지선에 가깝게 위치시키면 더 나은 성능을 가지는 것으로 알려져 있다.<sup>[3]</sup> 이제 D-flipflop의 동작, glitch 제거, 동작속도 및 전력소모 등의 문제를 살펴보기로 하자.

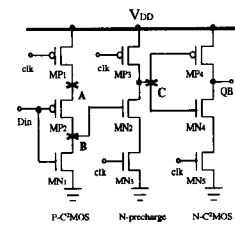
이들 D-flipflop의 동작은 클럭의 상태변화에 따

라 다음 네 시점으로 구분할 수 있다. 첫째 클럭이 low에서 변화가 없는 시점, 둘째 클럭이 low에서 high로 변화하는 시점, 셋째 클럭이 high에서 변화 없는 시점, 넷째 클럭이 high에서 low로 변화하는 시점이다.<sup>[4]</sup> 본 논문에서는 클럭이 low에서 high로 변화하는 시점을 evaluation 동작으로 표현하며, 나머지 시점은 precharge 및 hold 동작으로 표현한다. 주목해야 할 시점은 evaluation 동작 시점이다. 그림 1(a)와 1(b)의 회로에서 입력이 low이고, 클럭이 low일 때 출력 OUTB는 전단의 상태를 유지한다. 이때 클럭이 evaluation 되면 OUTB는 low에서 high로 변화하거나 이전 상태의 high값을 유지해야 한다. 그러나 순간적으로 트랜지스터 MN4와 MN5의 도통에 의하여 OUTB의 출력값은 low로 떨어지는 glitch가 발생한다.

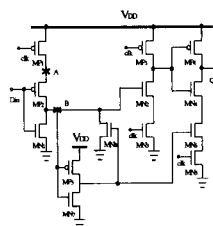
이같은 glitch의 발생은 D-flipflop 동작에 오동작을 발생시킬 수 있다. glitch 발생회로는 특히 저주파 상태동작에서 주의해야 한다. 그림 1(c)는 이러한 glitch를 제거한 D-flipflop이다. 이 glitch는 트랜지스터(MP8)와 피드백 인버터의 추가에 의해 제거됨을 확인할 수 있다.<sup>[4]</sup>



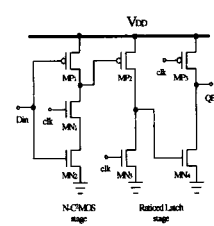
(a) Yuan/Svensson의 D-flipflop



(b) Rogenmoser의 D-flipflop



(c) 글리치를 제거한 Rogenmoser의 D-flipflop



(d) ratioed logic 개념을 적용한 D-flipflop

그림 1. 일반적인 동적 D-flipflop

설계하는 D-flipflop의 고속 동작 특성은 회로용 용 범위결정에 중대한 요소가 된다. 회로의 동작속도 개선을 위한 회로의 예로 ratioed logic에 의한

설계가 발표되었다. 그림 1(a), 1(b) 회로는 직렬 연결된 트랜지스터로부터 RC시정수에 의한 시간지연이 크다. 이것은 최고 동작 속도를 제한한다. 그림 1(d)는 ratioed logic을 채택한 D-flipflop을 보여준다.<sup>[5,10]</sup> 동작속도는 ratioed latch 부분의 트랜지스터 크기 비례에 의해 개선된다. 그러나 ratioed logic 또한 정적 소모전력에 의한 전력소모가 증가하는 단점이 있다.

이와같이 기존의 회로는 glitch를 해결하기 위하여 회로내에 몇 개의 트랜지스터를 추가하는 것이 보통이다. 그리고 동작속도의 개선을 위하여 ratioed logic을 이용하기도 한다. 이러한 회로는 크기증가, 동작속도의 저하 및 소모전력의 증가라는 단점을 갖는다. 이러한 문제에 대하여 개선된 D-flipflop 회로를 제시하고자 한다.

2. 제안하는 구조의 래치와 D-flipflop

저전력 및 고속 동작을 이루기 위해서는 트랜지스터 개수의 감소, glitch 제거, 연결선 단순화 등의 적용이 필요하다. 따라서 본 논문에서는 동일면적과 동일입력 조건하에서 동작특성을 비교하고자 한다. 본 논문에서는 두 가지 주요 개선점을 제안하면 다음과 같다. 클럭 입력을 갖는 NMOS 트랜지스터 공유에 의하여 glitch를 줄이고 소모전력을 낮출 수 있다. 첫째, 기존회로와 비교하여 트랜지스터의 추가없이 glitch를 제거한다. 그리고 클럭입력을 갖는 PMOS 트랜지스터의 개수를 줄여 기존회로와 동일한 면적 하에서도 고속 동작을 할 수 있다. 이로써 회로면적의 증가없이 전력소모를 줄일 수 있다. 그림 2에 회로구조를 기존회로와 비교하여 제시한다. 회로의 동작은 다음과 같다. 이 회로 역시 precharge 동작과 evaluation 동작으로 구분하여 설명할 수 있다.

먼저 그림 2(a) 회로의 동작상태를 살펴보자. 먼

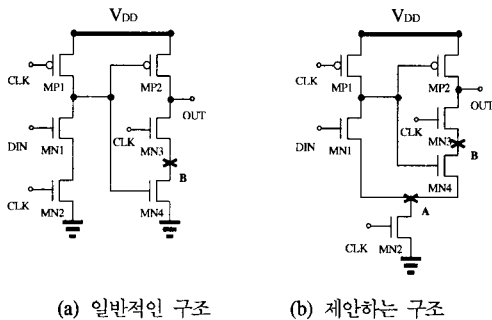


그림 2. 클럭입력 NMOS 공유 비교회로

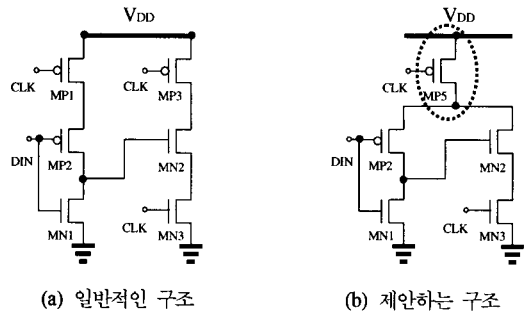


그림 3. 클럭입력 PMOS 제거 비교회로

저 precharge 기간동안 입력 DIN이 high이면 그림 2(a)의 노드 B는 low가 된다. 출력 OUT은 전단의 상태를 유지한다. 이 때 evaluation 동작이 발생하는 순간 트랜지스터 MN3가 도통되어 출력 OUT이  $V_{DD}-V_{th}$  이하로 discharge 되는 부분이 발생한다. 다음 그림 2(b)의 회로를 살펴보자. 또한 precharge 기간 중에 입력 DIN이 high이면 노드 A 및 노드 B는 high로 charge된다. 여기서 evaluation 동작시 MN3가 도통되어도 MN3의 드레인과 소오스의 노드가 high 상태이므로 출력 OUT의 discharge되는 부분은 줄어들다. 위의 동작은 회로 출력의 하강시간을 증가시킨다. 그러나 glitch의 감소에 의한 동작특성의 개선과 소모전력의 감소가 이루어질 수 있다.

둘째, 기존 회로에서 클럭 입력을 갖는 PMOS 트랜지스터의 드레인 지역 연결을 개선하였다. 그림 1(b)의 회로에서 첫째단의 클럭 트랜지스터를 전원선에 가깝게 배치하자. 그러면 둘째단의 클럭 트랜지스터는 동일 연결선에서 반복되므로 제거할 수 있다. 그림 3에서 두가지 회로를 비교한다. 그림 3(b)에서 접선내 트랜지스터의 소오스 노드를 살펴보자. 접지로부터 경로에서 NMOS 트랜지스터가 동시에 도통되는 경로가 없다. 따라서 기존회로와 동일한 동작특성을 갖는다. 이러한 구조는 두가지 면에서 장점을 갖을 수 있다. 첫째, 회로의 면적을 감소시킬 수 있다. 둘째, 동일면적에서 사용되는 트랜지스터의 크기를 조절하여 출력파형의 상승시간 및 하강시간을 빠르게 조절할 수 있다. 이는 NMOS 트랜지스터 공유로 증가된 하강시간을 보상하여 동작속도를 증가시킬 수 있다.

이제 회로의 동작특성을 보기로 하자. 그림 4는 제안한 D-flipflop의 회로도이다. 회로설계에 사용된 트랜지스터의 개수는 8개이다. 그림 5는 회로의 동작경로를 보여준다. 그림 5(a)는 evaluation 동작시

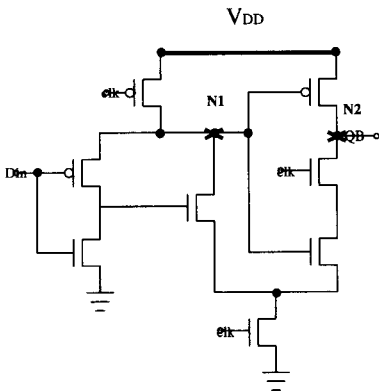
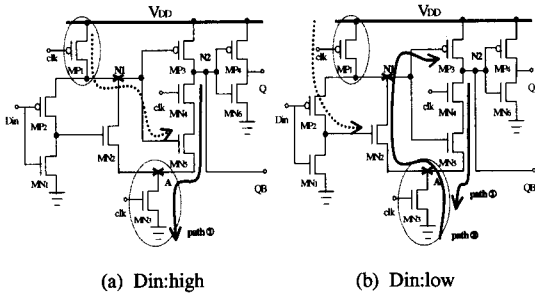


그림 4. 제안하는 구조의 D-flipflop



(a) Din:high

(b) Din:low

그림 5. D-flipflop의 동작경로(evaluation 동작)

입력 DIN이 high 값을 갖는 동작이며, 그림 5(b)는 입력 DIN이 low 값을 가질 때의 동작이다. 점선은 전단에서의 동작상태이며 실선은 현재 동작경로를 나타낸다. 이 때 DIN이 high 이면 path①을 통해서 N2는 low로 discharge된다. DIN이 low이면 path②를 통해서 N2는 high로 charge-up 된다.

제안한 회로는 기존 Rogenmoser의 회로보다 트랜지스터 개수가 1개 적어서 칩면적의 감소 또는 효율적인 트랜지스터 크기 조절이 가능할 것으로 기대된다. 또한 glitch를 줄일 수 있어서 소모전력의 감소가 예상되며 동작주파수의 향상이 기대된다.

### 3. 제안한 D-flipflop의 성능평가

본 논문에서 제안하는 회로의 동작특성을 비교하기 위하여 HSPICE를 이용한 시뮬레이션을 수행한다. 실험은 0.65 $\mu$ m CMOS 공정을 이용하며, 보다 발전된 공정변수를 채택하면 훨씬 나은 결과가 나올 것이다. 먼저 glitch가 발생하는 입력특성을 비교한다. 그리고 소모전력 및 최대동작주파수 측정은 D-flipflop에 기초한 toggling 기능을 이용하여 수행한다. 설계한 toggling 회로는 반전된 출력 값을 피

드백시켜 구성하며 최종출력은 인버터를 통과한 반전된 값이다.

우선 glitch의 감소 효과를 알아보기로 하자. 동작특성에 비교된 값은 인버터를 통과하지 않은 반전된 출력 값이다. 그림 6은 glitch가 발생하는 회로와 제안한 회로의 동작특성을 비교한 것이다. 입력값이 low이고 회로의 evaluation 동작시 glitch가 발생한다. glitch는 저주파 동작시에 크게 나타난다. glitch에 의한 오동작은  $V_{DD}-V_{th}$  이하로 glitch가 발생했을 때이다. 따라서 전원전압의 약 10%이하 glitch가 발생한다면 오동작을 일으킬 수 있다. 그림 6에서처럼 비교된 기존회로는 100KHz에서 오동작을 일으킬 수 있다. 제안하는 회로는 glitch의 발생이 적어 저주파 동작에서도 오동작의 우려가 적다. glitch를 제거한 회로와 ratioed logic을 이용한 회로는 glitch의 제한이 적다. 그러나 각각 회로크기의 증가와 전력소모가 증가하는 약점이 있다.

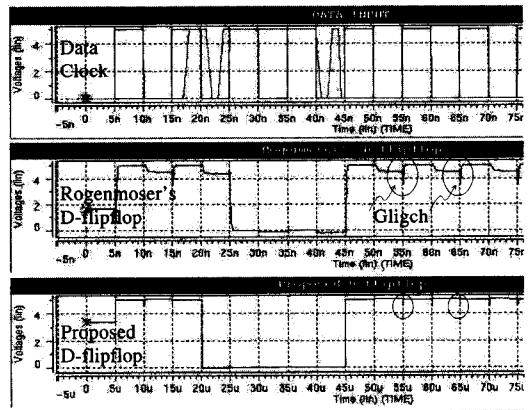


그림 6. D-flipflop의 동작특성비교(글리치특성 비교)

전력소모의 특성실험은 toggling 회로를 이용하여 수행한다. 입력 파형은 사인파로써 각 회로의 최대동작주파수 이다. 그림 7은 비교된 회로들의 전력소모 특성을 보인다. 제안한 회로는 3V에서 약 167  $\mu$ W 그리고 5V에서 약 3.35mW의 전력을 소모한다. 제안한 회로의 전력소모 특성이 가장 우수함을 알 수 있다.

그림 8은 비교된 회로의 최대동작주파수를 비교한 것이다. 모의실험 결과 제안한 D-flipflop의 최대동작주파수는 3V에서 0.98GHz를 가지며, 5V에서 2.12GHz의 특성을 나타냈다. 제안한 회로의 동작주파수 성능이 Rogenmoser의 회로보다 우수하다. 표 1은 회로의 트랜지스터 개수 및 총 width의 합을

비교하여 나타낸 것이다. 이상을 종합하면 제안된 회로는 전력소모 특성이 우수하고, glitch 발생이 미미하며 또한 최대동작주파수도 우수한 것을 확인할 수 있다. 이제 이 D-flipflop을 이용한 prescaler 설계 예를 보고자 한다.

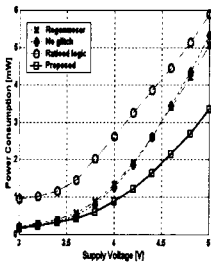


그림 7. 최대동작주파 수에  
서 공급전압에 따  
른 소모전력의 비교

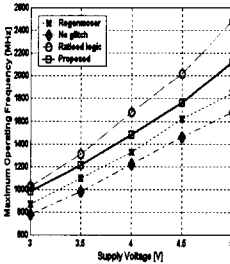


그림 8. 공급 전압에 따른  
최대동작주파수 비교

와 5단의 비동기형 카운터 체인으로 구성한다. 입력 신호 M은 128 및 129로 분주하기 위한 제어 신호이다. prescaler는 M이 high일 경우 입력 신호에 대한 128 분주의 출력값을 가지며, low일 경우 129분주의 출력값을 내보낸다. 그림에서 NAND gate는 동작속도 등을 고려하여 D-flipflop회로 내에 함께 설계한다.

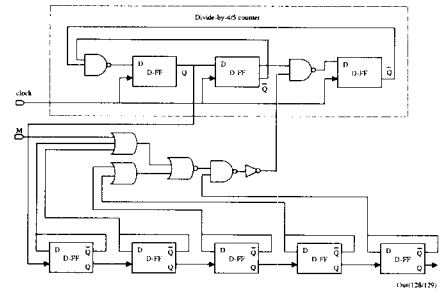


그림 9. Prescaler의 회로도

표 1. 회로의 트랜지스터 수와 최대동작주파수 (동일면적)

D-flipflop	Tr. 개수	최대동작 주파수 [GHz@5V]	소모전력 [mW]	전력 ×지연
그림1(b)회로[2]	9	1.84	5.12	2.78
그림1(c)회로[3]	13	1.70	5.35	3.14
그림1(d)회로[4]	7	2.45	5.90	2.41
제안하는 회로	8	2.12	3.35	1.58

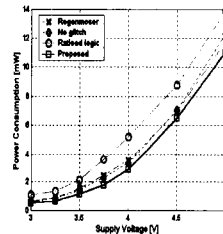


그림 10. 4/5 분주기의 공  
급전압에 따른 소모전  
력의 비교

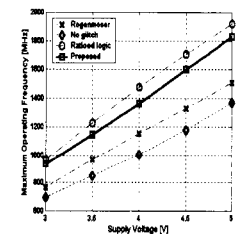


그림 11. 4/5 분주기의 공  
급전압에 따른 최대동  
작주파수 비교

### III. Dual-Modulus Prescaler의 설계

이번 장에서는 제안하는 D-flipflop을 이용하여 prescaler를 설계하고 그 특성을 살펴보기로 한다.

#### 1. prescaler의 구조 및 설계

prescaler는 높은 동작 주파수와 저전력 소모를 필요로 한다. 이를 위하여 회로는 동기 카운터 및 비동기 카운터 부분으로 나누어 설계한다. 동기 카운터 부분은 prescaler의 고속동작을 결정하는 중요한 부분이다. 그러나 전력소모가 증가한다는 단점이 있다. 반면에 비동기 카운터는 동작속도가 느리다. 그러므로 prescaler의 카운터 설계는 동기 및 비동기의 동작속도와 전력소모의 절충을 고려하여 설계한다.

본 논문에서는 128/129를 분주할 수 있는 prescaler를 설계한다. 그림 9는 prescaler의 최종 회로도이다. prescaler는 4/5로 분주하는 동기형 카운터

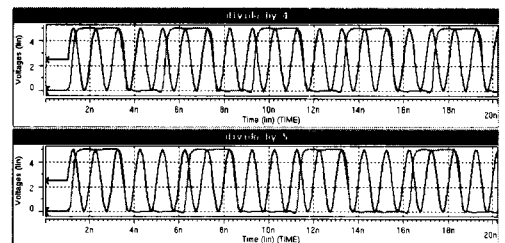


그림 12. 입력 M에 따른 prescaler의 4/5분주 동작파형

동작주파수 및 소모전력에 영향을 주는 부분은 동기 분주기 부분이다. 따라서 본 논문에서는 먼저 동기 분주기 부분을 제시된 각각의 D-flipflop 회로를 이용하여 설계하고 동작주파수 및 소모전력을 비교한다. 그림 10은 회로의 최대동작주파수에서 4/5 분주 가능한 동기 분주기 부분의 소모전력을 비교한 것이다. 입력전압 3V에서는 모두 비슷한 전

력소모 특징을 갖는다. 전원전압이 증가하면서 제안한 회로의 전력소모 특징이 조금씩 우수함을 알 수 있다. 제안한 회로는 3V에서 540 $\mu$ W 그리고 5V에서 11.5mW의 전력소모 값을 갖는다. 그림 11은 최대 동작주파수를 비교한 것이다. 앞서 비교된 D-flipflop에서 처럼 ratioed logic 회로를 이용한 분주기의 동작특성이 가장 우수하다. 제안한 회로의 동작주파수는 3V에서 0.94GHz 그리고 5V에서 1.83GHz의 값을 갖는다.

그림 12는 4/5 동기 분주기의 1GHz에서 출력 파형을 보인 것이다. 동기 분주기의 입력값이 high이면 4분주, low이면 5분주 동작을 한다.

2. 전체회로 및 결과분석

제안한 D-flipflop을 이용하여 prescaler 회로들 layout 하였다. 설계한 128/129분주 prescaler는 그림 13에 제시한다. 사용한 공정은

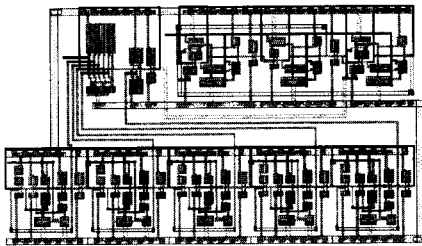


그림 13. prescaler의 layout 회로도

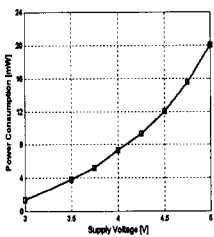


그림 14. Prescaler의 공급 전압에 따른 소모전력

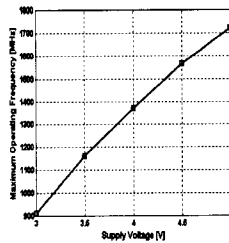


그림 15. Prescaler의 공급 전압에 따른 최대 동작주파수

현대 0.65 $\mu$ m (2-P 2-M)이다. 전원전압 5V에서 회로의 최대동작주파수는 1.72GHz 이고, 전력소모는 20.01mW 이다.

그림 14는 제안한 prescaler의 입력전압에 비례한 전력소모 그래프이다. 그림 15는 입력전압에 따른 최대동작주파수를 나타낸다.

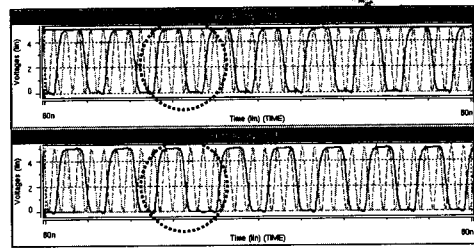


그림 16. 입력 M에 따른 prescaler의 128/129분주 동작파형

표 2. Prescaler의 동작특성비교

Dual-Modulus Prescaler in Ref.	Process (CMOS)	f <sub>max</sub> @ V <sub>dd</sub>	Power@ f <sub>max</sub>
Q. Huang [4]	1.0 $\mu$ m	1.61GHz	52.5mW
B. Chang [5]	0.8 $\mu$ m	1.22GHz	25.5mW
J. Craninckx [7]	0.7 $\mu$ m	1.75GHz	24mW
C. Yang [10]	0.8 $\mu$ m	1.80GHz	52.9mW
제안하는 회로	0.65 $\mu$ m	1.72GHz	20.1mW

그림 16은 설계한 128/129분주 prescaler의 1.72GHz 사인과 입력시 동작 파형이다. 설계한 회로는 입력 M값이 low인 경우 약 65ns ~ 68ns 사이에서 129분주 동작이 발생한다.

제안한 설계회로에서 prescaler의 고속 동작과 저전력 소모는 클럭 입력을 갖는 트랜지스터의 공유에 의하여 줄일 수 있었다. 최대동작주파수와 소모 전력 면에서 제안한 회로는 Rogenmoser의 회로보다 매우 우수한 성능을 나타냈다. 표2는 설계된 128/129분주 prescaler의 성능을 분석한 결과이다.<sup>[8]</sup>

IV. 결론

본 논문에서는 트랜지스터의 효율적인 배치구조를 이용하여 트랜지스터 개수 및 클리치를 줄이고 저전력 동작을 하는 D-flipflop을 제안하였다. 동적 D-flipflop의 장점은 단일클럭을 이용한 클럭전력의 간소화, 고속동작 그리고 저전력 설계가 가능하다는 것이다.

제안한 구조의 D-flipflop을 설계하고 시뮬레이션한 결과 기존의 회로에 비하여 전력소모가 줄어들고 동작주파수가 증가하는 것을 확인하였다. 특히, 공정상의 차이는 있지만 소모전력 면에서 Rogenmoser 회로와 Ratioed logic 회로에 대하여 각각 7.8%와 38% 작은 우수한 성능을 얻었다. 이러한

전력소모 감소 및 동작주파수 증가 특징은 클럭 입력력을 갖는 트랜지스터의 공유로 획득하였다.

참 고 문 헌

[1] J. Yuan, I. Karlsson and C. Svensson, "A true single-phase-clock dynamic CMOS circuit technique," *IEEE J. Solid-State Circuits*, vol. sc-22, no. 5, pp. 899-901, Oct. 1987.

[2] J. Yuan and C. Svensson, "High-speed CMOS circuit technique," *IEEE J. Solid-State Circuits*, vol. 24, no. 1, pp. 62-70, Feb. 1989.

[3] R. Rogenmoser, N. Felber, Q. Huang and W. Fichtner, "1.16 GHz dual- dual-modulus 1.2 $\mu$ m CMOS prescaler," *Proc. IEEE 1993 CICC*, San Diego, CA, pp. 27.6.1-27.6.4, May 1993.

[4] Q. Huang and R. Rogenmoser, "Speed optimization of edge-triggered CMOS circuits for gigahertz single-phase clocks," *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 456-465, Mar. 1996.

[5] B. Chang, J. Park and W. Kim, "A 1.2 GHz CMOS dual-modulus prescaler using new dynamic D-type flip-flops," *IEEE J. Solid-State Circuits*, vol. 31, no. 5, pp. 749-752, May 1996.

[6] P. Larsson, "High-speed architecture for a programmable frequency divider and a dual-modulus prescaler," *IEEE J. Solid-State Circuits*, vol. 31, no. 5, pp. 744-748, May 1996.

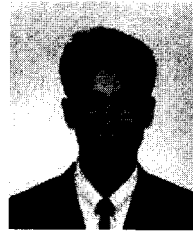
[7] J. Craninckx and M. Steyaerl, "A 1.75-GHz/3-V dual-modulus divide-by-128/129 prescaler in 0.7- $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, vol. 31, no 7, pp. 890-897, July 1996.

[8] R. X. Gu and M. I. Elmasry, "All-N-Logic high-speed true-single-phase dynamic CMOS logic," *IEEE J. Solid-State Circuits*, vol. 31, no. 2, pp. 221-229, Feb. 1996.

[9] R. Rogenmoser and H. Kaeslin, "The impact of transistor sizing on power efficiency in submicron CMOS circuits," *IEEE J. Solid-State Circuits*, vol. 32, no. 7, pp. 1142-1145, July 1997.

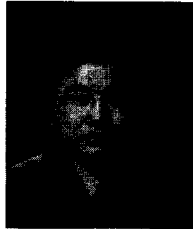
[10] C. Yang, G. Dehng, J. Hsu, and S. Liu, "New dynamic flip-flops for high-speed dual-modulus prescaler," *IEEE J. Solid -State Circuits*, vol. 33, no. 10, pp. 1568-1571, Oct. 1998.

민 경 철(Kyung-chul Min)



1996년 2월 : 홍익대학교  
전자전신공학과 졸업  
1996년 3월~현재 : 충북대학교  
정보통신공학과 석사  
과정 재학중  
<주관심 분야> 디지털 회로설계,  
고속회로

박 성 희(Seong-hee Park)



1994년 2월 : 충북대학교  
정보통신공학과 (공학사)  
1996년 8월 : 충북대학교  
정보통신공학과(공학석사)  
2000년 2월 : 충북대학교  
정보통신공학과  
(박사과정수료)

1995년 12월~1998년 5월 : (주)에스엠이 주임연구원  
2000년 9월~현재 : 한국전자통신연구원 교환전송기  
술연구소 홈네트워킹팀 연구원  
<주관심 분야> 디지털 회로설계, ASIC설계, 홈네트  
워크

김 용 대(Yong-dae Kim)

정회원



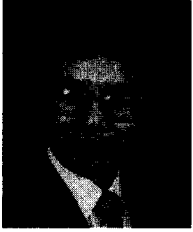
1990년 2월 : 충북대학교  
정보통신공학과(공학사)  
1993년 2월 : 충북대학교  
정보통신공학과  
(공학석사)  
1989년 10월~1998년 6월 :  
신흥기술연구소 C&I팀장

2000년 3월~현재 : 충북대학교 정보통신공학과  
(박사과정)

<주관심 분야> 디지털 회로설계, 고속회로

유 영 갑(Young-gap You)

정회원



1968년 3월~1975년 8월 :  
서강대학교 전자공학과  
(공학사)  
1979년 9월~1981년 8월 :  
미시건대학교 전기 및  
컴퓨터공학과(공학석사)

1981년 9월~1986년 4월 : 미시건대학교 전기 및 컴  
퓨터공학과(공학박사)  
1975년 8월~1979년 8월 : 국방과학연구소 연구원  
1988년 10월~1989년 12월 : 주식회사 한국실리콘  
기술고문  
1986년 2월~1988년 2월 : 금성반도체 주식회사 책  
입연구원  
1993년 8월~1995년 8월 : 미국 아리조나 대학교 객  
원교수  
1988년 3월~현재 : 충북대학교 공과대학 정보통신  
공학과 교수  
<주관심 분야> VLSI 집적회로 설계, 고속인쇄회로,  
Cryptography