

유전자 알고리즘을 이용한 저전력 회로 설계

Designing Circuits for Low Power using Genetic Algorithms

김현규 · 오형철*

Hyun-Gyu Kim and Hyeong-Cheol Oh*

고려대학교 대학원 전자 정보공학과

* 고려대학교 전자 및 정보공학부

요 약

본 논문에서는 CMOS 디지털 회로상의 플립플롭의 위치를 이동시키는 리타이밍 변환에 유전자 알고리즘을 적용하여 회로의 최적 동작 속도를 유지하면서 전력의 소모를 줄일 수 있는 설계 방법을 제안한다. 제안된 설계 방법은 최적 속도를 구현하는 리타이밍 단계와 유전자 알고리즘이 적용되는 저전력 리타이밍의 두 단계로 이루어진다. 제안된 저전력 리타이밍 설계 도구를 예제 회로의 설계에 적용하고 설계된 회로의 성능을 Synopsys사의 Design Analyzer로 평가한 결과, 임계 경로 지연은 약 30~50% 가량 감소하였으며 동적 전력 소모는 약 1.4~18.4% 가량 감소함을 관찰하였다.

ABSTRACT

This paper proposes a design method that can minimize the power dissipation of CMOS digital circuits without affecting their optimal operation speeds. The proposed method is based on genetic algorithms(GAs) combined with the retiming technique, a circuit transformation technique of repositioning flip-flops. The proposed design method consists of two phases: the phase of retiming for optimizing clock periods and the phase of GA retiming for minimizing power dissipation. Experimental results using Synopsys Design Analyzer show that the proposed design method can reduce the critical path delay of example circuits by about 30~50% and improve the dynamic power performance of the circuits by about 1.4~18.4%.

1. 서 론

과거의 회로 설계에 있어서는 동작의 신뢰성, 크기, 속도, 가격 등의 요소가 중요한 문제였으며, 전력 소모는 부차적인 문제였다. 그러나, 근래에 들어서 휴대폰이나 노트북과 같은 휴대용 통신장비 및 휴대용 디지털 기기의 증가로 인하여 배터리의 성능과 기기의 전력소모가 중요한 문제로 부상되었다. 저전력 회로 설계 기법의 중요성은 고집적화, 고속화되어가고 있는 정보 통신 장비들에 있어서 열 발생 문제 및 그 동작의 신뢰도와 맞물려 더욱 증시되고 있다[1].

저전력 설계 방법은 기존의 모든 설계 단계(응용프로그램, 시스템 등의 상위수준에서부터 공정 및 재료의 하위수준까지)에서 각기 개발·적용되고 있는바, 주로 사용되는 방법에는 회로의 공급 전압을 낮추기 위한 방법과 회로의 저항과 정전용량(capacitance)을 줄이기 위한 방법, 그리고 정전용량이 큰 부분에서 상태 천이의 횟수를 줄이기 위한 방법 등이 있다. 본 논문에서는 천이 횟수를 구조(architecture)와 논리 수준에서 줄이기 위한 신호 차단(Signal Gating) 방법을 다룬다.

신호 차단 방법은 회로 내에서 불필요하게 발생하는 천이의 횟수를 줄임으로써 CMOS 회로의 동적 전력 소모를 줄이는 방법이다. 저전력 설계를 위해서는 설계자가 회로 내에서 천이가 적게 일어나도록 회로를 구성하고 천이가 전파되지 않도록 적절히 신호를 차단하는 것이 필요하나, 이러한 문제들을 시스템 설계자가 고려하여 설계하는 것은 매우 어려운 일이므로 CAD도구에서 논리 합성 시에 이러한 사항이 고려될 수 있도록 하는 것이 설계의 효율성을 높이는 방법이라 할 수 있을 것이다.

본 논문에서 제안하는 저전력 설계 기법은 회로에 있는 플립플롭의 위치를 변경시키는 리타이밍(retiming) 기법[2]의 특성이 신호 차단 방식에 사용될 수 있음을 이용하여, 전력과 속도의 관점에서 최적화된 회로를 구성하는 것을 목적으로 한다. 리타이밍 방식을 이용한 저전력 방식은 이미 제안되어 있으나[3,4], 플립플롭의 위치 변동이 가져오는 부하 정전 용량의 변화와 이로 인한 최소 소모 전력을 가져오는 회로 구조를 구하는 문제는 매우 복잡하며 효율적인 알고리즘이 알려져 있지 않다. 본 논문에서는 이 문제를 유전자 알고리즘(GAs : Genetic Algorithms)[5]

[7])으로 해결하기에 적합한 유전자 구성 방법을 제안하고, 유전자 알고리즘을 이용하여 회로의 최소 클럭 주기를 유지하면서 전력 소모를 줄이는 설계 방법을 제안한다.

본 논문의 구성은 다음과 같다. 제 2절에서는 전력 소모의 원인과 리타이밍 변환이 회로의 전력 소모에 미치는 영향에 대하여 살펴본다. 제 3절에서는 본 논문에서 사용하는 전력 추정 기법을 제시하고, 저전력 설계 방식으로 제안하는 유전자 알고리즘이 적용된 리타이밍 설계 방식을 설명한다. 제 4절에서는 제안된 설계 방식의 적용 가능성을 밝히기 위하여 제작된 설계 도구를 이용하여 실험을 수행한 결과를 보이고, 제 5절에서는 결론을 제시한다.

2. 연구 배경

2.1 CMOS의 전력소모

CMOS 디지털 회로에 있어서 전력 소모의 원인은 크게 누설 전류와 대기상태 전류, 그리고 출력 상태의 천이 과정 중 전원선 간의 직류 단락 전류 및 로직 변화에 의한 충방전 전류의 4가지 원인으로 나누어 볼 수 있다. 위의 원인들 중 회로 노드의 정전용량을 충전, 방전하는데 소모되는 전력(동적 전력 소모)이 CMOS 회로의 전력소모에 있어서 가장 큰 부분을 차지한다. 따라서, 저전력 설계를 위해서는 CMOS 회로 내의 천이 횟수를 가급적 줄이도록 설계하는 것이 필요하다.

CMOS 회로 내에서 어느 소자의 출력단자에서 발생하는 동적 전력 소모는 식 (1)과 같이 표현될 수 있다.

$$P = 0.5 \times C_{부하} \times \left(\frac{V_{DD}}{T_{클럭}} \right) \times E(\text{천이}) \quad (1)$$

식 (1)에서 $C_{부하}$ 는 부하 정전 용량을 나타내며, $T_{클럭}$ 는 소자에 제공되는 클럭 주기를, V_{DD} 는 공급전압을, $E(\text{천이})$ 는 출력 단자에 나타나는 클럭당 천이 횟수의 기대치를 나타낸다.

본 논문에서는 회로 전체의 정확한 전력을 평가하는 작업보다 플립플롭의 이동에 따른 전력 변화량에 관심이 있으므로 식(1)에서 회로 구성의 변화와 무관한 파라미터인 공급전압과 클럭 주기를 배제하면, 식 (2)와 같이 정의되는 천이 정전 용량(Switched Capacitance)을 얻을 수 있다.

$$C_{sw} = E(\text{천이}) \times C_{부하} \quad (2)$$

천이 정전 용량은 하나의 CMOS소자에 대한 전력

소모를 알려주는 기준이 될 수 있으므로 이를 하나의 회로에 대한 식으로 확장하면 식 (3)과 같은 형태로 쓸 수 있으며, 본 논문에서는 이를 전력 소모 지수(PDI : Power Dissipation Index)라 정의하여 사용한다.

$$PDI = \sum_{V_i \text{ 모든 소자의 출력단}} C_{sw, i} \quad (3)$$

본 논문에서 전력 소모 지수를 실제 적용할 때는 편의상 0.01 ns의 시간 지연을 단위 시간으로 하고 1 fF의 정전 용량을 단위 정전 용량으로 표준화한 전력 소모지수(nPDI : Normalized PDI)를 사용하도록 한다. 전력 소모 지수를 이용한 두 회로간의 전력 비교는 두 회로가 한 클럭 동안에 소모하는 전력의 양에 비례하므로, 회로에서 소모되는 전력의 비교를 목적으로 하는 본 논문에서는 별다른 문제없이 사용 가능하다.

2.2 레지스터의 위치에 따른 소모 전력의 변화

회로내의 어느 단자에서 발생하는 천이는 회로에서 요구되는 동작을 수행하기 위하여 필요한 천이와 회로의 동작과 무관한 천이로 분류될 수 있다. 보통 글리치(glitch)라 부르는 후자의 천이에 의한 전력 소모는 일반적인 회로에서 전체 소비 전력의 약 20% 이상까지 차지하는 것으로 알려져 있는 바[1], 이것을 줄이는 것이 CMOS회로의 전력 소모를 현저하게 줄

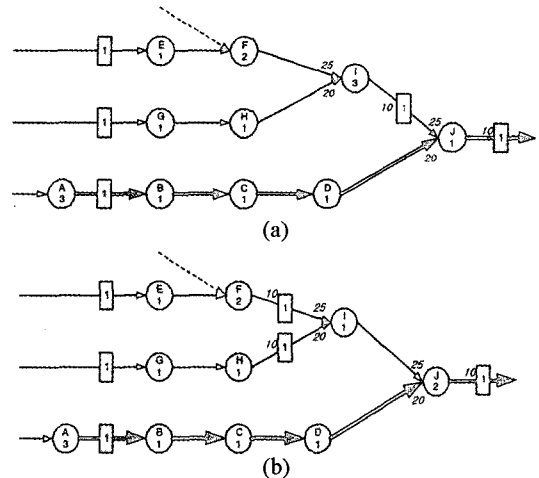


그림 1. 저전력 리타이밍. 간단한 회로내의 F, H, I, J 네 노드에서 평가된 동적 전력 소모(표준화된 전력소모 지수(nPDI)를 단위로 이용)는 리타이밍 이전(a)의 nPDI=135에서 리타이밍 이후(b) nPDI=110으로 감소한다

Fig. 1. Low power retiming. The dynamic power dissipation (in normalized power dissipation index(nPDI) at four nodes-F,H,I and J-in the simple circuit is 135 before retiming(a) and 110 after retiming(b)

이는 한 방법이 될 수 있다. 리타이밍으로 인한 레지스터 위치 이동이 신호 차단의 한 방법으로 사용될 수 있는 바, 본 논문에서는 이 레지스터 위치 이동을 이용하여 글리치를 줄이는 기법에 관심을 둔다. 그림 1은 간단한 회로에서 리타이밍에 의한 레지스터의 이동과 이로 인한 전력 소모의 변화를 나타낸 것이다. 그림 1에서 원으로 표시된 것은 회로상의 소자를 나타낸 것이며 화살표는 소자를 연결하는 연결선을, 회색의 네모 표시는 플립플롭을 나타낸 것이다. 소자 내부에 표시된 숫자는 천이 횟수의 기대치이며, 소자 입력 부분에 이텔릭체로 표기된 숫자는 입력 정전 용량이다. 그림에서 굵은 화살표로 표시된 경로가 임계 경로를 나타낸다. 원래 회로인 (a)에서 F, H, I, J로 표시된 소자들 사이에서 소모되는 전력량(nPDI)은 135인데 반하여, 임계 경로를 제외한 경로 상에서 리타이밍을 수행한 결과 회로인 (b)의 F, H, I, J로 표시된 소자들 사이에서 소모되는 전력량은 110이다. 따라서, 레지스터의 이동으로 인하여 (b)의 회로가 (a)의 회로보다 동적 전력 소모가 18.5% 가량 감소한 것을 관찰할 수 있다. 이와 같이 회로 내에서의 레지스터 이동에 따라 회로 전체의 소모 전력이 변화하는 속성은, 레지스터의 이동에 따라 클럭 주기가 변화되는 속성을 이용하는 리타이밍과 연계하여 고속, 저전력 회로를 얻어내는데 유용하게 이용될 수 있다.

3. 저전력 리타이밍 설계 기법

3.1 회로 모델

본 논문에서는 [2]에서 사용된 그래프 기반의 회로 모델을 사용하되, 제안된 알고리즘에 적용하기 위하여 변형을 가하였다. 본 논문에서는 회로를 가중 방향성 그래프(Weighted Direct Multigraph) $G = \langle V, E, w, E_s, C \rangle$ 의 형태로 모델화한다. 여기서, 노드(Node)의 집합 V 는 회로내의 소자들의 집합을 나타내며, 방향성 에지(Edge)의 집합 E 는 소자들을 연결하는 연결선을 나타낸다. 각각의 노드 $v \in V$ 는 소자 출력 단자에서 나타나는 지연 정보들의 집합인 $D(v)$ 를 지니고 있으며, 에지 연결 강도 w 는 소자간을 연결하는 연결선상의 레지스터 개수를 나타낸다. 또한 각 에지 $u \rightarrow v$ 는 $(ES(e), C(e))$ 정보를 지니고 있는데, $ES(e)$ 는 노드 u 에서 에지 e 로 전파되는 천이 횟수의 기대치를 나타내며, $C(e)$ 는 노드 v 가 e 와 연결된 입력 단자에서의 부하 정전 용량을 나타낸다.

3.2 리타이밍 기법

리타이밍 기법은 회로 변환 기법으로서 당초 회로

의 기능적인 특성을 유지하면서 가능한 최소의 클럭 주기를 찾아내는 회로 최적화 기법으로 제안되었다[2]. 이 리타이밍 변환은 요구되는 클럭 주기를 만족하지 않는 경로상의 플립플롭의 위치를 변경시킴으로서 클럭 주기가 바뀌는 특성을 이용하는데, 플립플롭의 위치 이동에 따라 공간이나 전력 소모량도 변화하므로 클럭 주기의 최적화 이외에도 공간의 최적화 및 전력소모를 최적화하기 위한 도구로서 사용되기도 한다[3,4].

본 논문에서 제안하는 설계 방법은 크게 두 가지 회로 변환 과정을 거치는데, 첫 번째 회로 변환 과정에서는 속도 향상을 위한 리타이밍 변환을 사용한다. 이때 원래의 알고리즘에 의하여 변형되는 회로들에 대하여 전력을 평가하여 최소 전력을 지니는 회로를 선택하도록 하였다. 플립플롭의 위치가 변화하여 발생하는 부하 정전 용량의 변화는 속도에도 영향을 주지만 본 논문에서는 저전력 설계에 관심을 두어 이를 무시하고, 부하 정전 용량의 변화가 속도에 영향을 주지 않는다는 가정하에 제안되어 있는 효율적인 ($O(|V||E||g|)$ time) 알고리즘[2]을 사용하였다. 두 번째 변환 과정에서는 유전자 알고리즘을 적용하였는데, 이는 전 단계에서 수행하는 속도 향상을 위한 리타이밍에 의하여 구하여진 임계 경로 지연 시간을 유지하면서 추가적으로 전력을 감소시키는 역할을 수행한다. 즉, 리타이밍 변환이 회로의 임계 경로 상에 위치하는 플립플롭의 위치만을 변화시키는 것을 보완하여, 임계 경로 이외의 경로 상에 위치하는 플립플롭의 위치를 변화시킴으로서 클럭 주기를 보존하면서 회로전체의

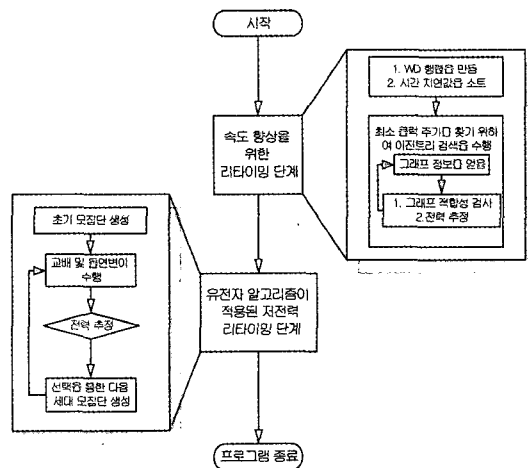


그림 2. 본 논문에서 제안된 저전력 리타이밍 설계도구의 동작 흐름도

Fig. 2. Processing flow of the proposed design method for low power retiming

전력을 줄일 수 있도록 한 것이다. 그림 2는 본 논문에서 제안된 설계방법의 수행과정을 도시한 것이다.

제 3.1절에서 설명한 회로 모델을 이용하여 표현하면, 본 논문의 리타이밍 변환은 예지와 연관성을 지니는 $w, E_s, C(e)$ 의 값을 $w_r, E_{sr}, C_r(e)$ 로 변화시키는데, 이때 각 노드의 리타이밍 요소 $r(v)$ 를 정하여, 예지 연결 강도 w_r 값을 $w_r(e) = w(e) + r(v) - r(u)$ 과 같이 변화시킴으로서 회로에 변형을 주게된다. 리타이밍 변환에 의하여 변형된 회로 $G_r = \langle V, E, w_r, E_{sr}, C_r \rangle$ 의 예지 정보 $E_{sr}(e), C_r(e)$ 값은 제 3.3절에서 기술하는 전력 추정 기법을 이용하여 얻어낸다.

3.3 설계에 사용된 전력 추정 기법

본 논문에서 제안하는 설계 기법에서는 회로 변환에 회로의 전력 소모를 평가하기 위하여 제 2.1절에서 기술된 표준화된 전력 소모 지수(nPDI)를 사용하였다. 전력 소모 지수의 산출을 위해서는 천이 횟수의 추정이 필요한데, 본 논문에서 사용되는 천이 횟수의 추정 방식은 회로상의 한 노드로 입력되는 경로들 중에서 일반 지연 모델 하에서 서로 다른 지연을 지니는 경로들의 수를 통하여 입력 단에서 가능한 천이의 횟수를 얻어내고, 각 경로의 천이 상태 확률을 소자의 입력 단에서의 상태 천이 확률로 이용하여 소자 출력 단의 상태 천이 확률을 계산한 후, 이를 이용하여 천이 전달 확률을 구하는 방식으로 이루어져 있다.

3.3.1 천이 전달 확률의 산출

디지털 논리 회로에서는 입력 값이 변화(즉, 천이하였을 경우)하였을 때, 변화된 입력 값을 게이트 논리 함수에 의하여 평가하여 이전 상태와 다른 논리 값을 지니는 경우 출력에서 천이가 발생하게 된다. 따라서 입력에서 발생하는 천이가 출력 단으로 전파될 확률은 논리 회로의 논리 함수를 평가하여 산출 가능하며 이를 천이 전달 확률이라 정의하도록 한다.

천이 전달 확률을 산출하기 위해서는 입력에서의 상태 변화에 대하여 관찰할 필요가 있는데, 임의의 단자 a 에서 시간 t 에서의 상태 s 가 시간 $t+1$ 에서의 상태 $s+1$ 로 변할 확률을 $P_{as(s+1)}$ 로 표현할 수 있으며 이를 천이 상태 확률이라 정의하도록 한다. 디지털 회로에서의 상태 s 는 0 또는 1이므로 각 단자는 4가지 천이 상태를 지니게 된다. 각 게이트의 논리 함수를 사용하면 입력 값에 대한 출력 값을 산출할 수 있고, 같은 방식으로 입력 값의 상태 변화에 따른 출력 값의 상태 변화도 알 수 있다. 따라서, 입력 상태 확률에 대하여 출력 상태 확률을 산출 할 수 있으며, 출력 단에 천이가 발생하는 경우를 천이 전달 확률로 볼 수 있다. 다음 식 (4)-(7)은 XOR 게이트에 대한

여 천이 상태 확률의 예를 보인 것이며, 이중에 (5),(6)식의 합이 천이 전달 확률이 된다.

$$P_{C_{00}} = Pa_{00}Pb_{00} + Pa_{01}Pb_{01} + Pa_{10}Pb_{10} + Pa_{11}Pb_{11} \quad (4)$$

$$P_{C_{01}} = Pa_{01}Pb_{00} + Pa_{00}Pb_{01} + Pa_{11}Pb_{10} + Pa_{10}Pb_{11} \quad (5)$$

$$P_{C_{10}} = Pa_{10}Pb_{00} + Pa_{11}Pb_{01} + Pa_{00}Pb_{10} + Pa_{01}Pb_{11} \quad (6)$$

$$P_{C_{11}} = Pa_{11}Pb_{00} + Pa_{10}Pb_{01} + Pa_{01}Pb_{10} + Pa_{00}Pb_{11} \quad (7)$$

하나의 소자에서 각 입력 단의 천이 상태 확률은 입력에 연결된 이전 소자의 출력 단에서의 천이 상태 확률과 같으며, 만일 초기 입력을 가지는 소자의 경우 입력 단의 천이 상태 확률은 독립적이며 0.25로 균등하게 분포되어 있다고 본다. 그림 3은 회로에서 천이 전달 확률을 구하는 예를 제시하고 있다. 그림 3에서 소자 입력의 천이 상태 확률이 균등하게 분포되어 있는 경우 소자의 출력 가능상태에서 0, 1의 분포만으로 소자의 천이 전달 확률을 구할 수 있으나(그림 3의 1,2,3번 소자의 경우), 입력의 천이 상태 확률이 균등하게 분포하지 않은 경우 소자의 천이 전달 확률은 위에서 제시한 것과 같은 방식으로 계산되어야 함을 의미한다. (그림 3의 4번 소자의 경우)

3.3.2 지연 모델을 이용한 천이 횟수의 추정

회로에서의 천이는 초기 입력의 변경에 의하여 발생하나, 회로내의 경로 및 소자의 지연차이로 인하여 추가적으로 천이가 발생하게 된다. 따라서, 회로에서 회로의 최초 입력에서 천이가 발생한 경우 회로내의 한 소자 입력 단에 도달하는 서로 다른 지연을 지닌

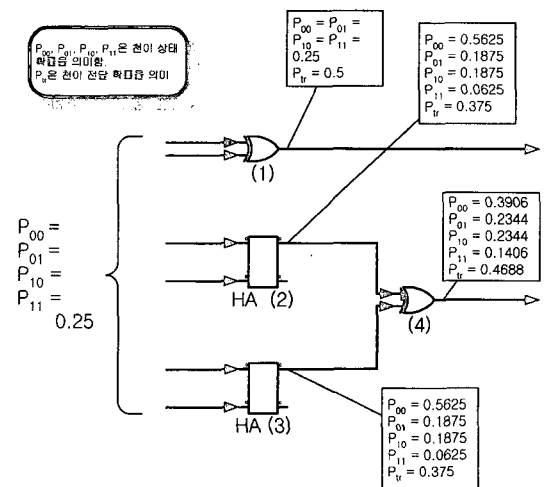


그림 3. 천이 상태 확률과 천이 전달 확률의 산출
Fig. 3. Calculating transition state probability and transition transfer probability

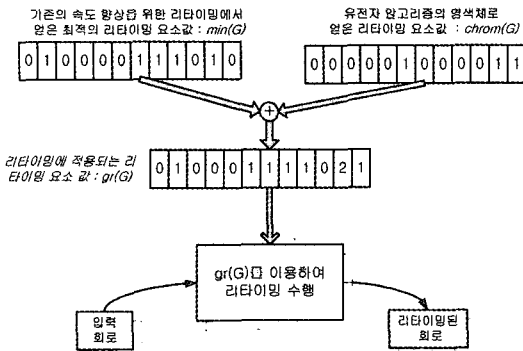


그림 4. 염색체의 정의와 리타이밍 변환에서의 사용
 Fig. 4. Definition of chromosomes and its usage in the retiming transform

경로의 수는 입력 단에서 발생 가능한 천이의 횟수와 같다고 할 수 있다. 제안된 설계 도구에서는 주어진 회로에 대하여 위상적 정렬(Topological Sort)을 수행한 후 정렬된 순서에 따라 각 노드의 입력 경로를 검색, 지연크기에 따라 리스트 작성해 나가는 방식으로 서로 다른 지연 값을 지니는 경로의 수를 구한다.

3.3.3 천이 횟수의 기대치와 전력 소모 지수의 계산
 소자 출력 단에서 천이 횟수의 기대치는 게이트의 천이 전달 확률과 입력에서의 천이 발생 기대치의 곱으로서 나타낼 수 있다. 따라서, 식 (2)의 천이 정전 용량을 다음 식(8)과 같이 다시 쓸 수 있다.

$$\begin{aligned}
 C_{sw} &= E(\text{출력에서의 천이}) \times C_{부하} \\
 &= (P_{\text{천이 전달}} \times E(\text{입력에서의 천이})) \times C_{부하} \\
 &= (P_{\text{천이 전달}} \times (\text{입력으로 들어오는 지연이 다른 경로의 수})) \times C_{부하} \quad (8)
 \end{aligned}$$

전체 회로에 대한 동적 전력을 평가하기 위해서는 위에서 구한 천이 정전 용량을 이용하여 제 2.1절에서 설명한 전력 소모 지수를 산출하여야 한다. 전력 소모 지수는 식 (3)과 같으며, 회로에 있는 모든 소자의 출력 단에서의 천이 정전 용량의 합을 나타낸다.

3.4 속도 향상을 위한 리타이밍 과정

본 논문에서 제안된 설계도구에서는 [2]에서 제안된 리타이밍 방식을 기반으로, 제 3.1절에서 설명된 각 노드의 포트 지연을 포함하는 회로 모델을 이용하여 최소 클럭 주기를 찾아내는 리타이밍을 구현하였다.

리타이밍 변환은 회로에서 가능한 최적 시간 지연 값을 얻을 때까지, 이진 트리 검색 방식(Binary Tree Search)을 이용하여 요구 시간 지연 값을 바꾸며 회로의 변환을 수행하는데, 이 과정에서 생성되는 회로들

중 최적 시간 지연을 지니는 회로는 하나 이상일 수 있으며, 두 회로간의 전력 소모가 다른 경우가 있을 수 있다. 그러나, 기존 리타이밍 방식에서는 탐색 과정 중 최후에 변형된 회로를 채택하는 방식을 취하게 되므로, 리타이밍 변환에 의하여 취할 수 있는 전력 소모가 더 적은 회로를 포기하는 경우가 발생 할 수 있다. 따라서, 본 논문에서 제안된 속도 향상을 위한 리타이밍 과정에서는 최소 클럭 주기를 지니는 회로가 하나 이상인 경우에 전력 소모가 가장 작은 회로를 최적화된 회로로서 선택하도록 하였다.

3.5 유전자 알고리즘이 적용된 저전력 리타이밍 설계 기법

본 논문에서는 회로의 조작을 위하여 사용된 염색체 $chrom(G)$ 는 각 노드의 리타이밍 요소 $r(v)$ 로 이루어진 이진 문자열로서 회로내의 노드의 수와 같은 크기를 지닌다. 염색체를 이용한 입력 회로의 변환은 다음 그림 4과 같은 과정을 거친다. 모집단으로부터 선택된 염색체 $chrom(G)$ 는 속도 향상을 위한 리타이밍 과정에서 얻은 $min(G)$ (입력 회로를 최소 클럭의 회로로 변환시키는 리타이밍 요소 값)와의 합을 통하여 $gr(G)$ 를 생성하고, 얻어진 값을 이용하여 식 (9)와 같은 리타이밍 변환을 수행하여 회로를 변형시키게 된다. 이러한 과정을 통하여 생성된 회로는 속도 향상을 위한 리타이밍 과정에서 얻은 최적 값의 속성(임계 경로 지연)을 크게 바꾸지 않으면서 플립플롭의 위치를 변경시키는 장점을 지니고 있다.

$$\begin{aligned}
 \text{염색체를 이용한 리타이밍} &= \text{retiming}(gr(G)) \\
 &= \text{retiming}(chrom(G) + min(G)) \quad (9)
 \end{aligned}$$

리타이밍 변환을 통하여 재구성된 회로는 염색체의 선택을 위하여 그 적합도가 평가되어야 하는데, 적합도의 평가는 회로의 전력 소모 지수를 통하여 수행하여 회로의 전력 소모 지수가 작게 나타날수록 높은 적합도를 지닌 것으로 평가하여 전체 모집단에 대하여 높은 적합도를 지닌 유전자들을 다음 세대의 모집단으로 선택하게 된다. 각 염색체는 리타이밍 요소값을 지닌 문자열로서 회로내의 플립플롭을 이동시키고, 새로 구성된 회로는 전력 평가 알고리즘을 이용하여 전력을 평가하고 전력 소모 지수로 표현한 후 모집단 선택방식에 있어서 n 세대의 모집단과 n 세대의 모집단으로부터 교배된 $n+1$ 세대의 자식 집단중에서 가장 작은 전력 소모지수를 지닌 염색체들을 선택하여 $n+1$ 세대의 모집단으로 지정하는 방식을 이용하였다.

저자들이 이는 한, 본 논문에서 제안하는 바와 같이 리타이밍 요소로 유전자를 구성하여 저전력 회로 설계에 유전자 알고리즘을 적용한 연구 결과는 아직 발표된 바 없다. 기존의 방법들은, 전체 노드에 대한 비용 함수를 산출하고 플립 플롭하나의 이동시 마다 비용함수를 재 계산하는 방법[3]을 취하여 실제 사용할 수 없을 정도로 계산량이 매우 크다는 문제점이나[1], 위상적 순서에 따라 각각 리타이밍을 수행 후 전력을 평가하는 방식[4]을 취하여 위상적 순서에 의한 지역적 최적화가 발생할 가능성이 크다는 등의 문제점을 갖는 바, 본 논문에서는 유전자 알고리즘을 적용하여 이러한 문제들을 효과적으로 해결하고자 하였다.

유전자 알고리즘에서 사용된 모집단의 크기는 플립플롭이 이동할 수 있는 위치의 수를 고려하여 선정하였는데, 일반적인 회로가 2차원 네트워크를 지니고 있고 회로에 따른 복잡도가 다르므로 $N \times \sqrt{\text{회로 소자의 갯수}}$ 로 결정하고, N 은 회로의 복잡도에 따라 조정 가능하도록 하였다. 또한 염색체를 조작하고 다음 세대의 모집단을 결정하는 유전자 연산자로는 선택, 교배, 돌연 변이 연산자를 사용하였다. 교배 연산자는 본 논문에서 사용되는 유전자 알고리즘의 주된 연산자로서 모집단에서 임의로 선택된 두 개의 염색체를 임의의 위치에서 교배하는 방식을 취한다. 돌연변이 연산은 임의의 위치의 염색체 값을 반전시키는 돌연 변이를 일으키는 방식을 취하였다. 돌연 변이의 발생 확률은 회로에서의 수렴 속도를 고려하여 0.005%로 정하였다.

4. 실험결과 및 고찰

4.1 실험 방법

제안된 설계 방법을 평가하기 위하여 설계도구를 C++로 작성하였다. 제작된 저전력 리타이밍 설계 도구는 제 3절에서 설명된 바와 같이 속도를 위한 리타이밍을 수행한 후, 유전자 알고리즘을 이용한 전력 최적화를 수행하며, 시뮬레이션과정에서 각각의 단계에 따른 임계 경로 지연 정보와 회로 정보 및 전력 변화 등을 출력한다.

제작된 저전력 리타이밍 설계 도구를, XOR비교 블록과 덧셈기의 트리 구조로 이루어진 여러 가지 크기와 형태의 영상 상관기(Image Correlator)[8]의 설계에 적용시켜 보았다. 실험에서 사용된 영상 상관기는 덧셈기의 트리 구조에 따라, 덧셈기 트리 구조가 균형있게 구성되어 각 경로에 따른 지연차가 적도록 구성된 회로(형태 I)와, 덧셈의 각 단계를 캐리 전파 덧셈기(Carry Propagation Adder)의 구조로 구성하여 시간

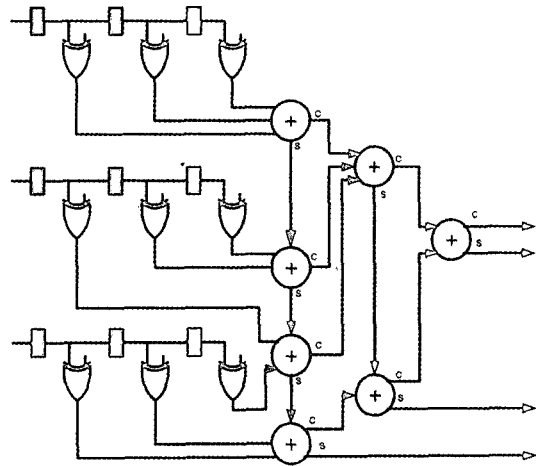


그림 5. 영상 상관기의 예 : 3×3 크기의 영상 상관기 회로 (형태 II)

Fig. 5. An image correlator of size 3×3 (Type II)

표 1. 실험에 사용된 파라미터-입력 정전 용량(단위 fF), 출력 지연 (단위 0.01 ns)

Table 1. Parameters used in the experiment-Input capacitance (scale fF), Output delay (scale 0.01 ns)

소자	입력 단자	입력정전 용량 (fF)	출력 단자	출력 지연
XOR	A input	45	Y output	77
	B input	45		
HA	A input	73	Carry output	37
	B input	73	Sum output	77
FA	A input	59	Carry output	50
	B input	53	Sum output	132
	C input	74		
FF	D input	22	FF out	0

지연이 크도록 구성된 회로(형태 II) 및 덧셈기 트리에서 캐리와 덧셈 결과의 지연차를 고려하여 가장 빨리 결과가 도달하도록 구성된 회로(형태 III)의 세 가지 형태로 구분하였다. 그림 5는 실험에 사용된 간단한 3×3 영상 상관기 회로(형태 3×3 II)를 나타낸 것이다. 실험에서 사용된 파라미터 값으로는 0.6 μm 공정의 CMOS 셀 라이브러리(Cell Based Library) [9,10]의 값을 이용하였으며 그 값은 표 1과 같다.

저전력 리타이밍 설계 도구에 의하여 재구성된 회로에 대하여, 많이 사용되는 설계 도구인 Synopsys사의 설계 도구를 사용하여 성능 평가를 수행하였다. 전반적인 실험의 과정은 그림 6에서 도시한 바와 같이 저전력 리타이밍 설계 도구에 입력으로 사용되는 회

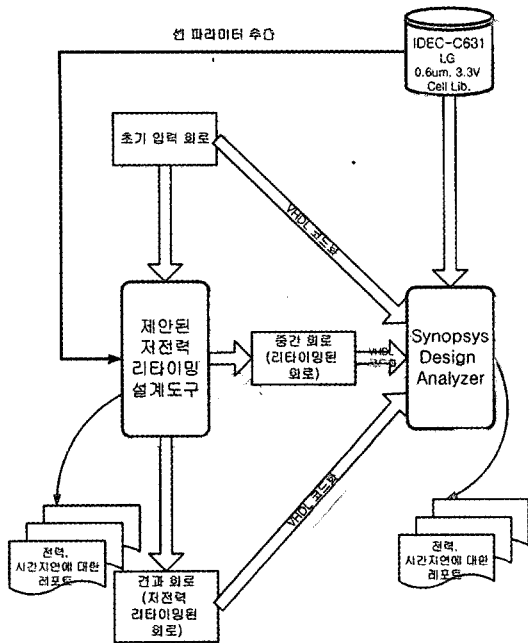


그림 6. 저전력 리타이밍 설계 도구에 의하여 변형된 회로의 Synopsys Design Analyzer를 이용한 검증
 Fig. 6. Verification of the transformed circuit using Synopsys Design Analyzer

로와 속도 향상을 위한 리타이밍 과정을 거친 중간 단계의 회로 및 모든 과정을 거친 최종 회로를 VHDL 코드로 작성하고, Synopsys사의 Design Analyzer를 이용하여 합성한 후에 합성된 회로에 대한 시간과 전력 소모에 관한 정보를 얻어내는 방식을 사용하였다.

4.2 실험 결과

표 2는 여러 가지 입력 회로를 제안된 저전력 설계 도구를 통하여 재구성하고, 재구성된 회로의 임계 경로 지연과 전력 소모량을 설계 도구 자체의 평가 방

식과 Synopsys사의 Design Analyzer를 이용하여 평가한 결과를 나타낸 것이다.

실험에 있어서 유전자 알고리즘에서 사용하는 모집단의 크기를 결정하는 파라미터인 N 의 값을 $N=32$, $N=64$ 로 변경시키면서 실험을 수행하였으나 별다른 차이가 관찰되지 않았다. 또한, 유전자 알고리즘의 적용 결과 그림 7에 나타난 바와 같이 빠르게 최적 값으로 수렴하는 것으로 관찰되었다. 실험에서 크기가 작은 회로나 임계 경로가 명확하지 않은 회로의 경우에는 빠른 최적 값 수렴의 경향을 보이며, 회로가 충분히 크고 임계 경로가 비교적 명확한 회로의 경우에는 비교적 느리게 최적 값으로 수렴하는 경향을 보이는데, 이는 플립플롭이 이동할 수 있는 위치가 크기 요소나 임계 경로 요소와 연관성을 가지기 때문으로 분석된다.

본 논문에서 제안한 설계 도구를 이용하여 재구성된 회로는 임계 경로 지연이 자체 평가 방식에 의하면 입력 회로에 비하여 약 38.6%~49.8% 가량 감소된 결과를 보여주며, Synopsys의 도구로 평가한 결과는 약 29.7~49.6% 가량 감소한 결과를 보여준다. 즉, 제안된 저전력 리타이밍 설계 도구를 통하여 회로의 동작 클럭 주파수를 약 1.4~2배까지 상승시킬 수 있을 것으로 관찰되었다.

또한 제안된 설계 도구에 의하여 재구성된 회로는 초기의 회로보다 전력 성능이 향상된 결과를 보여주며, 대체적으로 형태 I의 입력회로에 비하여 형태 II와 III의 경우 전력 성능의 향상 정도가 큰 것을 볼 수 있는데 이는 전력 감소 가능성이 플립 플롭의 이동 가능성과 연관성을 지니기 때문인 것으로 생각할 수 있다. 설계 도구에 의하여 재구성된 회로는 전력 성능 면에서 자체 평가 방식을 이용하여 입력 회로와의 전력 성능 향상을 비교하였을 경우 약 14~57.2%의 동적 전력 성능 향상을 보이며, Synopsys사의 도구를 이용한 전력 성능 평가의 경우에는 1.4~18.4%

표 2. 저전력 설계 도구 및 Synopsys 설계 도구에 의한 회로 평가
 Table 2. Evaluation of circuits using low power retiming tool and Synopsys Design Analyzer

저전력 리타이밍 설계 도구				Synopsys 설계 도구				
임계 경로지연 (unit)		전력 평가 (mPDI)		임계 경로지연 (ns)		전력 평가 (mW)		
원 회로	결과 회로	원 회로	결과 회로	원 회로	결과 회로	원 회로	결과 회로	
3×3 II	505	296	938.313	806.438	7.14	5.02	18.422	17.507
4×4 I	650	391	1793.512	1550.125	10.83	7.25	31.676	29.275
4×4 II	1215	610	5003.375	2404.888	15.85	8.94	30.153	29.332
4×4 III	555	341	2261.577	1787.242	9.26	5.73	33.677	33.217
8×8 I	919	528	11099.085	7089.039	14.04	8.88	133.815	109.153
8×8 II	4483	2294	81837.864	35053.502	54.9	27.69	110.129	89.900

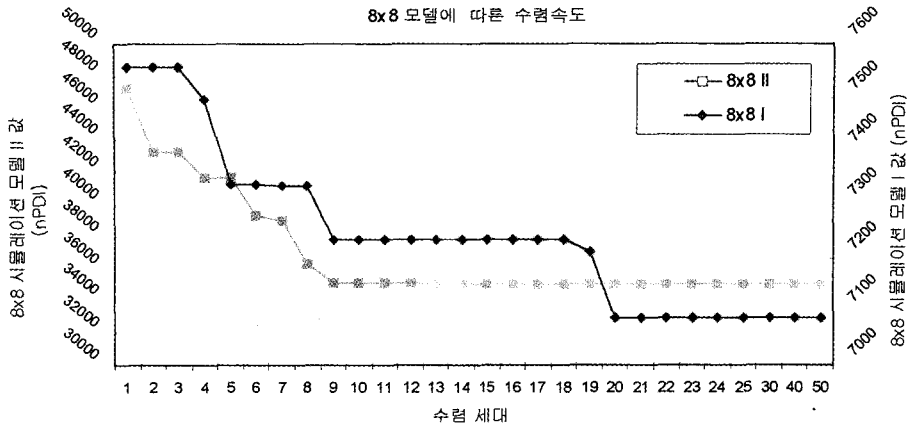


그림 7. 형태 I과 형태 II 영상 상관기 회로(8×8)에 대한 수렴 속도 비교
 Fig. 7. Comparison of convergence between type I and type II of the image correlators (8×8)

가량의 동적 전력 성능 향상을 보인다. 결과에서 설계 도구 자체의 평가 방식을 이용하는 경우 전력 성능의 향상이 Synopsys사의 도구를 이용하였을 때와 비교하여 과평가된 경향을 볼 수 있는데, 이는 제안된 설계 도구의 경우 도구의 목적에 적합하게 플립플롭의 이동에 의한 전력 변화에 많은 가중치를 두고 다른 파라미터에 대해서는 그 영향을 배제하는 모델을 채택한 반면 Synopsys사의 도구는 현실에 가까운 모델을 채택하였기 때문에 두 평가 도구의 모델 차이에 의하여 차이가 발생한 것으로 분석된다.

5. 결 론

본 논문에서는 회로상의 플립플롭 위치를 변경시키는 리타이밍 변환을 이용하여, 회로의 클럭 주기를 최소화하고 전력 소모를 줄일 수 있음을 보이고, 최적화 방법으로 유전자 알고리즘이 적용된 저전력 리타이밍 알고리즘을 제안하였다. 본 논문에서는 회로의 리타이밍 요소를 이용하는 유전자 구성 방법을 제안하고, 이를 이용하여 유전자 알고리즘을 저전력 회로 설계 문제에 효과적으로 적용할 수 있음을 보였다. 제안된 알고리즘은 구조적 설계 단계에서의 저전력 설계 방법으로서 다른 설계 단계에서의 저전력 설계 방법에 부가적으로 사용할 수 있다. 또한 이전에 제안된 구조적 설계 단계에서의 저전력 설계 기법들이 전력 소모를 줄이는 방법에 주된 관심을 두었으나, 본 논문에서 제안된 기법은 속도와 전력 소모를 동시에 고려하였으며, 유전자 알고리즘을 사용하여 전력 소모량이 최적에 가까운 회로 구조를 빠르게 찾는 특성을 지닌다. 본 논문에서는 저전력 설계에 주관심을 두어, 정전 용

량의 변화가 가져오는 동작 속도의 변화를 무시하였으나, 이 속도에의 영향도 본 논문에서 제안하는 유전자 알고리즘에 직접 적용할 수 있다.

제안된 알고리즘을 기반으로 구현된 설계 도구를 이용하여 여러 형태의 영상 상관기 회로에 대하여 회로 변환을 수행하고, Synopsys사의 Design Analyzer를 이용하여 입력 회로 및 변환된 회로에 대하여 시뮬레이션을 수행한 결과, 입력 회로에 비하여 임계 경로 지연은 약 30~50% 가량 감소하였으며, 동적 전력 소모는 약 1.4~18.4% 가량 감소함을 관찰하였다. 따라서, 본 논문에서 제안된 설계 기법은 회로의 속도를 효과적으로 향상시키면서, 전력 소모를 줄일 수 있는 방법으로서, MPEG 부호화기 및 기타 디지털 정보 통신 기기 등과 같이 고속·저전력이 요구되는 실시간 영상 처리 분야 및 휴대용 통신기기 분야에서 효과적으로 이용될 수 있을 것이다.

본 논문에서는 노드의 개수가 200개 이내인 비교적 작은 회로를 사용하여 제안된 설계 기법의 유용성을 실험하였다. 회로의 크기가 커지게 되면 수렴에 필요한 세대의 수가 급격히 커질 수 있으므로 이에 대한 연구가 필요하다. 특히, 회로의 변화에 따른 전력 변화를 더욱 잘 반영할 수 있는 유전자 모델과 유전자 연산자를 개발하여 보다 효율적이고 정확하게 회로를 변환하는 방안에 대한 연구가 필요할 것이다.

감사의 글

이 논문은 1999년 학술진흥재단의 학술연구비 지원과 COSAR의 부분적인 지원 및 IDEC의 설계 도구 지원에 의하여 연구되었습니다.

참고문헌

[1] M. Pedram, "Power Minimization in IC Design: Principles and Application," *ACM Trans. on Design Automation of Electronic System*, Vol. 1, No. 1, pp. 3-56, 1996.

[2] C. E. Leiserson and J. B. Saxe, "Retiming Synchronous Circuitry," *Algorithmica*, Vol. 6, pp. 5-35, 1991.

[3] J. Monteiro, S. Devadas and A. Ghosh, "Retiming Sequential Circuits for Low Power," *In Proc. of ICCAD'93*, pp. 398-402, 1993.

[4] U. Narayanan, P. Pan and C. L. Liu, "Low Power Logic Synthesis under a General Delay Model," *In Proc. of ISLPED'98*, pp. 209-214, 1998.

[5] S. H. Gerez, *Algorithms for VLSI Design Automation*, John Wiley & sons, Chichester, pp.75-78, 1998.

[6] B. P. Buckles and F. E. Petry, *Genetic Algorithms*, IEEE C.S. Press, Los Alamitos, 1992.

[7] L. Chambers, *Practical Handbook of Genetic Algorithms*, Volume I, CRC Press, Florida, 1995.

[8] Y-K Ko, H-G Kim, J-W Lee, H-C Oh and S-J Ko, "New Motion Estimation Algorithm Based on Bit-plane Matching and It's VLSI Implementation," *In Proc. of IEEE TENCON'99*, Vol. 2, pp. 848-851, 1999.

[9] 반도체 설계 교육 센터 라이브러리 개발팀, *IDEC-C631 IDEC Cell Library Data Book -0.6 um*,

3.3V Cell Based Library, 홍릉과학 출판사, 서울, 1998.

[10] LG Semicon, *0.6um Cell Based Library*, Vol. 4, LG Semicon Co., Seoul, 1995.



김 현 규 (Hyun-Gyu Kim)

1998년 : 고려대학교 전자 및 정보공학부(공학사)
 2000년 : 고려대학교 전자·정보공학과(공학석사)
 현재 : 고려대학교 전자·정보공학과 박사과정



오 형 철 (Hyeong-Cheol Oh)

1982년 : 서울대학교 전자공학과(공학사)
 1984년 : 한국과학기술원 전기 및 전자공학과(공학석사)
 1984년~1987년 : 금성 반도체 연구소
 1993년 : Univ. of Maryland at College Park 전기공학(공학박사)
 현재 : 고려대학교 전자 및 정보공학부 부교수