

3상 다이오드정류기의 고조파 저감을 위한 CPLD 컨트롤러의 개발

(The Development of CPLD Controller for Reducing Harmonics of 3 Phase Diode Rectifier)

김병진* · 박종찬** · 손진근*** · 임병국**** · 전희종*****

(Beung-Jin Kim · Jong-Chan Park · Jin-Geun Shon · Byung-Kuk Lim · Hee-Jong Jeon)

요 약

본 연구에서는 VHDL로 설계한 CPLD 제어기를 이용하여 3상 다이오드 정류기 입력전류에 포함된 고조파성분을 저감시켰다. 3상 다이오드는 매 순간 3상중에서 가장 높은 상에서 가장 낮은 상으로 전류가 흐르게 되므로 나머지 한 상의 전류가 불연속적이 된다. 개발된 CPLD 제어기는 다이오드로 도통되지 않는 상의 전류를 부가적으로 설치한 스위치를 통하여 흐르게 하여 전류가 연속으로 도통되게 한다. CPLD 제어기는 기존의 디지털 프로세서를 이용한 제어기에 비해 고속의 처리능력과 소형화의 장점 등을 가짐을 확인하였다. 시뮬레이션과 실험결과로 제안된 제어기의 성능을 검증하였다.

Abstract

In this paper, CPLD(Complex Programmable Logic Device) controller designed with VHDL is developed. With the controller, the harmonics from 3 phase diode rectifier are suppressed and power factor is also improved. The input current of diode rectifier is drawn from the ac mains only during the period in the ac cycle when the instantaneous voltage is greater than the voltage across the dc-link capacitor. the three bidirectional switches rated at very small power are installed in a conventional three phase diode rectifier. Using CPLD controller, an idle current charges to capacitors continuously. Results of simulation and experimental demonstrate a reduction of harmonics, a improvement of power factor and THD.

Keyword : Diode rectifier, Power Factor Improvement, CPLD, VHDL

*정회원 : 숭실대학교 대학원 전기공학과 박사과정
**정회원 : 오산대학 전기공학과 교수
***정회원 : 경원대학 전기공학과 조교수

****정회원 : 충주대학교 제어계측공학과 교수
*****정회원 : 숭실대학교 공과대학 전기공학과 교수
접수일자 : 2000년 2월 28일

1. 서 론

최근 전력전자를 비롯한 산업계 다양한 분야에서 응용목적에 맞는 전용칩의 개발이 이루어지고 있다. 특히 개발환경이 편리하고 개발기간이 짧은 CPLD나 FPGA에 관한 관심이 높아가고 있다. 칩셋의 집적도의 증가와 처리속도의 증가 그리고 적은 소모전력의 장점들은 사용자의 목적에 맞는 칩셋의 개발을 가속화 하였다. 특히 고속의 처리가 필요한 전력전자 분야에서 기존 마이크로 프로세서의 복잡한 구조에서 발생하는 비효율성을 벗어나기 위한 대안으로 생각된다.

전용 칩의 개발에 사용되는 소자들을 다음과 같다. 먼저 설계자가 로직 셀과 회로등의 대부분 과정을 설계하는 full-custom IC 제작 방식은 마이크로 프로세서와 같이 독자적인 기능이나 속도를 얻고자 할 경우에 적용된다. 표준 셀 기반 ASIC (standard-cell-based ASIC) 방식은 논리 게이트나 가산기와 같이 미리 정해진 표준 셀을 이용하여 설계한다. 한편 CPLD(Complex Programmable Logic Device)는 PLD(Programmable Logic Device) 보다 큰 용량의 복잡한 구조를 갖는 형태로서 프로그램이 가능한 로직 블록들과 그들을 연결하는 프로그램 가능한 버스들로 구성되어있다. 본 연구에서는 구현이 용이하고 제작기간이 짧은 CPLD를 이용하였다. 또한 VHDL(Very high speed IC Hardware Description Language)를 이용하여 필요한 기능을 설계하였다.

본 연구에서 제안된 CPLD 제어기는 3상 다이오드 정류기의 입력 역률 개선과 고조파를 저감시키는 역할을 한다. 3상 다이오드 정류기의 입력전류의 불연속성으로 고조파의 발생 및 역률저하가 발생된다. 이러한 문제를 해결하기 위해 기존의 3상 브리지 다이오드 정류기에 간단하게 3개의 양방향성 스위치와 CPLD를 이용한 제어기를 설치하여 도통되지 않는 상의 전류가 이 스위치를 통해서 연속적으로 흐를 수 있게 하였다. 따라서 전류가 연속적으로 흐르게되어 입력전류의 전 고조파왜곡률(THD)과 역률(power factor)의 개선을 가져왔다.

2. CPLD 제어기의 개발

2.1 VHDL을 이용한 전용 칩의 개발

전용 칩의 개발방법은 VHDL과 같은 언어를 이용

하는 방법과 스케메틱(schematic)적인 방법이 있다. 구현하려는 회로를 CAD상에서 그려서 표현하는 스케메틱적인 방법은 복잡한 구조의 칩의 설계에서는 비효율적이다. 따라서 VHDL나 Verilog 같은 디지털 시스템의 구조와 동작을 기술하는 언어를 이용하는 방법이 주목받고있다. 특히 VHDL은 개발 기간단축, 호환성 증가 및 효율적인 데이터 관리가 가능하므로 전용 칩 개발에 많이 사용되고 있다[4].

VHDL은 시스템 레벨에서 게이트 레벨까지 다양한 하드웨어 회로 구현이 가능하다. 따라서 전체 시스템의 동작에 대한 고수준의 표현과 그것에 부속되는 서브 시스템의 구성에 이르기까지 회로 표현이 가능하다. 그 결과 VHDL의 사용자는 개개 구성에서부터 여러 가지 모델을 적용시켜 점진하게 하여 그 시스템에 가장 적합한 구성요소를 선택할 수 있다. 또한 VHDL 사용자는 시스템의 한 구성요소를 변경하거나, 타 업체에서 이용되고 있는 구성요소를 교환하거나 혹은 기존의 것을 제 사용할 수가 있다. 그리고 전체 시스템의 설계과정과 상관없이 먼저 개발된 서브시스템 레벨을 시뮬레이션하고 검증하는 등 설계과정의 병행 수행을 할 수도 있다[5].

VHDL으로 설계된 프로그램은 합성(synthesis)과정을 통해 자동적으로 전기, 전자 소자로 구성된 회로로 바뀌게 된다. 그러나 이 과정에서 합성기는 설계자의 의도와는 다른 형태로 프로그램을 합성할 수 있다. 또한 부적절한 표현이나 모호한 표현은 비효율적이며 부정확한 합성 결과를 초래하므로 설계자의 경험과 주의가 필요하다. 즉, VHDL은 논리 회로 합성을 위한 언어이기 때문에 설계자는 VHDL 프로그램 단계에서 기본적인 논리구조가 어떤 모양을 가질 것인지를 알고 있어야만 한다. 즉, 가장 성공적인 합성 설계 방식은 자신이 원하는 것을 스스로 알아서 해주는 논리 회로 합성기를 찾는 것보다는 자신이 원하는 것을 합성해 낼 수 있도록 VHDL로 코드화 하는 것이다. VHDL을 이용한 성공적인 설계작업을 적용하기 위해서는 해박한 공학적 지식과 풍부한 회로 설계 경험을 효과적으로 결합시켜 사용하는 것이 필요하다.

2.2 VHDL을 이용한 CPLD 제어기의 설계

VHDL을 이용한 3상 다이오드 정류기의 고조파 저감을 위한 CPLD 제어기의 개발과정은 다음과 같다. 물론 VHDL이외에 다른 언어로 전용 칩셋을 개발할

때에도 이와 유사한 과정을 거친다.

첫 번째 구현될 칩의 사양을 정의하고 정의된 사양을 근거로 칩의 입, 출력을 정한다. 개발된 제어기는 전압센서에서 측정된 3상의 전압의 제로 크로싱 신호들과 전류센서로 측정된 입력전류를 입력받고 PWM 게이팅 신호를 출력한다. 전류센서로 측정된 입력전류의 크기로 인가된 부하의 크기를 예측할 수 있다. 전압센서로 측정된 파형들로 PWM 게이팅 신호를 인가할 상을 결정한다. 역률 개선 그리고 고조파 저감 알고리즘에 맞추어 제어기는 게이팅 신호를 출력한다.

두 번째 단계에서는 정의된 칩의 기능을 VHDL을 통하여 설계한다. 그림 1과 같이 제어기는 몇 개의 블록으로 구성된다. 각 블록은 VHDL로 구현되었고 가장 상위 레벨만이 스케메틱적인 방법으로 설계되었다. 이러한 블록개념의 개발은 회로의 수정을 용이하게 하며 동시에 여러 블록의 개발이 가능하여 개발기간을 단축할 수 있다는 장점을 갖는다. 제안된 제어기 블록과 같이 제어기는 3상 전압의 제로 크로싱 값을 입력받아 부하상황에 맞는 적절한 PWM을 발생한다.

세 번째 단계에서는 합성기로 VHDL로 설계된 프로그램을 합성하고 시뮬레이션을 통하여 검증한다. 각 블록에 대한 시뮬레이션 검증과정을 거쳐 전체 시스템의 시뮬레이션을 수행한다. 이 과정을 통해서 합성된 각 블록이 설계자의 의도에 맞는 동작을 하는지 검증된다.

네 번째 단계에서는 기능이 확인된 결과물을 다운로드 할 칩에 맞추어 Mapping, Placing 그리고 Routing 과정을 수행하고 다시 시뮬레이션을 수행한다. 다운로드 할 칩에 설계된 회로의 소자들이 올바르게 자리잡고있는지 소자간 결선이 올바른지 등을 다시 시뮬레이션을 통하여 검증한다. 그림 2는 다이오드 정류기에 전부하가 인가된 경우에 게이팅 신호의 출력을 나타낸다. 3상 전압의 제로 크로싱 값을 받아들이 상승구간에서 스위칭을 발생시킴을 알 수 있다. 이와 같이 시뮬레이션 과정에서 외부입력 조건을 임의로 작성하고 그에 따른 결과를 확인할 수 있다.

마지막으로 앞선 과정의 결과물을 전용 칩에 다운로드하고 칩셋의 동작을 확인한다. 본 연구에서 개발된 제어기는 입력신호의 빠른 응답특성이 요구되어 구조를 간략화 하였다. 따라서 5,000 게이트를 수용할 수 있는 용량의 칩셋을 선택하여 제어기를 구현하였다.

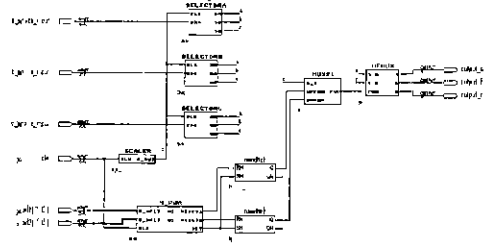


그림 1. 제안된 CPLD 제어기의 논리 블록
Fig. 1. Logic block of the proposed CPLD controller

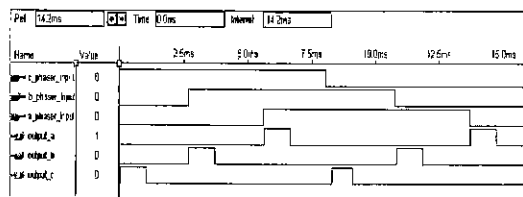


그림 2. 제안된 CPLD제어기의 시뮬레이션
Fig. 2. Simulation of the proposed CPLD controller

3. CPLD제어기를 이용한 다이오드 정류기 제어

본 연구에서 제안된 시스템의 전체 구성은 그림 3과 같다. 일반적인 다이오드 정류기에 비해서 스위칭 소자와 제어회로가 부가되었고 2개의 콘덴서를 갖는 것이 차이점이다[1].

일반적인 다이오드 정류기에서 입력전류는 매 순간 3상중에서 가장 높은 상에서 가장 낮은 상으로 흐르게 되므로 나머지 한 상의 전류가 불연속적으로 흐르게 된다. 이때 다이오드로 도통되지 않는 상의 전류는 부가한 스위치 중에서 한곳을 통하여 흐르게 되어 전류의 연속성을 얻을 수 있다. 각 상의 스위치는 상전압이 영점을 지난 전/후 30° 동안 PWM동작을 한다. 이 두 구간을 각각 최대나 최소 지점을 함해서 증가하는 30° 동안을 증가구간이라고 하고, 반대로 최대나 최소점에서 하강하는 30° 동안을 감소구간이라고 하였다. 컨버터는 평활용 콘덴서를 가지므로 전류가 전압에 대해서 지상인 경우가 많습니다. 지상인 전류에 대해 상승 구간에서는 듀티비를 높여 전류를 증가하여 역률개선의 효과를 얻을 수 있고 하강구간에서는 전류의 흐름을 줄여 전압과 유사한 위상을 갖게하는

효과를 얻었다. 그림 4는 증가와 감소 구간에서의 인가된 PWM 파형을 보여주고 있다.

CPLD 제어기는 전압을 측정하여 매 순간 다이오드로 도통되지 않는 상에 부가된 스위치에 최소의 THD를 갖게하는 PWM파형을 인가한다. 부하변동에도 작은 THD를 갖는 듀티비를 시뮬레이션을 반복하여 상승구간과 하강구간에서 구하였다. 부하를 변동시키면서 THD가 가장 작은 값들을 갖는 부하변동에 대한 듀티비 곡선을 구할 수 었다. 프로세서의 계산량을 줄이기 위해서 이 곡선을 직선으로 근사화하여 적용하였다. CPLD 제어기의 동작에 따라서 제안된 스위치의 동작은 6개의 모드를 반복하며 동작한다.

그림 5은 제안된 제어기의 동작으로 개선된 입력전류 파형을 보여주고 있다. 전압과 거의 동상이며 정현적인 파형을 갖고 있으므로 일반 다이오드 정류기의 전류에 비해 역률개선 및 고조파 저감이 이루어진 것을 확인할 수 있다. 또한 일반 PWM 컨버터에 비해 스위칭 소자의 사용을 반으로 줄일 수 있고 낮은 전류와 전압정격을 갖는 소자의 사용이 가능하다

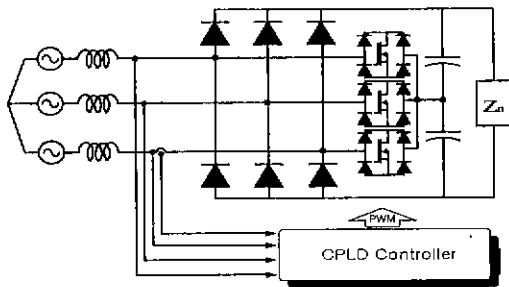


그림 3. 전체 시스템의 구성
Fig. 3. Overall system configuration

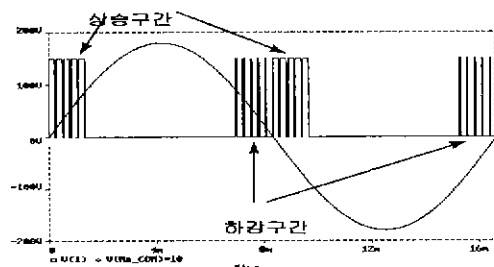


그림 4. 전압 파형과 PWM
Fig. 4. Voltage waveform and PWM

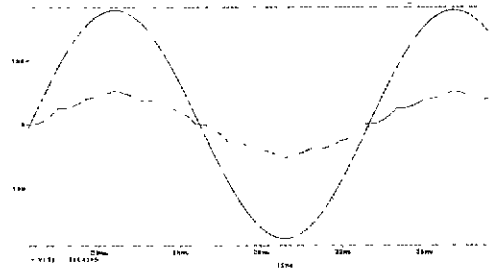


그림 5. 전압과 개선된 전류파형
Fig. 5. Waveforms of voltage and improved current

4. 실험 및 고찰

본 연구에는 다이오드 정류기의 입력 파형 개선을 위한 입력단 필터는 12[mH]를 사용하였고 직류 링크단의 평활용 콘덴서는 600[μF]로 사용한다. 전압 센서로 측정된 전압 파형은 비교기를 거쳐 디지털 값으로 제어기에 입력된다. 전류 센서로부터 측정된 전류를 A/D변환기를 거쳐 제어기에 입력된다.

부가된 스위치는 입력 측에서 부하 측으로 다시 부하 측에서 입력 측으로 전류가 흐를 수 있는 양방향 스위치이다. 본 연구에서는 단방향 소자인 MOSFET(IRFP450)와 다이오드를 이용하여 전류가 양방향으로 도통될 수 있게 구성하였다. 이때 사용된 다이오드는 패스트 리커버리 다이오드(FR607)이며 스너버 회로를 부착하여 급작스러운 전압의 변화에 의한 스위칭 스트레스를 저감시켰다. 만약 두 상의 스위치가 동시에 투입되면 단락회로가 형성되므로 스위치가 파괴된다. 따라서 각 상의 스위칭 동작은 서로 배타적으로 연동되어야 한다. 본 연구에서는 소프트웨어 그리고 하드웨어적으로 연동을 시켜서 매 순간 한 상의 스위치에서만 동작하도록 설계하였다.

그림 6은 일반적인 3상 브리지 다이오드 정류기의 상전압과 입력전류 파형이다. 직류링크단에 콘덴서의 영향으로 전류에 고조파 성분이 많이 포함되어 있다. 물론 평활용 콘덴서를 제거하면 입력전류의 THD는 개선되나 출력측의 직류전류에 리플이 크게 포함되게 된다. 영점을 기준으로 30° 구간에서 전류가 흐르지 않는 것을 볼 수 있다

그림 7은 일반적인 3상 브리지 다이오드 정류기에 전류 개선을 위해 입력단 필터를 부착했을 경우의 전압과 전류의 파형이다. 필터가 없었던 경우에 비해 인

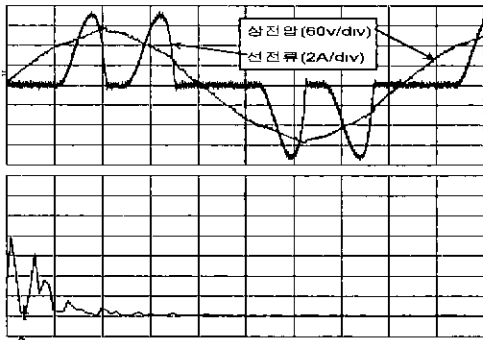


그림 6. 일반적인 다이오드 정류기 파형
Fig. 6. Waveforms of the typical diode rectifier (2ms/div, 0.5kHz/div)

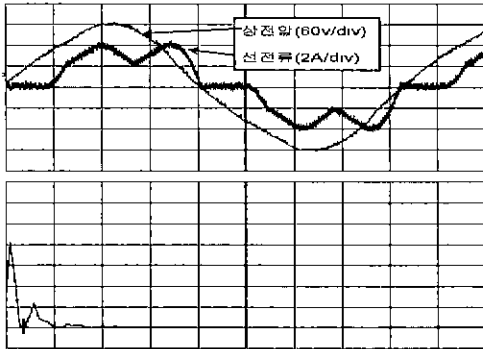


그림 7. 입력필터를 갖는 다이오드 정류기 파형
Fig. 7. Waveforms of the diode rectifier with input filter (2ms/div, 0.2kHz/div)

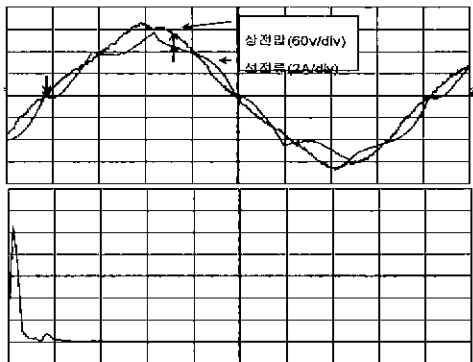


그림 8. 제안된 다이오드 정류기의 파형
Fig. 8. Waveforms of the proposed diode rectifier (2ms/div, 0.5kHz/div)

력전류의 파형은 개선되었지만 영점을 기준으로 30° 구간에서 역시 불연속적인 모습을 보여주고 있다.

그림 8는 제안된 방식의 정류기 입력전류와 상전압의 모습을 보여 주고 있다. 전류가 연속적으로 흐르며 역률 또한 개선된 모습을 보여 주고 있다. 입력전류의 5차 고조파 성분이 제안된 방법의 전류파형 분석결과 기본파의 3.6% 정도로 줄었고, 7차 고조파 역시 기본파의 1.9%로 줄어들었다. 따라서 전류 THD가 9.7%로 줄어들고 역률이 0.97으로 개선되었다.

5. 결론

ASIC기술의 급진적인 발전과 더불어 장차 사용자의 용도에 맞는 칩셋의 개발이 활발히 이루어질 것으로 예상된다. 또한 다양한 기능의 라이브러리를 제공하는 씨드 파트의 등장으로 하드웨어 제작공정의 소프트웨어화가 추진되고 있다.

본 연구에서는 VHDL로 설계한 CPLD 제어기를 이용하여 3상 다이오드 정류기의 입력파형 개선을 수행하였다. CPLD 제어기는 기존의 디지털 프로세서에 비해 빠른 응답 특성을 갖고며 개발기간을 단축시킬 수 있었다. 제안된 CPLD 제어기는 3상 다이오드 정류기에 적용되어 입력신호에 맞추어 적절한 PWM 신호를 스위치에 인가함으로써 3상 다이오드 정류기의 역률 개선 및 고조파 저감의 효과를 얻을 수 있었다.

참 고 문 헌

- [1] I. Barbi, J.C. Fagundes and C.M.T. Cruz, "A new low cost high power factor three-phase diode rectifier with capacitive load," IEEE Applied Power Electronics Conference(APEC '94) Proceedings, pp.745~751, February, 1994.
- [2] Salmon and J.C., "Circuit topologies for pwm boost rectifiers operated from 1-phase and 3-phase ac supplies and using either single or split dc rail voltage outputs," IEEE Applied Power Electronics Conference Proceedings, pp.473~479.
- [3] A. R. Prasad, P. D. Ziogas and Manias, "An active power factor correction technique for three-phase diode rectifiers," IEEE Power Electronics Specialists Conference Records, pp. 58-66, June 1989.
- [4] Michael John Sebastian Smith, "Application-Specific Integrated Circuits," Systems Series.
- [5] "Top-Down방식에 근거한 ASIC/FPGA회로 설계," ASIC 지원센터/한국전자통신연구원.

◇ 저자소개 ◇

김병진 (金炳鎭)

1970년 6월 26일생. 1994년 숭실대학교 전기공학과 졸업. 1996년 同 대학원 전기공학과 졸업(석사). 현재 숭실대학교 대학원 전기공학과 박사과정 수료.

박종찬 (朴鍾讚)

1955년 12월 19일생. 1988년 숭실대학원 전기공학과 졸업(석사). 1999년 숭실대학교 대학원 전기공학과 박사과정 수료. 1993년~현재 오산대학 전기과 교수

손진근 (孫珍勛)

1964년 8월 13일생. 1990년 숭실대학교 전기공학과 졸업. 1992년 숭실대학교 대학원 전기공학과 졸업(석사). 1997년 현재 숭실대학교 대학원 전기공학과 졸업(박사). 1992년~1995년 현대중공업(주) 중앙연구소 주임 연구원. 1997년~현재 경원대학 전기과 조교수.

임병국 (林炳國)

1951년 1월 17일생. 1978년 숭실대학교 전기공학과 졸업. 1980년 중앙대학교 대학원 전자공학과 졸업(석사). 1999년 숭실대학교 대학원 전기공학과 박사과정 수료. 1987년 4월~현재 충주대학교 제어계측공학과 교수.

전희중 (田喜鐘)

1953년 1월 6일생. 1975년 숭실대학교 전기공학과 졸업. 1977년 서울대학교 대학원 전기공학과 졸업(석사). 1977년~1981.8. 공군사관학교 전자공학과 교수부. 1987년 중앙대학교 대학원 전기공학과 졸업(공학). 1995년 9월~1996년 4월 Univ. of Victoria CA. 객원 교수. 1983년~현재 숭실대학교 공과대학 전기공학과 교수.