

TMS320C30을 이용한 스마트 안테나 시스템의 Test-bed 구현

A Smart Antenna Test-bed Utilizing TMS320C30 in Smart Antenna System

김종욱 · 권세용 · 안성수 · 최승원

Jong-Wook Kim · Se-Yong Kwon · Sung-Su Ahn · Seung-Won Choi

요 약

본 논문에서는 국내 광대역 CDMA WLL(Wireless Local Loop) 규격을 적용한^[1] 스마트안테나 시스템의 빔형성모듈을 설계, 제작하여 본 연구실에서 제안한 빔형성 알고리즘^{[1],[2]}의 수신신호 성능을 실시간으로 분석할 수 있는 시연시스템을 제안하였다. 본 논문에서 소개되는 시연시스템은 빔형성모듈뿐 아니라, 빔형성모듈의 성능을 확인·평가·분석하기 위한 PC와 인터페이스 장치인 테스트 모듈(신호생성모듈)이 포함된다. 빔형성모듈에서는 자체 개발한 CGM(Conjugate Gradient Method)알고리즘을 이용하여 최적의 웨이트 벡터를 생성시켜 주며, 계산된 웨이트 벡터는 PC로 전달되어 다양한 성능분석을 수행하게 한다. 스마트 안테나 시스템을 직접 구현하여 성능을 분석한 결과, CDMA WLL 기지국에 스마트 안테나를 사용함으로써 대폭적인 통신품질 향상 및 용량 증대가 될 것으로 판단된다.

Abstract

In this paper, we present the hardware implementation of a smart antenna test-bed for a real-time performance analysis of the beam-forming algorithm^{[1],[2]} operating in a wide-band CDMA environments of the WLL(Wireless Local Loop) standard. The test-bed introduced in this paper includes an external PC and signal generating module as well as the beam-forming module in order to perform, analyze, and evaluate the performance of the proposed smart antenna system. In the beam-forming module, the optimal weight vector is provided by the modified CGM algorithm. The computed weight vector is transferred back to the external PC for the performance analysis based on the off-line processing. From our analysis obtained in the hardware of the test-bed, it is concluded that the proposed smart antenna system for the WLL system is appropriate for enhancing the communication quality and capacity tremendously at the cell-site of the CDMA environment.

I. 서 론

스마트 안테나 시스템은 이동통신 시스템^[4]의 성능향상 및 용량증대^[5]를 위한 첨단기술로써, 미국,

일본, 유럽 등 선진국에서는 이미 성공적인 상용화를 위하여 많은 연구개발 투자를 하고 있으며, 차세대 이동통신 상황에서 해결되어야 할 과제로 널리 인식되고 있다. 본 논문에서 소개되는 스마트안테나 시

「본 연구는 (주)데이콤의 부분적 지원(과제번호 D407510)으로 수행되었음.

한양대학교 전자통신공학과(Dept. of Electronic Communication Eng., Hanyang Univ.)

· 논문 번호 : 991125-107

· 수정완료일자 : 2000년 3월 11일

연시스템은 기지국에서 안테나에 수신되는 신호를 모델링하여 빔형성 모듈에 전송하여 구해진 웨이트를 통해서 성능이 향상됨을 보이게 만든 것이다. 따라서 빔형성 모듈 부분과, 신호를 빔형성 모듈에 입력하는 부분, 그리고 웨이트를 이용하여 성능분석을 하는 부분을 필요로 하게 된다. 시스템의 전체적인 구성은 PC에서 수신 신호를 만들어 프린터 포트(PC 25 dB LPT1)를 통해서 보내면 신호생성 모듈의 메모리에 저장되고 저장된 수신신호는 매 스냅샷마다 하나의 벡터씩 패치(patch)되어 빔형성 모듈로 전송된다. 따라서, 빔형성 모듈과 신호생성 모듈 간에 수신 신호와 웨이트를 실시간으로 주고 받는다. 신호생성 모듈의 메모리에 웨이트가 모두 저장되면 각 웨이트 벡터는 시리얼포트를 통해서 신호생성모듈로부터 PC로 저장되고 이것을 이용해서 성능을 분석할 수 있게 했다.

본 논문에서는 먼저 스마트 안테나 시스템의 일반적인 개념과 수학적인 모델링을 소개한다. 모델링된 수신 신호를 기반으로 최적의 웨이트를 구하는 알고리즘^[6]을 소개하고 이를 적용한 빔형성 모듈, 그리고 이 모듈의 성능을 분석하기 위한 신호생성 모듈의 하드웨어적인 구조와 전체 시스템의 흐름을 설명한다. 마지막으로 이 시스템을 이용해서 실제 시스템과 동일한 시간으로 구해진 웨이트를 이용하여 성능분석을 한다.

II. 신호 모델링

전방향 안테나를 사용하는 경우, 안테나에 수신되는 모든 신호들은 해당 기지국에서 원하는 신호에 간섭의 영향을 미친다. 스마트 안테나 시스템은 기지국에서 수신하고자 하는 신호를 송출하는 사용자의 도달 각에 따라 적절한 빔패턴을 각 사용자에게 제공하는 배열안테나를 사용하는 것이다^[3]. 이러한 안테나 시스템은 원하는 신호원의 방향으로 최대의 이득을 제공하며 상대적으로 다른 방향으로는 훨씬 작은 이득을 주어 신호를 선택적으로 수신하는 것이다^[2]. 본 논문에서의 스마트 안테나 시스템이 동작하는 블록은 그림 1에서 표시된다.

제안 알고리즘은 N개의 안테나가 반송 주파수의 반파장씩 떨어져 등간격으로 배열되어 있는 선형어

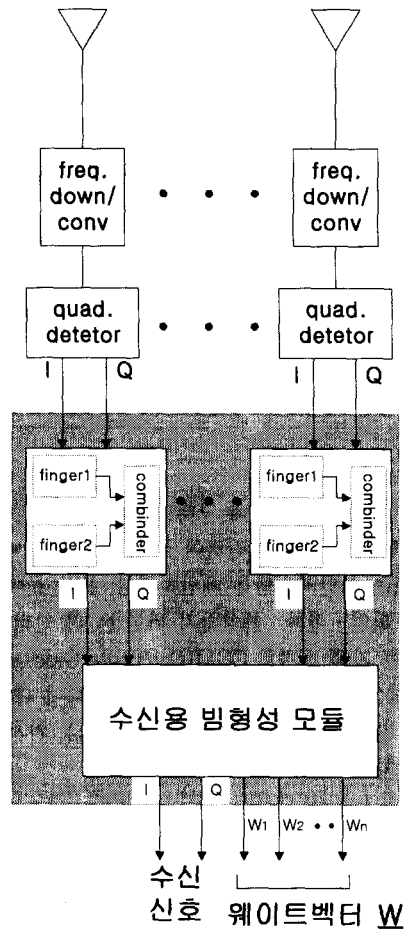


그림 1. 스마트안테나 시스템 블록도

레이를 고려한다. 또, 각각의 안테나 소자는 전 방향에 대해서 동일한 이득을 주는 등방성(Omnidirectional) 안테나라고 가정한다. 기준 안테나로부터 m 번째 떨어진 안테나 어레이에 수신된 하나의 신호에 대한 수식은 다음과 같다.

$$x_m(t) = \cos[2\pi f_c t + \theta(t) - \phi - (m-1)\pi \sin \theta_k] \quad (1)$$

$\theta(t)$ 는 변조된 정보신호, $\pi \sin \theta_k$ 는 m 번째 안테나 어레이로 입사된 k 번째 신호에 대한 안테나의 위상, ϕ 는 캐리어 위상지연이다. 상기 식 (1)을 Inphase 성분과 Quadrature 성분으로 나누어 주파수 저역 천이기(frequency down converter)를 거치면 식 (2), (3)과 같다.

$$\begin{aligned}
x_{m,I}(t) &= \cos[\theta(t) - \phi - (m-1)\pi \sin \theta_k] \\
&= \cos \theta(t) \cos[\phi + (m-1)\pi \sin \theta_k] \\
&\quad + \sin \theta(t) \sin[\phi + (m-1)\pi \sin \theta_k]
\end{aligned} \quad (2)$$

$$\begin{aligned}
x_{m,Q}(t) &= \sin[\theta(t) - \phi - (m-1)\pi \sin \theta_k] \\
&= \sin \theta(t) \cos[\phi + (m-1)\pi \sin \theta_k] \\
&\quad - \cos \theta(t) \sin[\phi + (m-1)\pi \sin \theta_k]
\end{aligned} \quad (3)$$

여기서 $\cos \theta(t)$, $\sin \theta(t)$ 는 확산(spreading)된 정보신호로, $\cos \theta(t) = a P_I^m$, $\sin \theta(t) = b P_Q^m$ 가 된다. 식 (2), (3)을 역확산(despreading)시키면 다음과 같다.

$$\begin{aligned}
x_{m,I}(t) &= a \cdot \cos[\phi + (m-1)\pi \sin \theta_k] \\
&\quad + b \cdot \sin[\phi + (m-1)\pi \sin \theta_k]
\end{aligned} \quad (4)$$

$$\begin{aligned}
x_{m,Q}(t) &= b \cdot \cos[\phi + (n-1)\pi \sin \theta_m] \\
&\quad - a \cdot \sin[\phi + (n-1)\pi \sin \theta_m]
\end{aligned} \quad (5)$$

식 (4), (5)를 복소수 형태로 나타내기 위해 (4)+(5)로 취하고, 정리하면 식 (6)과 같이 된다.

$$\begin{aligned}
x_m(t) &= (a + jb)[\cos(\phi + (m-1)\pi \sin \theta_k) \\
&\quad - j \sin(\phi + (m-1)\pi \sin \theta_k)] \\
&= (a + jb) e^{-j[\phi + (m-1)\pi \sin \theta_k]}
\end{aligned} \quad (6)$$

식 (6)을 파이롯(pilot) 신호를 이용하여 위상을 보정하고, m 번째 안테나로 입사되는 모든 신호에 대한 모델링은 식 (7)과 같다^{[2],[11],[12]}.

$$x_m(t) = \sum_{k=1}^M s_k(t) e^{-j(m-1)\pi \sin \theta_k} + n_m(t) \quad (7)$$

여기서, M 은 전체 사용자의 수를, $s_k(t)$ 는 k 번째 사용자 신호원으로부터 전송된 신호가 기준 안테나에서 수신된 값이고, θ_k 는 k 번째 신호원의 도달각이며, $n_m(t)$ 는 m 번째 안테나의 열잡음으로 평균이 0이고 신호대 잡음비(SNR)에 따른 분산을 갖는 백색 가우시안(AWGN)으로 고려한다. 식 (7)에 다중경로에 의한 페이딩을 고려하여 적용하면 각 안테나에서의 수신 신호는 다음 식(8)과 같이 쓸 수 있다^[13].

$$\begin{aligned}
x_m(t) &= \sum_{k=1}^M \left(\sum_{i=1}^L s_k(t - \tau_{ki}) \right) \\
&\quad e^{j2\pi(f_d \cos \phi_{k,i} t - f_c \tau_{k,i})} e^{-j(m-1)\pi \sin \theta_k} + n_m(t) \\
&\approx \sum_{k=1}^M s_k(t - \tau_0) \left(\sum_{i=1}^L e^{j2\pi(f_d \cos \phi_{k,i} t - f_c \tau_{k,i})} \right) \\
&\quad e^{-j(m-1)\pi \sin \theta_k} + n_m(t)
\end{aligned} \quad (8)$$

여기서 L 은 다중경로의 수를, f_c 는 캐리어 주파수를, τ_{ki} 는 k 번째 신호에서 i 번째 경로의 전파 지연시간을, f_d 는 도플러 주파수를, $\phi_{k,i}$ 는 k 번째 신호에서 i 번째 경로의 전송방향을, θ_k 는 k 번째 신호가 배열 안테나로 수신된 입사각을 나타낸다. 식 (8)에서 $s(t)$ 가 협대역 신호라면 $s(t - \tau_{ki}) \approx s(t - \tau_0)$ 라고 할 수 있고, 식 (8)의 마지막 항을 만족한다.

III. CGM(conjugate gradient method) 알고리즘

본 논문에서 제시하는 기술은 수신신호의 샘플링 주기인 매 스냅샷마다 적응이득과 추적방향 벡터를 구한 후, 아래 식 (10)의 해를 갱신하여 배열안테나에 대한 웨이트값을 구하는 것이다. 이득을 구하기 위하여 다음의 함수를 고려해 보자. 여기서 R_x 는 수신신호벡터 x 의 자기상관행렬을 의미하며 다음과 같이 나타낼 수 있다.

$$R_x(k) = f \cdot R_x(k) + x(k) x(k)^H \quad (9)$$

$$f(\omega) = \frac{\omega^H(k) R_x(k) \omega(k)}{\omega^H(k) \omega(k)} \quad (10)$$

CGM 알고리즘은 매 스냅샷마다 $|f(\omega)|^2 = 1$ 의 제한조건을 만족시키며 위 식 (4)를 최대화하는 웨이트벡터 ω 를 찾아낸다. 식 (4)에서 정의된 함수의 최대값은 행렬의 최대고유치로 수렴하며, 수렴했을 때의 해 $\omega(k)$ 는 그에 대응하는 고유벡터이다^[2].

구하고자 하는 웨이트벡터 ω 는 매 스냅샷마다 직전의 스냅샷에서 구한 벡터를 이용하여 다음과 같이 갱신하여 구한다^[5].

$$\omega(k+1) = \omega(k) + t(k)g(k) \quad (11)$$

단, 독립변수 k 는 스냅샷을 나타내는 인덱스이며

$t(k)$ 와 $p(k)$ 는 각각 k 번째 스냅샷에서의 적응이득과 추적방향벡터이며, 상기 식에서 $w(k+1)$ 은 매 반복마다 크기가 1이 되도록 정규화해야 한다.

본 절에서 소개되는 CGM방법에서는 초기상태에서의 해 $w(0)$ 는 초기상태에 수신된 신호 $x(0)$ 를 사용하고 그 크기를 정규화 한다. 그 이유는, 자기상관 행렬의 랭크가 첫번째 스냅샷에서는 1이며, 따라서 신호 고유치는 한 개뿐이며, 잡음성분만 무시한다면 입력신호 벡터 자체에서 바로 신호 고유벡터를 얻을 수 있기 때문이다^[8].

한편, 추적방향벡터 $p(k)$ 는 초기에 $p(0) = \lambda(0)w(0) - R_x(0)w(0)$ 로 설정된 후 다음과 같이 갱신된다^[5].

$$p(k+1) = r(k+1) + \beta(k)p(k) \quad (12)$$

단, $r(k)$ 와 $\beta(k)$ 는 다음과 같이 결정된다.

$$r(k) = \lambda(k)w(k) - R_x(k)w(k) \quad (13)$$

$$\beta(k) = - \frac{\|r(k+1)\|^2}{\|r(k)\|^2} \quad (14)$$

그러나, 실제 시스템 구현시에 행렬계산은 계산량의 부담을 가중시켜 실시간 연산속도가 느리므로 선형화된 알고리즘으로 변형하여 적용을 하였다^[5]. 선형화된 알고리즘은 그림 2와 같다.

IV. 테스트베드 구현

아래 그림 3은 본 논문에서 제시하는 스마트 안테나 시스템 테스트베드의 블록 구성도를 나타낸 것이다.

PC는 식 (2)의 수신신호 모델링에 근간한 수신신호를 생성하여 프린터포트를 통해 신호발생모듈로

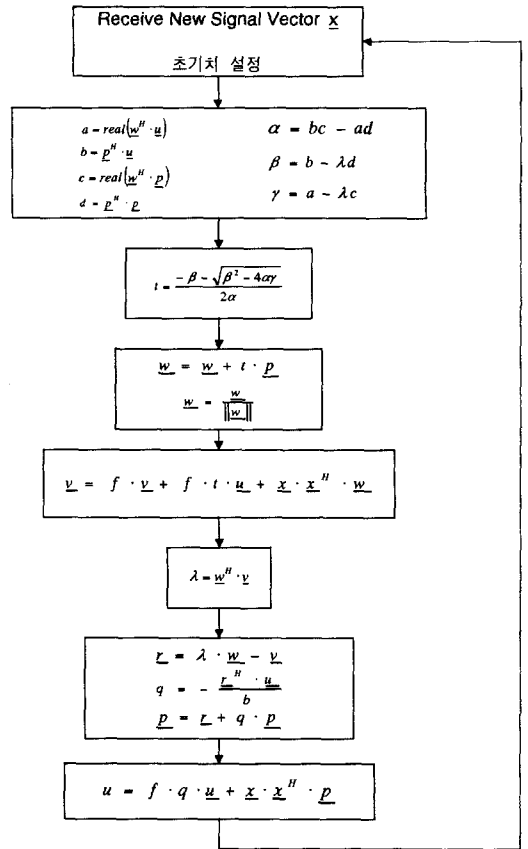


그림 2. 선형화된 알고리즘의 순서도

전송하고, 신호발생모듈은 전송받은 신호를 빔형성 모듈의 8개의 안테나 입력단에 수신신호를 전송하며, 빔형성모듈은 수신신호를 입력받은 후 DSP의 외부 메모리에 저장된 알고리즘을 이용하여 최적의 웨이트 벡터를 계산해 신호발생모듈을 통해 PC로 전송하게 된다.

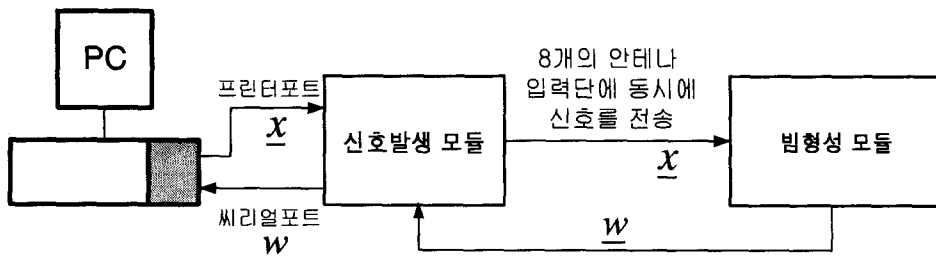


그림 3. 모의실험을 위한 전체 시스템 구성도

4-1 빔형성모듈

본 논문에서는 빔형성모듈을 구현하기 위하여 텍사스 인스트루먼트사의 부동 소수점 연산처리기인 TMS320C30을 사용한다^[10]. 빔형성 모듈의 메모리에는 수신데이터를 저장하는 영역과 알고리즘영역 그리고 부팅영역을 가지고 있고 외부 시스템과의 데이터교환을 하는 영역에는 수신신호를 받는 버퍼와 웨이트 전송영역이 있다.

빔형성모듈이 단독(stand-alone)보드로 동작할 때의 메모리 맵은 0번지에서 7FFF번지까지는 모듈을 부팅시키는 롬(ROM)영역이고 8000에서 FFFF번지는 알고리즘 코드와 데이터가 저장되는 램(RAM) 부분이다. 또 20000번지부터 20007번지는 수신된 I, Q 신호이고 80000에서 80007까지는 안테나별 웨이트 신호가 저장되는 부분이다.

이제 제작한 빔형성 모듈의 동작 상태에 대하여 살펴보자. 그림 4의 개요도에 보이는 것처럼, 마스터 클락(master clock)의 한 주기동안 각 안테나에 수신된 신호가 제공된다. 빔형성 모듈에 들어오는 데이터를 첫째 단의 버퍼(buffer)는 클락의 상승 에지(rising edge)에서 래치(latch)한다. 즉, 첫째 단 버퍼는 각 안테나에 해당되는 신호 ant1, ant2, ..., ant8의 신호가 나올 때마다 각 안테나의 I, Q에 해당하는 데이터를 놓치지 않고 래치한다. ant1부터 ant8까지의 데이터가 첫째 단의 입력 버퍼에 모두 래치되면 둘째 단 입력 버퍼가 첫째 단 입력 버퍼에 있는 데이터를 한꺼번에 래치한다. 이때가 만일 DSP가 둘째 단의 버퍼를 읽어가는 동안이라면 둘째 단의 버퍼는 첫째 단의 데이터를 래치하지 않는다. 이것은 DSP가 둘째 단의 버퍼를 읽어들이는 동안, 프로세서의 상태를 나타내기 위해 플래그(flag)를 통해 알리도록 하고, 이 플래그와 마스터 클락을 이용하여 만들어져, ant8에 관한 신호가 나오는 것을 알리는 신호의 조합에 의해 래치 신호를 발생하도록 구현함으로써 가능하게 하였다. 그림 5에 보여진대로 둘째 단의 모든 버퍼들이 DSP의 프라이머리 버스(primary bus)에 연결되어 있고, 또한 DSP의 프라이머리 버스는 외부 메모리(external memory)에 의해서도 데이터 버스(data bus)가 사용되므로 입

력 버퍼의 둘째 단은 하이 임피던스(high impedance) 출력을 가지는 버퍼를 사용하여 각 버퍼에 해당하는 어드레스를 참조할 때만 유효한 데이터가 버퍼에서 출력되도록 하였다. 둘째 단 버퍼의 출력은 웨이트 벡터를 계산하는 알고리즘의 속도에 의존하여 새로운 스냅샷 데이터를 얻을 수 있는 순간에 DSP가 둘째 단 버퍼의 데이터를 참조함으로써 제어된다. 각 버퍼의 데이터를 읽을 때는 버퍼의 주소에 의해 참조되는데, 이 때의 주소가 둘째 단 버퍼의 출력 인에이블(enable) 신호를 생성한다. 이렇게 받아들인 벡터를 DSP가 그림 5의 순서도를 따라 가중치 벡터를 계산하고 DSP의 확장버스(expansion bus)를 통해 출력 버퍼에 저장한다. 출력측 버퍼에도 입력측의 버퍼에서와 마찬가지로 안테나 1,2,..., 8 각각의 가중치에 해당하는 버퍼에 어드레스를 할당하였다. 그림 4의 순서도를 따라 구해진 웨이트 벡터가 각 버퍼에 저장될 때는 현재 멀티플렉싱 블록(multiplexing block)을 통해 나가고 있는 웨이트 벡터의 마지막 안테나에 해당하는 웨이트가 최종 버퍼

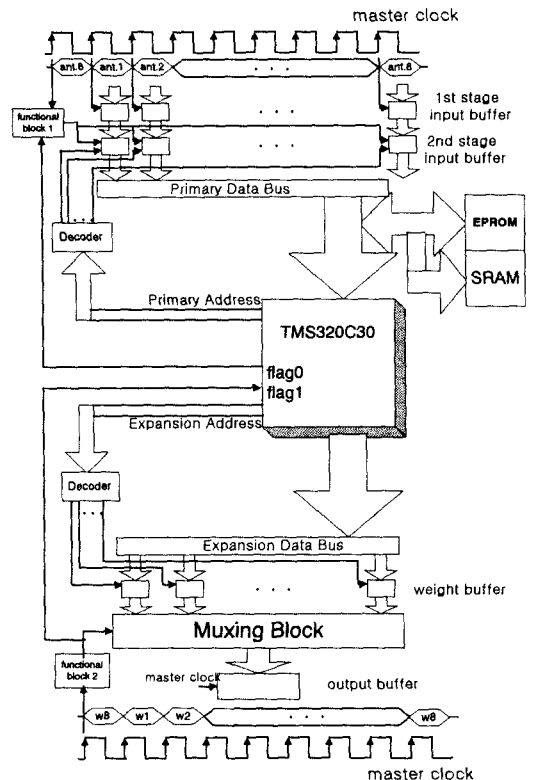


그림 4. 빔형성 모듈의 개요도

에서 래치될 때까지 기다리다가 DSP가 8번째 데이터의 출력을 나타내는 신호를 확인한 후에 가중치를 버퍼에 저장한다.

그림 5는 제작한 빔형성 모듈의 시스템 프로그램을 나타내는데, 제작한 모듈의 Boot load 기능이 DSP를 구동하는 프로그램을 전원을 켜자마자 ROM에서 RAM으로 로딩함으로써 모듈의 독립성을 확보하였다^[25].

그림 6은 지금까지 설명한 신호입력단과 신호출력단을 포함한 빔형성 모듈의 전체 하드웨어구조를 나타낸다.

디지털 시스템의 하드웨어 구현시, 또한 고려해야 할 사항은 각 값들을 표시하는 비트수인데, 본 논문

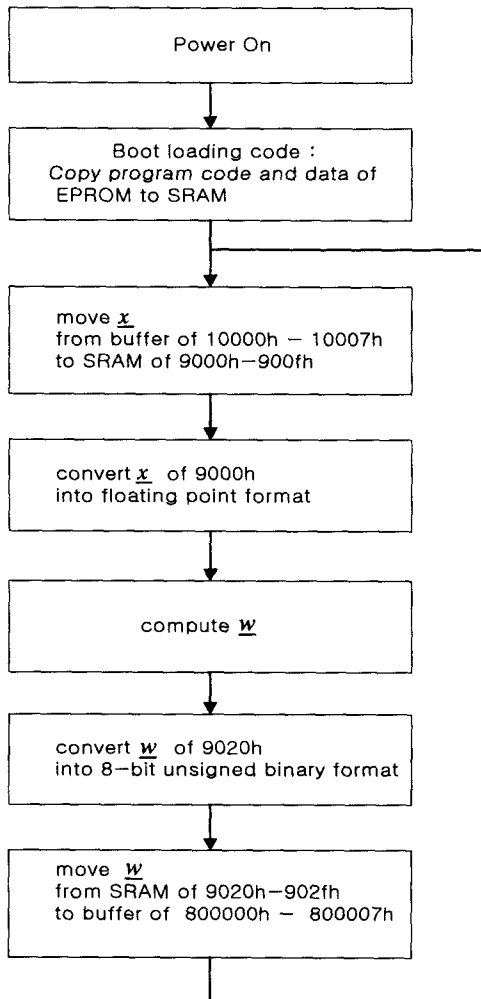


그림 5. 빔형성 모듈의 시스템 프로그램 수행도

에서 소개되는 시연시스템에서는 아래 표 1에서 8비트의 경우에 성능이 우월하므로 이와 같은 모의실험 결과에 의하여 모든 값을 8비트로 양자화 하였다. 표 1은 비트수에 따른 양자화 에러의 분석결과를 나타내고 있다. 표 1에서 고려한 신호환경으로는 입력 신호대 잡음비(SNR)는 10 dB, 처리이득(PG)은 20 dB, 사용자의 수는 50명, 스냅샷 속도는 1 KHz, 데이터 속도는 128 Ksp/s, 한 스냅샷당 이동도는 0.01°, 안테나의 수는 8개이고, 페이딩은 고려되지 않았다.

4-2 신호생성 모듈

빔형성모듈의 데이터는 멀티플렉싱된 형태이며 In-phase 성분과 Quadrature 성분(16-bit)을 동시에 입출력을 한다. 그러나 컴퓨터의 프린터 포트는 8-bit 만을 동시에 송수신을 할 수 있기 때문에 모의 실험을 하기 위해 PC에 직접적인 인터페이스가 불가능하다. 그러므로 컴퓨터와 빔형성 모듈간의 인터페이스를 하는 신호생성 모듈이 필요하다. 그림 7은 신호생성 모듈의 구조를 나타내고 있다.

모델된 수신 신호는 컴퓨터의 프린터포트를 통하여 신호생성 모듈로 전송되고 이 수신신호는 데이터 버스를 통하여 다시 빔형성 모듈로 전송된다. 빔형성모듈에서 계산된 웨이트를 수신하여 컴퓨터의 시리얼 포트에 데이터를 읽어 들여 여러 가지 성능 분석을 하게 된다. 모델링에 의거하여 발생된 입력 수신신호는 데이터 파일 형식으로 PC내에 저장되는데 신호생성 모듈은 컴퓨터의 프린터포트를 통해 전송되는 데이터를 프린터포트 영역으로 수신한다. 전송이 될 때는 프린터포트의 1번 즉 스트로브 신호를 주어서 데이터가 전송이 된다는 사실을 신호생성 모듈에서 전달하게 된다.

이 신호는 신호생성 모듈의 중앙처리장치(CPU)인 8751의 외부 인터럽트 0에 입력되고 이것으로 인터럽트 서브루틴 프로그램에 의해서 데이터를 외부 데이터 메모리 영역에 저장을 하게 된다. 데이터 메모리의 용량은 32 K×8의 램을 4개 사용했으며 각각의 램은 핑거 1,2의 I(inphase성분)와 Q(quadrature 성분)를 저장한다.

빔형성 모듈에서 신호를 정확히 수신하기 위해서 필요한 콘트롤 신호를 발생시키는 부분으로 8751의

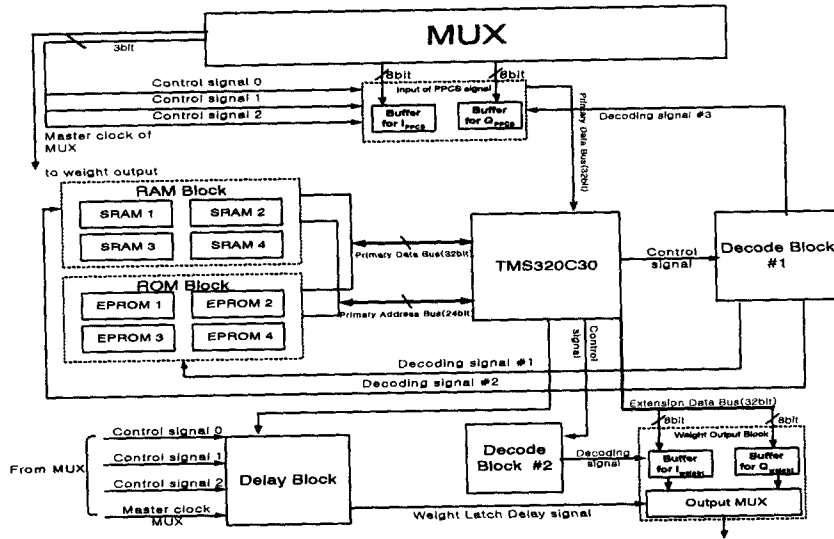


그림 6. 빔형성 모듈의 전체 하드웨어 구조

표 1. 양자화 bit수에 따른 수신신호의 비트오류확률(BER)

# of bits	BER performance
4 (<u>X</u> & <u>W</u>)	0.001434
8 (<u>X</u> & <u>W</u>)	0.000278
<u>X</u> : 8 & <u>W</u> : 4	0.000356
no truncation	0.000256

P1.4판에서 멀티플렉서의 메인 클럭을 발생하고 이 클럭을 이용해 나머지 3 bit의 콘트롤 신호를 발생한다. 메모리 영역에 저장된 데이터를 빔형성 모듈에 송신하는 영역인 출력버퍼는 74373으로 high 상태에서 동작이 되고 출력은 low인 상태에서 이루어진다. 즉 74373의 low에서 high로 바뀔 때의 데이터를 래치하게 되고 타이밍적인 문제를 없애기 위해서 2레벨로 설계되었다. 데이터가 전송이 될 때 디코더

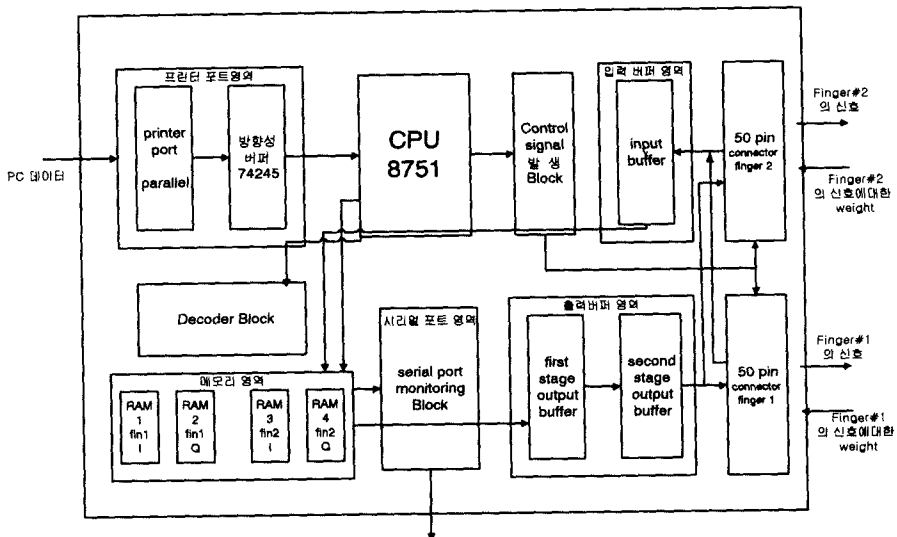


그림 7. 신호생성 모듈의 구조

블럭에서 선택이 된 소자를 동작시키고 이 신호가 출력이 되는 버퍼의 첫 번째 단의 동작신호로 작용이 된다. 여기서 래치된 신호는 앞에서 언급한 메인 클럭이 두 번째 단을 동작시킴으로써 50편의 커넥터를 통해 빔형성 모듈로 전송된다. 메모리 영역에 저장된 웨이트를 컴퓨터에 전송하는 부분인 씨리얼 포트에서는 메모리에 저장된 웨이트를 9600bps의 속도로 전송한다.

V. 성능분석

본 절에서는 IV절에서 제시한 테스트베드를 이용해 광대역 CDMA의 WLL 신호환경에서의 성능을 분석하였다. WLL의 Chip rate는 8.192Mcps(chip per second)이며, 처리이득(Processing gain)은 64이고, 변조된 Symbol rate는 128 Ksps(symbol per second)이다. 성능분석이 제대로 되는지 확인하기 위해서 텍사스 인스트루먼트에서 제공하는 표준 보드인 EVM(Evaluation module)을 사용하여 분석한 성능과 비교하였다^[7]. 측정신호는 파이롯 신호를 이용하여 128 Ksps의 복조(demodulation)된 신호로 성능분석하였다. 비교할 대상으로는 테스트베드를 이용해서 구한 결과와 EVM에서 구한 결과로써 각각의 빔패턴과 QPSK 신호를 전송했을 때 비트 오류율 및 성장도 측면에서 비교하였다.

우선 빔패턴을 먼저 살펴보면 다음과 같다. 아래 그림 8은 EVM에서 구한 웨이트에 대한 빔패턴이고, 그림 9는 테스트베드의 빔형성 모듈에서 구한 웨이트에 대한 빔패턴을 보이고 있다. 주어진 신호 환경은 원하는 신호가 30° 방향에서 입사하고, 사용자의 수는 30명, 신호대 잡음비(SNR)는 20 dB, 처리이득(PG)이 64일 때의 빔패턴으로써 빔형성 모듈에서 만들어지는 빔패턴과 EVM에서 만들어지는 빔패턴이 거의 일치함을 알 수가 있다.

그림 8과 그림 9에서 구한 빔패턴의 모양만으로는 빔형성 모듈에서 구해진 웨이트벡터가 EVM에서 구한 웨이트벡터와 일치하는지 알 수가 없으므로 두가지 방법으로 구해진 웨이트벡터를 각 원소(element)별로 비교한 결과는 다음 표 2와 같다. 표 2에서 두가지 웨이트벡터가 거의 일치함을 알 수가 있다. 빔형성 모듈을 통한 BER 성능분석을 위한 신호환

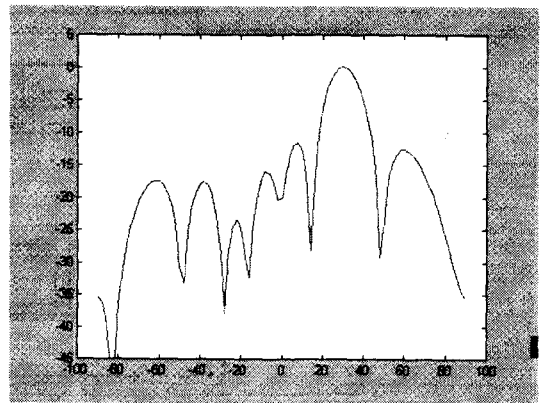


그림 8. EVM 빔패턴

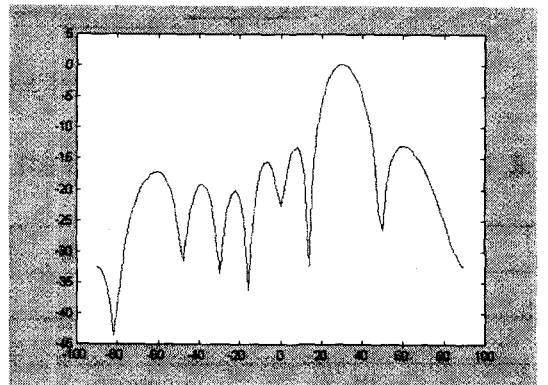


그림 9. 빔형성 모듈 빔패턴

경은 다음과 같다. 전송된 신호는 2개의 주요 경로를 거쳐서 입사된다는 것을 가정한다. 입사되는 신호는 서로 같은 크기를 가지고 있으며 입사각이 다르게 입사하게 된다. 수신신호는 2개의 핑거(finger)를 이용한 레이크(RAKE) 수신기를 거쳐게된다. 레이크 수신기는 아래의 두가지 방법으로 적용되며 그림 10과 11에서 보이고 있다. 그림 11는 각 안테나에서 레이크 수신기의 핑거의 개수만큼 웨이트벡터를 계산하는 시스템이고, 그림 12는 각 안테나에서 레이크 수신기의 핑거의 신호들을 합하여 웨이트벡터를 계산하는 시스템이다.

두 가지 방법으로 구한 비트오류확률(BER)은 신호 대 간섭비와 간섭수로 구분되어 표 3과 4에서 나타내고 있다. 표에서 보는 바와 같이 2개의 웨이트를 구한 후에 출력을 더하는 것은 수신신호를 더한 후 단일 웨이트를 구한 출력보다 좋은 성능을 나타

표 2. 웨이트 값의 수치적 비교

	Ant #1	Ant #2	Ant #3	Ant #4	Ant #5	Ant #6	Ant #7	Ant #8
범형성모듈에서 구한 웨이트벡터	0.125000 +0.000000i	0.007524 -0.138579i	-0.139538 -0.011590i	0.007721 +0.134980i	0.113877 -0.001666i	-0.028047 -0.130182i	-0.119129 +0.015781i	0.037194 +0.128023i
EVM에서 구한 웨이트벡터	0.125000 +0.000000i	0.011837 -0.154121i	-0.156343 -0.020810i	0.003707 +0.153299i	0.102887 -0.012381i	-0.035275 -0.142456i	-0.130074 +0.013161i	0.019849 +0.147466i

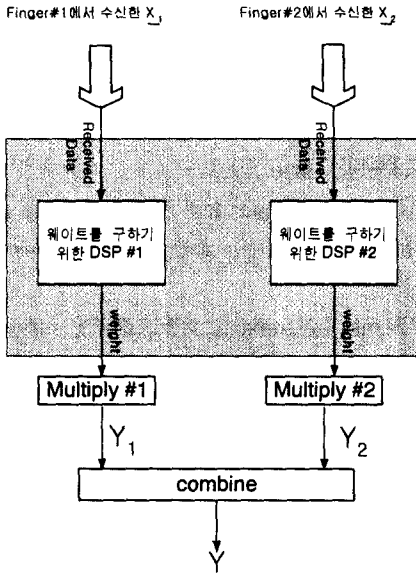


그림 10. 2개의 웨이트를 처리한 후의 출력

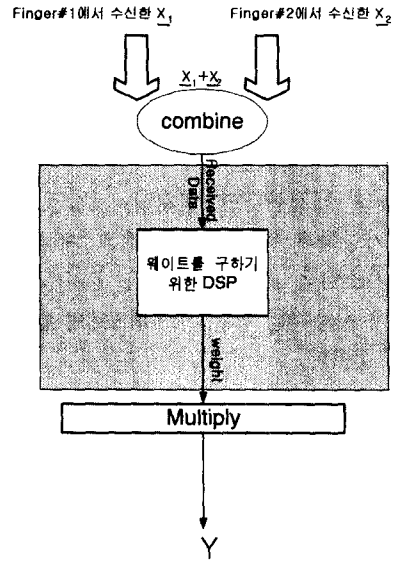


그림 11. 수신신호를 더한 후 단일 웨이트의 출력

내고 있다.

VI. 결 론

스마트 안테나 시스템의 Test-bed를 직접 구현하여 성능을 실시간으로 분석한 결과 CDMA 방식의 기지국에 사용함으로써 통신품질의 향상이 가능함

표 3. 신호 대 잡음비(SNR)에 따른 비트 오류 확률(BER)

안테나 수 : 8, 핑거 수 : 2, 간섭의 수 : 20, 처리이득(Processing Gain) : 64

Mode	단일 안테나	배열 안테나 단일 웨이트벡터를 구한 경우	배열 안테나 각 핑거마다 웨이트벡터를 구한 경우
SNR [dB]			
0	0.366115	0.128883	0.030639
5	0.191484	0.038366	0.007738
10	0.086648	0.012618	0.003324
15	0.046804	0.006782	0.002346
20	0.033885	0.004981	0.002023
25	0.030028	0.004625	0.001912
30	0.029205	0.004436	0.001890

표 4. 간섭수에 따른 비트 오류 확률(BER)

안테나의 수 : 8, 핑거의 수 : 2, 처리이득(Processing Gain) : 64

간섭의 수 \ Mode	단일 안테나	배열 안테나 단일 웨이트벡터를 구한 경우	배열 안테나 각 핑거마다 웨이트벡터를 구한 경우
10	0.013152	0.002324	0.000800
20	0.033885	0.004981	0.002023
30	0.092318	0.010250	0.004136
40	0.102190	0.018633	0.007404
50	0.137988	0.024614	0.010484

을 보일 수 있었고 실제로 기지국에 주변장치와의 호환문제를 해결한다면 현재의 기지국시스템에도 사용이 가능하게 될 것이다. 앞으로 지금의 논문에 소개된 시스템을 고속으로 개발된 DSP를 사용함으로써 다수 사용자를 위한 시스템으로의 발전이 가능하게 될 것이다.

참 고 문 헌

[1] 데이콤(주), WLL 망을 위한 스마트 안테나 시스템의 빔형성 모듈 개발, 최종 보고서, 1998.
 [2] S. Choi and D. Yun, "Design of an Adaptive Antenna Array for Tracking the Source of Maximum Power and Its Application to CDMA Mobile Communications", *IEEE Trans. Antennas and Propagations*, vol. 45, no. 9, pp. 1393-1404, Sept. 1997.
 [3] B. Widrow, P. E. Mantey, L. J. Griffiths, and B. B. Goode, "Adaptive Antenna System", *Proc. IEEE*, vol. 55, no. 12, pp. 2143-2159, Dec., 1967.
 [4] J. S. Lee and L. E. Miller, *CDMA Systems Engineering Handbook*, Artech House publishers, 1998.
 [5] D. Shim and et al, "A New Blind Beamforming Procedure Based on the Conjugate Gradient Method for CDMA Mobile Communication", *ETRI Journal*, vol. 20, no. 2, pp.

133-148, June, 1998.
 [6] R. A. Monzingo and T. W. Miller, *Introduction to Adaptive Arrays*, Wiley, New York, 1980.
 [7] Texas Instrument, *TMS320C3x Evaluation Module Technical Reference*, 1995.
 [8] Tie-jun San, Mati Wax, Thomas Kailath, "An Spatial Smoothing for Direction-of-Arrival Estimation of Coherent Signal", *IEEE Trans. & Signal Processing*, vol. ASSP-33, no. 4 pp. 806-808, 1985.
 [9] 한국전자통신연구소, CDMA용 적응 배열 안테나 알고리즘 연구개발에 관한 연구, ETRI 중간보고서, pp. 27-29.
 [10] Texas Instrument, *User's guide TMS320C3x*, 1995.
 [11] M. Barrett and R. Arnott, "Adaptive Antenna for Mobile Communications", *Electronics & Communicational Engineering Journal*, pp. 203-214, Aug., 1994.
 [12] 오정호, "선형 알고리즘을 이용한 IS-95 CDMA 기지국용 스마트 안테나 시스템의 성능분석", 한양대 전자통신공학과 석사졸업논문, 1997.
 [13] A. F. Naguib, "Adaptive Antennas for CDMA Wireless Networks", *Ph. D. Dissertation, Department of Electrical Engineering, Stanford Univ.*, August, 1996.

김 중 욱



1992년 3월~1998년 2월: 홍익대
학교 전자공학과(공학사)
1998년 3월~현재: 한양대학교 전
자통신공학과 석사과정
[주 관심분야] 스마트 안테나 시
스템, 하드웨어 구현

안 성 수



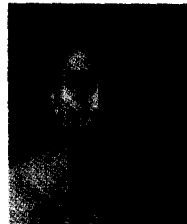
1983년 3월~1987년 2월: 한양대
학교 전자공학과(공학사)
1987년 3월~1990년 2월: 한양대
학교 전자공학과(공학석사)
1990년 3월~1997년 9월: 국방과
학연구소 연구원
1997년 3월~현재: 한양대학교 전
자통신공학과 박사과정
[주 관심분야] 스마트 안테나 시스템, 적응 알고리즘, 무
선 이동통신

권 세 용



1992년 3월~1998년 2월: 한양대
학교 전자통신공학과(공학사)
1998년 3월~현재: 한양대학교 전
자통신공학과 석사과정
[관심 분야] 적응 신호처리, 스마
트 안테나 시스템, 무선통신

최 승 원



1976년 3월~1980년 2월: 한양대
학교 전자공학과(공학사)
1980년 3월~1982년 2월: 서울대
학교 전자공학과(공학석사)
1982년 11월~1984년 7월: (주)금
성사 중앙연구소(기좌)
1984년 9월~1985년 12월: Syrac-
use University 전산공학과(공학석사)
1986년 1월~1988년 12월: Syracuse University 전기 및
전산과(공학박사)
1989년 6월~1990년 2월: ETRI 선임연구원
1990년 3월~1992년 2월: 일본 우정성 통신연구소 선임
연구원
1992년 9월~현재: 한양대학교 전자통신공학과 부교수
[주 관심분야] 적응어레이(스마트 안테나 시스템), 디지
털 통신, DSP 응용