

## 감압화학증착의 이단계 성장으로 실리콘 기판 위에 증착한 *in-situ* 인 도핑 다결정 실리콘 박막의 미세구조 조절

논 문  
13-2-1

### Manipulation of Microstructures of *in-situ* Phosphorus-Doped Poly Silicon Films Deposited on Silicon Substrate Using Two Step Growth of Reduced Pressure Chemical Vapor Deposition

김홍승\*, 심규환\*, 이승윤\*, 이정용\*\*, 강진영\*

(Hong-Seung Kim\*, Kyu-Hwan Shim\*, Seung-Yun Lee\*, Jeong-Yong Lee\*\*, Jin-Young Kang\*)

#### Abstract

For the well-controlled growing *in-situ* heavily phosphorus doped polycrystalline Si films directly on Si wafer by reduced pressure chemical vapor deposition, a study is made of the two step growth. When *in-situ* heavily phosphorus doped Si films were deposited directly on Si (100) wafer, crystal structure in the film is not unique, that is, the single crystal to polycrystalline phase transition occurs at a certain thickness. However, the well-controlled polycrystalline Si films deposited by two step growth grew directly on Si wafers. Moreover, the two step growth, which employs crystallization of amorphous silicon layer grown at low temperature, reveals crucial advantages in manipulating polycrystal structures of *in-situ* phosphorous doped silicon.

**Key Words(중요용어)** : Poly-Si, *in-situ* phosphorus doping, Reduced Pressure Chemical Vapor Deposition, Two step growth

#### 1. 서 론

고농도 도핑  $n^+$  다결정 실리콘(heavily doped  $n^+$  poly-Si)은 고속 바이폴라 및 BiCMOS 집적회로(high-speed bipolar and BiCMOS integrated circuits) 내의 다결정 에미터 바이폴라 트랜지스터 제작에 널리 쓰이고 있다[1, 2]. 특히 *in-situ*로 도핑된  $n^+$  다결정 실리콘은 고온의 열처리 공정을 거치지 않은 상태에서 박막 내에 균일하고 높은 도핑 농도를 유지한다. 이제까지 화학증착(CVD) 시스템에서는 도핑 기체로 포스핀(phosphine)이나 아신(arsine)이 사용되어 왔다[3, 4].

단결정 실리콘 기판이 원자 단위에서 깨끗한 경우에는 확산되는 실리콘 원자가 기판의 격자와 연관된 상대적으로 낮은 에너지 자리(site)의 영향을 받게 된다. 실리콘 원자가 표면 위에서 이동하는데 필요한 충분한 열에너지를 가지게 되면 저에너지 자리에 우선적으로 위치하여 단결정이나 에피택셜(epitaxial) 층을 형성하게 된다. 550 °C의 공정온도에서도 실리콘 기판 위에 다결정 실리콘이 성장하는 것은 매우 어렵다. 그러나 500 °C 이하의 아주 낮은 온도에서는 다결정 또는 비정질 실리콘을 증착하는 것이 가능하다. 그러나, 이 경우 증착 속도는 매우 느리다. 특히, 실리콘의 증착 속도는 많은 양의  $\text{PH}_3$ 가 첨가되면 크게 감소한다[4]. 한편, 실리콘 기판 위의 자연산화막(native oxide)에 의하여 다결정 실리콘이 증착되는 경우도 있다. 자연산화막은 다결정 실리콘/실리콘 계면에 항상 존재하는데 이것에 의하여 전류 획득(gain)이 증가되는 장점이 있는 반면에 에미터 저항이 증가되는 단점이 있다. 전류 획득과 에미터 저항 값은 계면에 존재하는 산화물에 따라 민감하게

\* : 한국전자통신연구원 회로소자기술연구소  
(대전광역시 유성구 가정동 161, E-mail : hongseung@etri.re.kr)

\*\* : 한국과학기술원 재료공학과  
1999년 10월 22일 접수, 1999년 12월 29일 심사완료

변화되므로 공정 시 주의를 기울여야 한다. 또한, 자연산화막을 균질하게 조절하기가 어려우므로, 균일한 미세구조를 가진 다결정을 얻기 힘들다.

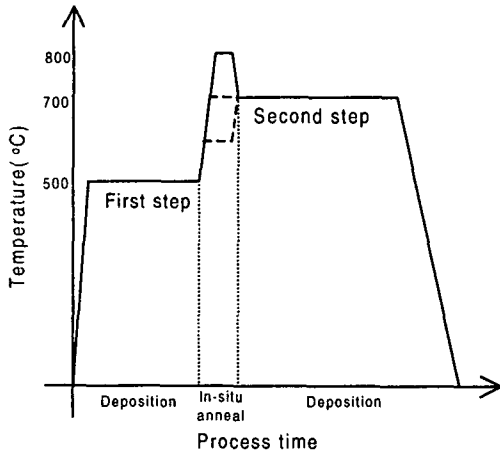


그림 1. 이단계 증착공정.  
Fig. 1. Schematic representation of two step growth.

이러한 공정의 민감도 및 실리콘 웨이퍼 위에 직접 다결정 실리콘을 증착할 때 발생하는 낮은 증착 속도 문제를 개선하는 방법으로 저온공정으로 증착한 얇은 두께의 비정질 실리콘 완충 층(buffer layer)을 사용하였다. 이 경우에는 700 °C에서도 높은 증착 속도로 균일하고 재현성있는 다결정 구조를 얻을 수 있다.

본 논문에서는 비정질 실리콘 완충 층을 이용하는 이단계 증착법을 도입하여 균일한 다결정 실리콘 박막을 얻었다. 또한 비정질 완충 층의 결정화 정도를 이용하여 형성되는 박막의 미세구조를 조절하였다.

## 2. 실험방법

감압 화학 증착 (reduced pressure CVD, RPCVD)을 이용하여 고농도의 n<sup>+</sup> 실리콘 박막을 직경 5인치의 p형 <100> 실리콘 웨이퍼 위에 증착하였다. 도핑은 실리콘 박막 증착과 동시에 in-situ로 진행하였다. 장입 챔버에 웨이퍼를 넣기 전에 4:1 H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub> 용액과 100:1 H<sub>2</sub>O/HF 용액에 연속적으로 담가서 세척하였다. 실리콘 박막은 SiH<sub>4</sub>와 PH<sub>3</sub> (1.5 % in H<sub>2</sub>) 기체를 사용하여 증착하였다. 먼저 완충 층으로 사용하고자 하는 저온 실리콘 박막

을 500 °C에서 1 시간 동안 80 nm 두께로 증착 하고, 일부 시편에 대해서는 수소 분위기, 40 torr에서 in-situ로 700~800 °C 열처리를 행한 후 결정화 정도를 관찰하였다. 위의 완충 층 실험을 토대로 균일한 다결정 막을 성장시키기 위하여 증착공정은 이단계로 나누어 실시하였다. 첫 번째 단계에서는 상압, 500 °C에서 실리콘 완충 층을 30 nm 두께로 증착 하였다. 두 번째 단계에서는 완충 층 위에 40 torr, 700 °C에서 두 번째 실리콘 층을 200 nm 두께로 증착하였다. 또한 완충 층 결정화가 그 위에 증착되는 실리콘의 미세구조에 미치는 영향을 관찰하기 위해 첫 번째 단계에서 증착된 비정질 실리콘 층을 첫 번째 및 두 번째 단계 사이에 10초 동안 수소 분위기, 40 torr, 800 °C에서 in-situ로 열처리 하였다. 그림 1에 이 단계 증착공정의 진행 과정을 나타내었다.

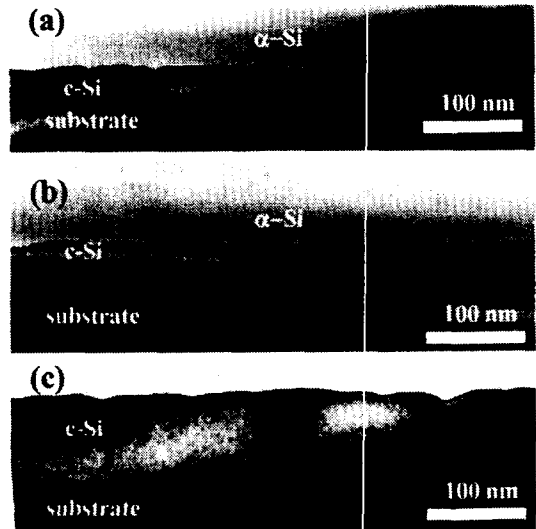


그림 2. 단면 TEM 명시야상 : (a) 500 °C에서 증착한 실리콘 완충 층 (b) 700 °C에서 열처리한 실리콘 완충 층 (c) 800 °C에서 열처리한 실리콘 완충 층.

Fig. 2. Bright field cross sectional TEM micrographs obtained from (a) an Si buffer layer as-deposited at 500 °C, (b) an Si buffer layer annealed at 700 °C, (c) an Si buffer layer annealed at 800 °C.

미세구조, 결정성과 표면형상들을 주사전자현미경 (scanning electron microscopy, SEM), 단면 투

과전자현미경(cross-sectional transmission electron microscopy, X-TEM), AFM(atomic force microscopy)을 이용하여 관찰하였다. X-TEM 시편은 기계적 연마와 이온 밀링(milling)으로 제작하였으며 이온 밀링 시 액체질소로 냉각되는 시편대(specimen stage)를 사용하였다. JEOL JEM 2000 EX로부터 명시야상과 고 분해능(high-resolution) TEM 사진을 얻었으며, point-point resolution은 0.21 nm였고 작동전압은 200 kV였다. 이차이온질량분석(secondary ion mass spectroscopy, SIMS)을 이용하여 각 시편들의 박막 두께에 따른 인의 농도(depth profile)를 구하였다.

### 3. 결과 및 고찰

완충 층의 결정성에 따라 그 위에 성장하는 실리콘 박막의 미세구조를 변화시킬 수 있는데, 이러한 완충 층의 결정성은 열처리에 의해서 변화시킬 수 있다. 그림 2는 열처리 온도에 따른 완충 층의 결정화 정도를 X-TEM으로 관찰한 것이다. 500 °C에서 실리콘을 증착하면 비정질 실리콘 층이 형성된다. 그러나 500 °C에서도 비록 수 Å/min 이지만 결정 성장을 하기 때문에 기판과 박막 계면에서 약 300 정도 성장을 하여 올라간 것으로 보인다. 열처리 온도가 높을수록 비정질 층의 결정화가 빠르게 진행되는데, 그림 2(b), (c)와 같이 700 °C 이하에서는 1 분 정도의 열처리에 결정화가 거의 이루어지지 않은 반면에 800 °C에서는 1 분만에 결정화가 완전하게 이루어진 것을 관찰할 수 있다. 그러나 그 표면은 굴곡이져 있다.

그림 3(a), (b), (c)는 박막 표면 SEM 사진으로 그림 3(a)는 습식세척한 웨이퍼 위에 700 °C에서 증착된 고농도 도핑 박막, 그림 3(b)는 이단계로 700 °C에서 증착된 박막, 그림 3(c)는 이단계로 700 °C에서 증착되고 800 °C에서 중간 열처리를 거친 박막이다. 모든 박막이 거칠고 다결정의 표면형상을 나타내고 있지만, 서로 다른 양상을 보이고 있다. 그림 3(a)에서는 작은 구멍(pin hole), 그림 3(b)에서는 반구형의 결정립, 그림 3(c)에서는 사면체의 큰 결정립들이 관찰된다.

그림 4(a), (b), (c)는 각각 그림 3(a), (b), (c)에 대응되는 박막의 AFM 표면형상으로 표면거칠기(a), (b), (c) 순으로 증가되는 것을 확인할 수 있다.

특히 이단계 증착과 중간 열처리를 거친 박막은 큰 결정립이 생성되어 표면이 다른 두 박막의 경우보다 매우 거칠다. AFM으로 측정한 계곡평균거칠기(root mean square roughness, RMS roughness)는 그림 4(a)에서 0.59 nm, 그림 4(b)에서 4.1 nm, 그림 4(c)에서 46.8 nm였다.

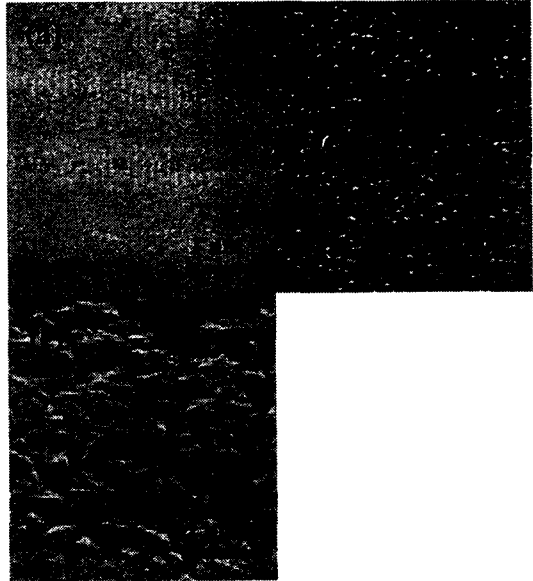


그림 3. 평면 SEM 사진 : (a) 습식세척한 웨이퍼 위에 700 °C에서 증착된 박막 (b) 이단계로 700 °C에서 증착된 박막 (c) 이단계로 700 °C에서 증착되고 800 °C에서 중간 열처리를 거친 박막.

Fig. 3. Plan view SEM micrographs showing surface morphologies of (a) a film deposited at 700 °C on just wet cleaned wafer, (b) a film deposited at 700 °C by two step growth, (c) a film deposited at 700 °C by two step growth with intermediate annealing at 800 °C.

그림 5(a), (b), (c)는 각각 그림 3(a), (b), (c)에 대응되는 박막의 X-TEM 명시야상이다. 그림 5(a)로부터 약 100 nm의 두께에서 에피택시(epitaxy)가 파괴되기 시작하는 것을 알 수 있는데, 결합 밀도가 증가하면서 V자형의 형상들이 관찰되고 있다. 결합 영역에서의 밝고 어두운 띠들은 얇은 판형 {111} 쌍정(twin)[5]으로 생각된다. 결국 그림 5(a)에서 나타난 바와 같이 일반적인 증착에서는 어느 두께 이상에서 단결정에서 다결정으로 상변화가 발생한다는 사실을 알 수 있다. 그러나 이단계 증착으로 증착된 박막은 그림 5(b)에 나타난 바와 같이 기판 근처에서부터 주상(columnar) 구조로 성장하였다. 일반적으로 CVD로 600~700 °C 온도 범위에서 비정질 기판 위에 증착되는 실리콘 박막은 주상 구조를 갖는다고 알려져 있다. 한편, 800 °C에서 증

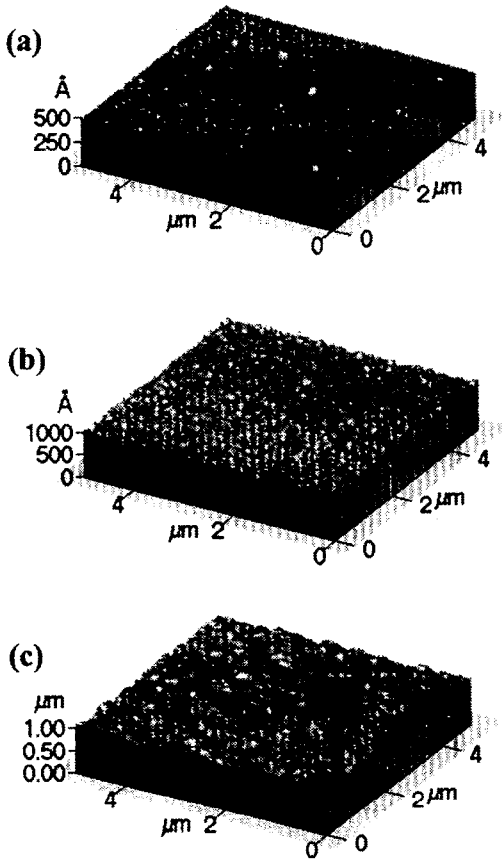


그림 4. AFM 3차원 형상 : (a) 습식세척한 웨이퍼 위에 700 °C에서 증착된 박막 (b) 이단계로 700 °C에서 증착된 박막 (c) 이단계로 700 °C에서 증착되고 800 °C에서 중간 열처리를 거친 박막.

Fig. 4. Three dimensional AFM images obtained from (a) a film deposited at 700 °C on just wet cleaned wafer, (b) a film deposited at 700 °C by two step growth, (c) a film deposited at 700 °C by two step growth with intermediate annealing at 800 °C.

간 열처리를 행하게 되면 그림 5(c)에서와 같이 증착된 실리콘 박막은 더 이상 주상으로 성장하지 않고 실리콘 박막과 기판 사이의 계면으로부터 적층 결함과 쌍정이 형성되어 성장하게 된다. 즉, 이 경우는 위의 주상 성장에서와 같이 서로 다른 방향의 핵들이 형성되어 결정으로 성장되는 것보다는 형성된 핵들은 기판의 방향과 같은 핵들이어서 에피택시 성장과 유

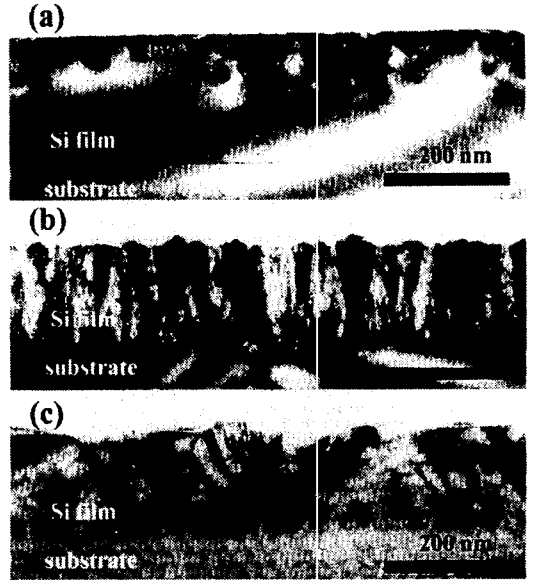


그림 5. TEM 명시야상 : (a) 습식세척한 웨이퍼 위에 700 °C에서 증착된 박막 (b) 이단계로 700 °C에서 증착된 박막 (c) 이단계로 700 °C에서 증착되고 800 °C에서 중간 열처리를 거친 박막.

Fig. 5. Bright field cross sectional TEM micrographs obtained from (a) a film deposited at 700 °C on just wet cleaned wafer, (b) a film deposited at 700 °C by two step growth, (c) a film deposited at 700 °C by two step growth with intermediate annealing at 800 °C.

사하지만 적층 결함이나 쌍정들이 쉽게 형성되어 결합이 존재하는 에피택시 박막으로 볼 수 있다.

그림 6(a), (b)는 그림 5(a), (c)에 대응되는 시편의 기판과 박막 계면에서 얻은 고분해능 X-TEM 사진들이다. 그림 6(a)에서는 기판과 박막 계면 근처에서 결함이 존재하지 않았고 계면에 1~2 nm 크기의 어두운 명암을 띤 등근 입자들이 관찰되었다. 이는 기판 세척후에도 존재하는 산화물 입자이다[6, 7]. 그림 6(b)에서는 기판과 박막 계면에서 수 μm로부터 많은 적층 결함과 쌍정들이 관찰되었다.

불순물의 도핑 형태(profile)도 박막 미세구조의 영향을 받는다. 그림 7은 습식세척한 웨이퍼 위에 700 °C에서 증착된 박막과 이단계로 700 °C에서 증착된 박막 내의 인의 농도 형태이다. 습식세척을 거친 웨이퍼 위에 증착된 실리콘 박막의 인 농도는 박

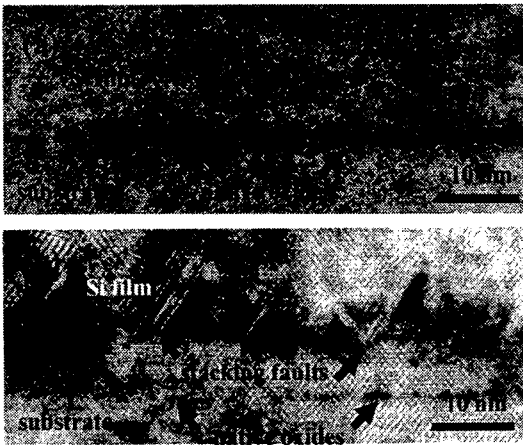


그림 6. 고분해능 TEM 사진 ; (a)와 (b)는 계면에서의 원자 배열을 보여 주고 있으며 시편은 각각 그림 5(a)와 그림 5(c)에 대응된다.

Fig. 6. High resolution X-TEM images of (a) and (b) magnify atomic scale arrangements at the interface of film and substrate for the samples Fig. 5(a) and Fig. 5(c), respectively.

막 내의 깊이에 따라 변화된다. 박막과 자연산화막 사이의 계면에서 인 농도는 약  $1 \times 10^{20}/\text{cm}^3$ 인데 표면으로 갈수록 증가하여 표면에서는  $2.5 \times 10^{20}/\text{cm}^3$ 이다. 그러나 이단계 증착을 거쳐 형성된 다결정 실리콘 내의 인 농도는  $2.5 \times 10^{20}/\text{cm}^3$ 로 일정하다.

원자 단위에서 깨끗한 단결정 기판 표면의 격자는 실리콘 원자가 확산하기 쉬운 저에너지 자리를 제공한다. 따라서 적절한 에너지가 가해지면 각각의 핵들은 기판의 결정 격자를 따라 배열하여 결과적으로 기판과 같은 단결정 층을 형성하게 된다. 만일 기판이 원자 단위에서 거칠어져 있으면 단결정 기판 위에 삼차원적으로 핵이 생성된다. 핵이 기판의 격자를 따라 배열하는데 필요한 에너지를 가지지 못하면 그 핵은 무질서한 방향성을 갖게 된다. 결국 개별적인 핵들이 서로 성장하여 연속적인 층을 이루게 되면 입계가 생겨서 단결정 위에 다결정 박막이 형성된다. 또한, 확산되는 실리콘 원자가 정확히 실리콘 격자에 위치하는데 필요한 에너지를 갖지 못하면 적층결합이나 쌍정이 쉽게 형성된다.

한편, 비정질 박막의 표면에는 방향성이 있거나 에너지가 낮은 자리가 존재하지 않는다. 흡착된 실리콘 원자는 주로 기판으로부터 공급된 열에너지에 의하여 결정되는 속도로 표면 위에서 무질서하게 확산

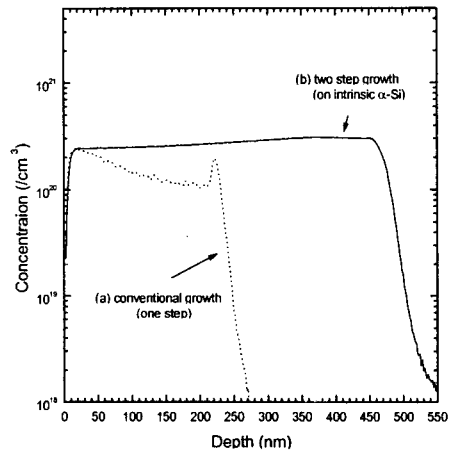


그림 7. 인 농도 형상 ; (a) 습식세척한 웨이퍼 위에 700 ℃에서 증착된 박막 (b) 이단계로 700 ℃에서 증착된 박막.

Fig. 7. Depth profiles of phosphorus concentration measured from (a) a film deposited at 700 ℃ on just wet cleaned wafer, (b) a film deposited at 700 ℃ by two step growth.

된다. 원자들이 이동할 때 원자들은 표면에 약하게 결합되어 있으므로 기화 또는 탈착되거나 서로 만나서 흡착 원자 쌍(pair)을 형성한다. 표면 위를 이동하는 또 다른 원자들은 이러한 원자 쌍과 결합하여 크기가 크고 안정한 cluster를 형성할 수 있다. Cluster는 최종적으로 입계 크기가 되어 탈착되지 않고 안정한 핵에 도달하게 되며, 이러한 과정에 의하여 증착이 일어나게 된다. 이러한 핵은 비정질에서는 존재하지 않는 기판 격자를 따라 배열하는 것이 아니므로 무질서하게 배열하게 된다.

본 실험에서는 웨이퍼를 일반적인 방법으로 세척하였는데 소량의 잔류 산화물 입자와 습기가 남았지만 웨이퍼의 표면은 거의 원자 단위에서 깨끗하다. 따라서 증착온도가 아주 낮은 경우가 아니면 증착되는 실리콘 박막은 에피택셜 층으로 자라게 된다. 한편 몇몇 공정조건에서 실리콘 산화물 위에  $\text{SiH}_4$ 를 사용하여 실리콘 박막을 증착할 때 실리콘 성장의 잠복기(incubation time)가 10초~1분으로 보고되었다 [8]. 잠복기에 의하여 자연산화막 위에서는 실리콘이 느리게 성장하므로 실리콘 표면이 거칠어지는 것은 자연산화물의 2~4층 두께의 박막이 성장하는 단계에 해당되는 초기단계부터 시작되는 것으로 생각된다. 초기단계에 생성되는 수 원자 층으로 이루어진 많

은 수의 계단(step)들은 어느 임계 두께에서 V자형의 형상들을 형성할 것으로 예상되는데 그 임계 두께에서 계단들은 step bunching 현상에 의하여 모이게 되어 step flow 성장에 이르게 된다. 이러한 계단들은 확산을 방해하는 장벽으로 작용한다. 계단에서의 확산의 감소는 에피택시의 파괴를 가져온다[9].

한편, 800 °C에서 비정질 실리콘의 결정 성장 속도는 100 nm/sec이다[10]. 따라서 이 온도에서 비정질 실리콘의 중간 열처리 시행되면 수 초 이내에 30 nm 두께의 비정질 실리콘은 완전히 결정화될 수 있다. 그러나 고상(solid phase) 에피택시 공정 중에는 쌍정이나 적층결합이 쉽게 형성된다. 그러므로 첫 층의 표면은 원자적으로 거칠게(atomically rough) 된다. 대부분의 결정립들은 기판 방향인 (100) 방향으로 생성되지만 결합은 두 번째 증착에서 쉽게 형성되어 두 번째 층으로 전파된다. 그러나 650 °C에서는 비정질 실리콘의 결정 성장 속도는 20 nm/sec이므로 중간 열처리 없이 30 nm 두께의 비정질 실리콘 박막 위에 바로 두 번째 층이 증착되면 두 번째 층은 비정질 표면 위에 증착된다. 이때 비정질 실리콘은 결정상일 수 없으며 특히 첫 번째 층의 맨 위 부분은 비정질 상태로 남아있어야 한다. 이것은 SiO<sub>2</sub>나 Si<sub>3</sub>N<sub>4</sub> 위에 증착되는 다결정 실리콘의 경우와 같은 형태로 성장을 하게 된다.

#### 4. 결 론

RPCVD의 여러 공정으로 성장시킨 in-situ 고농도 인 도핑 실리콘 층의 미세구조를 TEM으로 관찰하고 공정에 따른 미세구조 변화의 원인을 고찰하였다. In-situ 고농도 인 도핑 실리콘 층의 다결정 구조를 조절하는 데 있어서 이단계 증착이 효과적이라는 사실을 확인하였다. 첫 번째 단계로 저온에서 성장시킨 비정질 실리콘 완충 층을 결정화하기 위한 열처리 공정 유무에 따라 그 위에 증착되는 실리콘 박막

의 결정구조를 조절할 수 있었다. 또한 결정구조가 인 도핑농도와 밀접한 관계를 가지므로 열주기(thermal cycle) 조절을 통해서 in-situ 인 도핑 실리콘 층의 성장을 변화시키고 궁극적으로 특정한 목적에 부합되는 소자를 제작할 수 있다.

#### 감사의 글

본 연구는 정보 통신부와 국가지정 실험실의 연구비 지원으로 이루어졌습니다.

#### 참 고 문 헌

1. T. P. Pearsall and J. C. Bean, IEEE Electron Device Lett. EDL-7, 308(1986).
2. P. W. Li, E. S. Yang, Y. F. Yand, J. O. Chu, and B. S. Meyerson, IEEE Electron Device Lett, EDL-15, 402(1994).
3. H. Hirayama and T. Tatsumi, Appl. Phys. Lett. 55, 131 (1989).
4. Syun-Ming Jang, Kenneth Liao, and Rafael Reif, Appl. Phys. Lett. 63, 1675(1993).
5. P. Hirsch, A. Howie, R. B. Nicholson, D. W. Pashley, and M. J. Whelan, *Electron Microscopy of Thin Crystals*(Krieger, New York, 1977), Chap. 6.
6. C. D. Marsh, N. E. Moiseiwitsch, J. Schiz, G. R. Booker and P. Ashburn, Mat. Res. Soc. Symp. Proc. 523, 195(1998).
7. S. A. Ajuria and R. Reif, J. Appl. Phys. 69, 662(1991).
8. T. R. Yew and R. Reif, J. Appl. Phys. 65, 2500(1989).
9. D. J. Eaglesham, J. Appl. Phys. 77, 3597(1995).
10. E. Kinsborn, M. Sternheim, and R. Knoell, Appl. Phys. Lett. 42, 835(1983).