

비휘발성 메모리를 위한 Pt/SBT/Ta₂O₅/Si 구조의 전기적 특성에 관한 연구

박건상 · 최훈상 · 최인훈

고려대학교 재료공학과

Electrical Characteristics of Pt/SBT/Ta₂O₅/Si Structure for Non-Volatile Memory Device

Kun Sang Park, Hoon Sang Choi and In-Hoon Choi

Department of Material Science & Engineering, Korea University, Seoul 136-701

(1999년 11월 18일 받음, 2000년 1월 31일 최종수정본 받음)

초 록 세라믹 타겟인 Ta₂O₅을 장착한 rf-마그네트론 스퍼터를 이용하여 Ta₂O₅ 완충층을 증착하고, Sr_{0.6}Bi_{2.4}Ta₂O₉ 용액을 사용하여 MOD 법에 의해 SBT 막을 성장시킨 metal/ferroelectric/insulator/semiconductor (MFIS) 구조인 Pt/SBT/Ta₂O₅/Si 구조의 Ta₂O₅ 완충층 증착시의 O₂ 유량비, Ta₂O₅ 완충층 두께에 따른 전기적특성을 조사하였다. 그리고 Ta₂O₅ 박막의 완충층으로써의 효과를 확인하기 위해 Pt/SBT/Ta₂O₅/Si 구조와 Pt/SBT/Si 구조의 전기적 특성을 비교하였다. Ta₂O₅ 완충층 증착시의 O₂ 유량비가 0% 일 때는 전형적인 MFIS 구조의 C-V 특성을 얻지 못하였으며, 20%의 O₂ 유량비 일 때 가장 큰 메모리 윈도우 값을 얻었다. 그리고 O₂ 유량비가 40%, 60%로 증가할수록 메모리 윈도우는 감소하였다. Ta₂O₅ 완충층의 두께의 변화에 대한 C-V 특성에서는 36nm의 Ta₂O₅ 두께에서 가장 큰 메모리 윈도우 값을 얻었다. Pt/SBT/Si 구조의 메모리 윈도우 값과 누설전류 특성은 Pt/SBT/Ta₂O₅/Si 구조의 값에 비해 크게 떨어졌으며, 따라서 Ta₂O₅ 막이 우수한 완충층으로써의 역할을 함을 알았다.

Abstract Ta₂O₅ and Sr_{0.6}Bi_{2.4}Ta₂O₉ films were deposited on p-type Si(100) substrates by a rf-magnetron sputtering and the metal organic decomposition (MOD), respectively.

The electrical characteristics of the Pt/SBT/Ta₂O₅/Si structure were obtained as the functions of O₂ gas flow ratio during the Ta₂O₅ sputtering and Ta₂O₅ thickness. And to certify the role of Ta₂O₅ as a buffer layer, the electrical characteristics of Pt/SBT/Ta₂O₅/Si and Pt/SBT/Si were compared. Pt/SBT/Ta₂O₅/Si capacitor with 20% O₂ gas flow ratio during the Ta₂O₅ sputtering did not show a typical C-V curve of metal/ferroelectric/insulator/semiconductor (MFIS) structure. The capacitor with 20% O₂ gas flow ratio during the Ta₂O₅ sputtering had the largest memory window. And the memory window was decreased as the O₂ gas flow ratio during the Ta₂O₅ sputtering was increased to 40%, 60%. In the C-V characteristics of the Pt/SBT/Ta₂O₅/Si capacitors with the different Ta₂O₅ thickness, the capacitor with 36nm thickness of Ta₂O₅ had the largest memory window. The C-V and leakage current characteristics of the Pt/SBT/Si structure were worse than those of Pt/SBT/Ta₂O₅/Si structure. These results and Auger electron spectroscopy (AES) measurement showed that Ta₂O₅ films as a buffer layer took a role to prevent from the formation of intermediate phase and interdiffusion between SBT and Si.

Key words : Ferroelectrics, Buffer layer, Ta₂O₅, Sr_{0.6}Bi_{2.4}Ta₂O₉, Pt/SBT/Ta₂O₅/Si capacitors, MFIS structure

1. 서 론

강유전체 물질이 발견된 후로 기억소자에의 응용 및 전기적 소자개발에 대한 연구가 계속되어 왔다. 최근 들어 일본, 미국 기업은 물론이고 국내 기업에서도 강유전체를 이용한 비휘발성 기억소자(non volatile ferroelectric RAM: NV FRAM)를 개발하고자 많은 노력을 기울이고 있다. 강유전체를 이용한 일반적인 FRAM은 1 트랜지스터와 2 커패시터 또는 1 트랜지스터와 1 커패시터로 집적도가 가능하며 SRAM 수준의 정보 처리 속도(nano sec) 및 flash memory의 정보기억 능력을 갖춘 차세대 비휘발성 기억소자이다.¹⁾ 특히 본 연구로부터 응용할 수 있는

metal/ferroelectric/semiconductor (MFS) -FET의 경우 커패시터가 불필요하므로 획기적으로 소자 면적을 줄임으로써 집적도를 높일 수 있다.^{2,3)} 일반적인 비휘발성 메모리와 비교해서 강유전체 메모리는 읽기/쓰기 속도가 빠르고 낮은 전압에서 작동하고 좋은 읽기/쓰기 피로 특성을 가지고 있다. MFS구조에서는 강유전체와 Si 기판사이에서 상호 확산이 일어나고 중간상(intermediate phase)이 형성되는 문제점이 보고되었다.^{4,5)} 이러한 문제를 극복하고자 완충층(buffer layer)으로 절연체(insulator)를 사용한 metal/ferroelectric/insulator/semiconductor (MFIS) 구조가 연구되고 있다.^{6,7)} 최근에는 Y₂O₃, CeO₂, MgO, YMnO₃와 같은 물질을 완충층으로 삽입하여 전기적 성질

을 향상시킨 연구가 보고되었다.⁸⁻¹²⁾ Nondestructive read-out (NDRO) -FRAM소자를 구성하기 위해서 요구되는 동작전압은 5V 이하이며 메모리 윈도우(memory window)는 1.5V 이상이어야 안정적인 동작을 할 수 있으므로, 이에 대한 조건을 만족하도록 본 연구에서는 25정도의 큰 유전상수 값을 가지는 고유전 절연체인 Ta₂O₅를 완충층으로 삽입한 MFIS 구조인 Pt/SBT/Ta₂O₅/Si 구조를 구현하고자 하였다.

2. 실험 방법

Ta₂O₅ 박막은 rf-마그네트론 스퍼터 장치에 이용하여 Target Material, Inc.의 Ta₂O₅ 99.99% 순도의 타겟을 장착한 후 45분~90분 성장시켜서 27nm~54nm 두께의 Ta₂O₅ 완충층을 증착시켰으며, Ar과 O₂의 유량의 합을 25sccm으로 고정한 후 O₂의 유량비를 0%, 20%, 40%, 60%로 변화시켜 완충층 시편을 제작하였다. 본 실험에서의 완충층의 스퍼터링 조건을 Table 1에 나타내었다.

Table 1. Sputtering conditions for Ta₂O₅.

Target	Ta ₂ O ₅ (99.99%, Target Materials, Inc)
Base pressure	5.0 × 10 ⁻⁶ torr
Sputtering pressure	2.0 × 10 ⁻³ torr
Substrate Temperature	Room Temp.
Sputtering gas flow (Ar + O ₂)	25sccm
Sputtering gas ratio (O ₂ /(Ar + O ₂))	0%, 20%, 40%, 60%
Substrate rotation speed	10rpm
RF power	80W

SBT 박막은 Symetrix corp.의 Sr_{0.8}Bi_{2.4}Ta₂O₉ 조성을 가지는 metal organic decomposition (MOD) 용액을 사용하여 MOD법을 사용하여 증착하였다. 스피드 속도 2500rpm에서 30초간 회전시켜 증착하였으며, 매 증착시 용액을 0.2μm의 필터로 큰 입자를 걸러서 사용하였다. 증착한 후 용매와 유기물의 제거를 위하여 250℃와 400℃에서 각각 5분씩 중간 열처리하였고 800℃에서 1시간 산소분위기에서 최종 열처리하였다. 1회 스피드코팅한 SBT 박막의 두께는 약 65nm였으며, 본 실험에서는 3회 스피드코팅하여 195nm의 SBT 박막을 얻었다.

전기적 특성 분석을 위하여 지름 0.2mm의 마스크를 사용하여 상부전극으로 200 nm 두께의 Pt 전극을 진공증착법에 의해 증착하였다.

Pt/SBT/Ta₂O₅/Si 구조의 결정성은 Rigaku 사의 Cu-K_α X-선 회절장치(X-ray diffractometer, XRD)를 이용 30KV, 15mA 조건에서 2θ = 20~60° 범위에서 분석하였고, 전기적 특성은 Hewlett Packard 사의 HP4280A 와 HP4140B를 이용하여 capacitance-voltage (C-V) 와 current-voltage (I-V)를 각각 측정하였다. 길이에 따른 조성분포를 관찰하여 중간상의 형성과 상호 확산 정도를 조사하기 위해 AES 측정을 하였다.

3. 결과 및 고찰

3-1. Pt/SBT/Ta₂O₅/Si 구조의 전기적 특성분석

Fig.1은 Ta₂O₅ 스퍼터링 증착시 Ar과 O₂ 유량의 합을 25sccm으로 고정한 후 O₂의 유량비를 달리했을 때의 Pt/SBT(195nm)/Ta₂O₅(36nm)/Si 구조의 따른 C-V 측정 결과이다. Fig.1 (a)는 O₂의 유량비를 0%로 Ta₂O₅ 완충층을 성장시켰을 때의 C-V 측정 결과이다. 이 결과에서 보는 바와 같이 이 조건에서는 전형적인 강유전체의 C-V 결과인 accumulation 영역과 inversion 영역을 나타내지 못하였다. 이것은 완충층이 완전한 Ta₂O₅의 절연체층을 이루지 못하고 금속성이 과다한 층을 이루었기 때문이라고 생각된다. 이러한 금속 과다의 층이 강유전체 막에 전하주입현상을 일으키기 때문에 capacitance 값의 평평한 부분을 이루지 못하는 것이다.

Fig.1의 (b), (c), (d)는 각각 O₂ 유량비가 20%, 40%, 60% 일 때의 C-V 측정 결과이며, Fig.2는 Fig.1에서의 메모리 윈도우 값을 인가전압에 대해 나타낸 것이다. 각각의 경우 5V의 인가전압에서 1.52V, 0.84V, 0.37V의 메모리 윈도우 값을 보였다. 결과에서 볼 수 있듯이 20%의 O₂ 유량비일 때 가장 큰 메모리 윈도우 값을 가짐을 알 수 있으며, O₂ 유량비가 증가 할수록 메모리 윈도우의 값이 작아짐을 알 수 있었다. 이것은 O₂ 유량비가 20%일 때 가장 절연성이 강한 Ta₂O₅ 절연층을 형성하였으며, 그 보다 큰 O₂ 유량비에서는 산소 과다의 막이 되고 그 결함에 의해 강유전체 막에 전하 주입을 일으키게 되고, 절연성이 나빠져서 메모리 윈도우의 값을 작게 만드는 것으로 생각된다.

이와 같은 결과의 원인을 확인하기 위해 Fig.3와 Fig.4에 Ta₂O₅ 완충층 성장시 O₂ 유량비에 따른 Ta₂O₅(36nm)/Si 구조와 SBT(195nm)/Ta₂O₅(36nm)/Si 구조의 XRD 측정 결과를 각각 나타내었다. 두 경우 모두 0%의 O₂ 유량비에서 Ta₂O₅의 강한 결정성을 보였으며 Ta 금속상이 관찰되었다. 이것은 Ta₂O₅ 결정립 사이에 Ta 금속상이 존재하며, 이러한 금속 상이 SBT 층에 전하 주입을 일으킨다는 것을 보여준다. 이상의 결과로부터 Ta₂O₅ 증착시 20%의 O₂ 유량비에서 가장 좋은 전기적 특성을 보임을 알았다.

Fig.5는 Ta₂O₅ 완충층의 스퍼터링 증착시 20%의 산소 유량비에서 증착시간을 45분, 60분, 90분으로 변화시켜 완충층 두께를 27nm, 36nm, 54nm로 하였을 때의 C-V 측정 결과이며, Fig.6은 Fig.5에서의 메모리 윈도우 값을 인가전압에 대해 나타낸 것이다. 메모리 윈도우 값은 5V의 인가전압 하에서 각각 0.58V, 1.52V, 0.52V를 나타내었다. 이 결과로부터 36nm의 완충층 두께에서 최대의 메모리 윈도우 값을 나타냄을 알 수 있었다. 27nm의 완충층 두께는 Si 기판으로부터의 전하주입을 충분히 막지 못해서 작은 메모리 윈도우 값을 나타내는 것이며, 36nm 이상의 완충층 두께가 되면 메모리 윈도우 값이 다시 감소하는 경향을 나타내었는데, 이것은 유전상수 값이 SBT 보다 훨씬 작은 Ta₂O₅ 완충층의 두께가 두꺼워 질수록 강유전체와 완충층에 인가되는 전압 분배가 완충층에 오히려 크게 걸리고

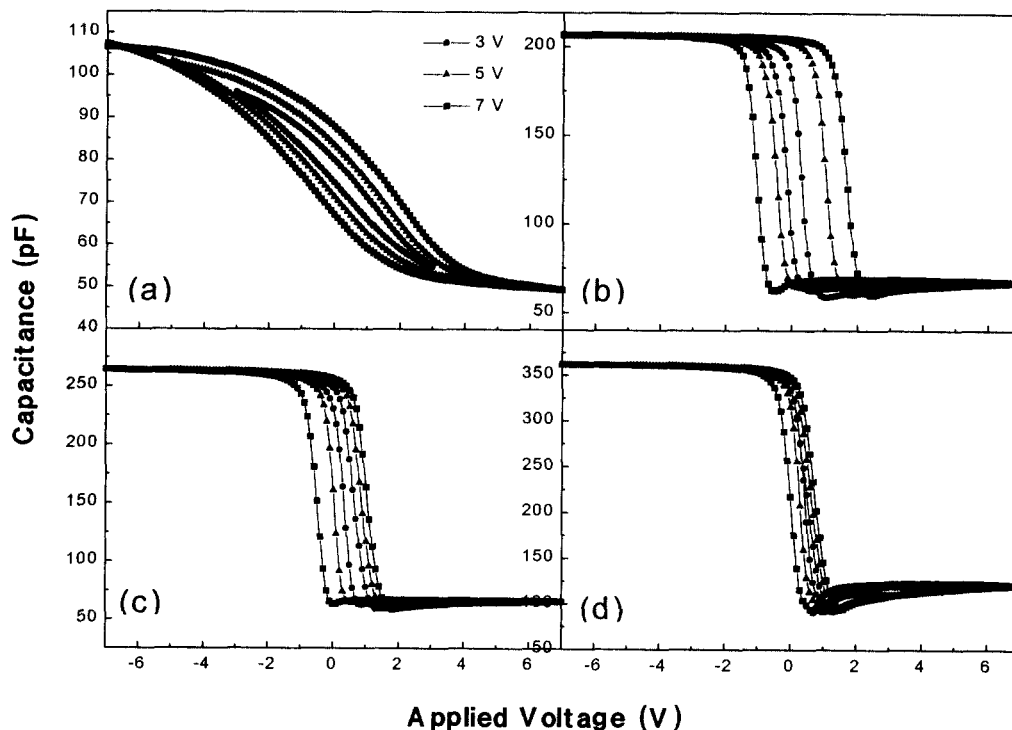


Fig. 1. C-V characteristics of Pt/SBT(195nm)/Ta₂O₅(36nm)/Si structure ; (a) 0%, (b) 20%, (c) 40%, and (d) 60% O₂ gas flow ratio during the Ta₂O₅ sputtering.

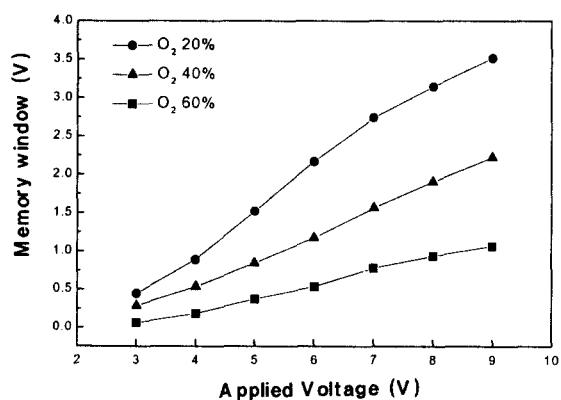


Fig. 2. Memory window of Pt/SBT(195nm)/Ta₂O₅(36nm)/Si structure; 20%, 40%, 60% O₂ gas flow ratio during the Ta₂O₅ sputtering.

SBT 강유전층에 걸리는 인가 전압이 작아지기 때문이다.^{9,10)} 이럴 경우 SBT 층에 걸리는 전기장의 크기가 작아져 SBT 층의 polarization 값이 작아지게 되고 따라서 메모리 윈도우 값도 작아지게 되는 것이다.

3-2. Pt/SBT/Si 구조와 Pt/SBT/Ta₂O₅/Si 구조의 특성 비교

Fig.7은 MFS 구조인 Pt/SBT(195nm)/Si 구조와 Ta₂O₅ 완충층을 삽입한 MFIS 구조인 Pt/SBT(195nm)/Ta₂O₅(36nm)/Si 구조의 C-V 측정 결과이며, Fig.8는 Fig.7에서의 메모리 윈도우 값을 인가전압에 대해 나타낸 것이다. 5V의 인가전압 하에서 각각 0.32V와 1.52V의 메모리 윈도우 값을 보였다. 이와 같이 Pt/SBT(195nm)/Si 구조에서 작은 메모리 윈도우 값을 보이는 것은 Si와 SBT의 계

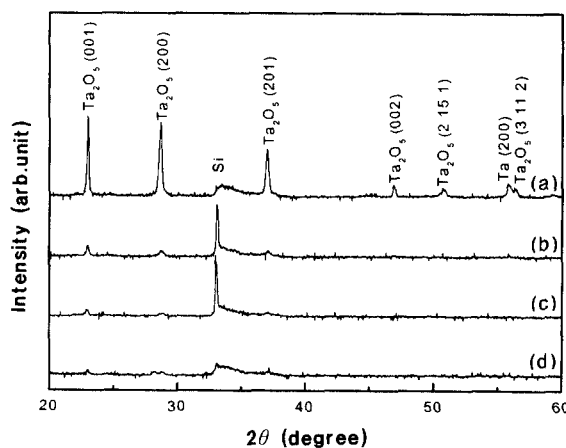


Fig. 3. XRD patterns of Ta₂O₅(36nm)/Si thin film after post annealing at 800°C; (a) 0%, (b) 20%, (c) 40%, and (d) 60% O₂ gas flow ratio during the Ta₂O₅ sputtering.

면에서 상호 확산이 일어나 유전율이 작은 중간상이 형성되고, 이 중간상에 큰 전압과 전기장이 인가되어 SBT 강유전체층에 전하주입 현상을 일으켜 메모리 윈도우의 값을 작게 하는 것이다.^{9,10)} 반면 Pt/SBT(195nm)/Ta₂O₅(36nm)/Si 구조에서 큰 메모리 윈도우 값을 가지는 이유는 고유전율을 가지는 Ta₂O₅ 완충층이 Si와 SBT의 상호 확산을 방지하여 유전율이 작은 중간상의 형성을 억제하여 전하주입에 의한 메모리 윈도우의 감소를 막아주기 때문이다.

Pt/SBT(195nm)/Si 구조와 Pt/SBT(195nm)/Ta₂O₅(36nm)/Si 구조의 누설 전류 특성을 알아 보기 위한 I-V 측정 결과를 Fig.9 에 나타내었다. SBT(195nm)/Si 구조

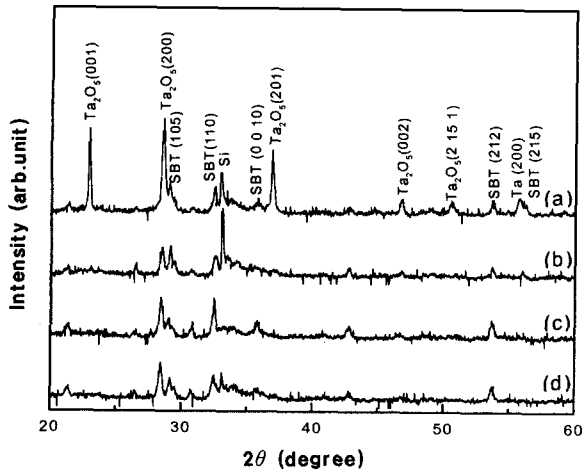


Fig. 4. XRD patterns of SBT(195nm)/Ta₂O₅(36nm)/Si thin film after post annealing at 800°C; (a) 0%, (b) 20%, (c) 40%, and (d) 60% O₂ gas flow ratio during the Ta₂O₅ sputtering.

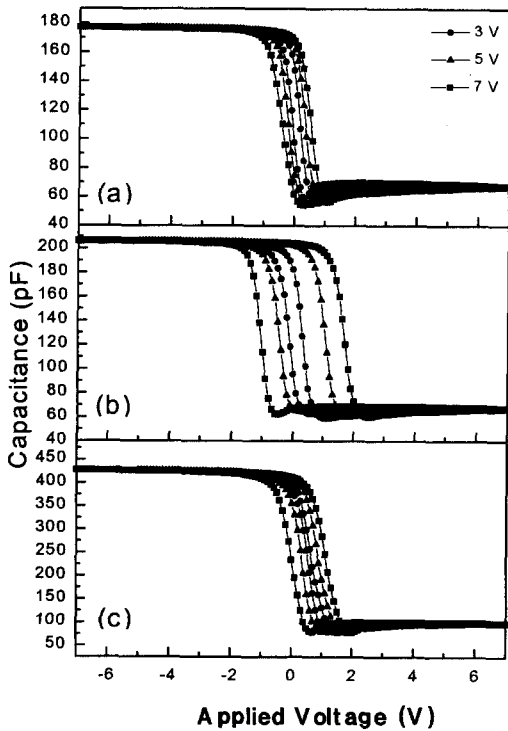


Fig. 5. C-V characteristics of (a) Pt/SBT(195nm)/Ta₂O₅/Si structure with the different thickness of (a) 27nm, (b) 36nm, and (c) 54nm Ta₂O₅ film.

에서는 5V의 인가전압에서 $6.8 \times 10^{-8} \text{ A/cm}^2$ 의 누설 전류 값을 보였으며 SBT(195nm)/Ta₂O₅(36nm)/Si 구조에서는 $1.7 \times 10^{-8} \text{ A/cm}^2$ 의 값을 보였다. I-V 결과에서도 Ta₂O₅ 완충층이 SBT 강유전체층으로의 전하주입 현상을 막아 누설전류의 값을 작게 함을 알 수 있다.

Fig.10은 박막시편의 깊이에 따른 조성의 변화를 조사하기 위해 SBT(195nm)/Si 구조와 SBT(195nm)/Ta₂O₅(36nm)/Si 구조를 800°C, O₂ 분위기에서 1시간 후열처리 한 후의 AES 측정 결과이다. Fig.10(a)에서 나타난 바와 같이 Si 위에 바로 SBT를 증착한 박막은 Si이 SBT 층에

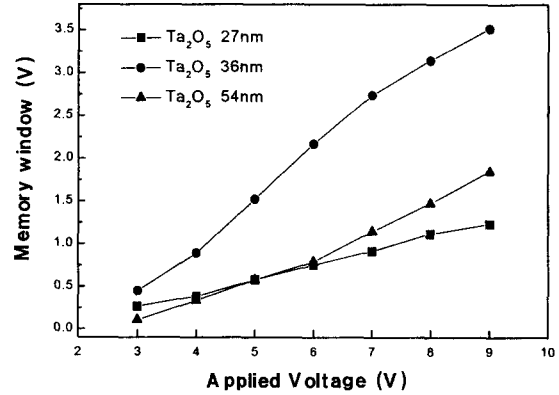


Fig. 6. Memory window of Pt/SBT(195nm)/Ta₂O₅/Si structure with the different thickness of Ta₂O₅ films.

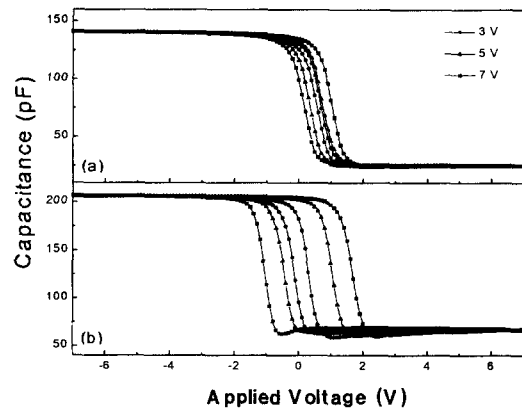


Fig. 7. C-V characteristics of (a) Pt/SBT(195nm)/Si structure, and (b) Pt/SBT(195nm)/Ta₂O₅(36nm)/Si.

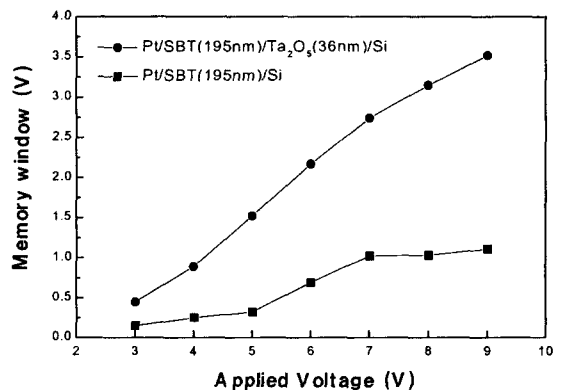


Fig. 8. Memory window of Pt/SBT(195nm)/Si structure and Pt/SBT(195nm)/Ta₂O₅(36nm)/Si structure.

상호확산되었고 SBT와 Si 사이에 SiO₂가 형성된 것을 볼 수 있다. 그러나 Ta₂O₅가 완충층으로서 SBT와 Si 사이에 삽입된 박막은 Fig.10(b)에서 나타난 바와 같이 상호확산 현상이 크게 줄어들어 SiO₂ 형성이 상당히 억제되었음을 나타내고 있으며 따라서 Ta₂O₅가 확산 방지막으로서의 효과가 크다는 것을 입증하고 있다.

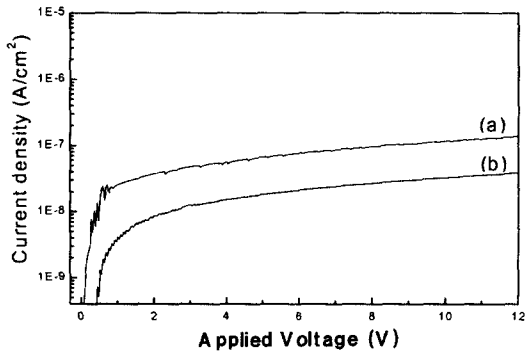


Fig. 9. I-V curves of (a) Pt/SBT(195nm)/Si, and (b) Pt/SBT(195nm)/Ta₂O₅(36nm)/Si structure.

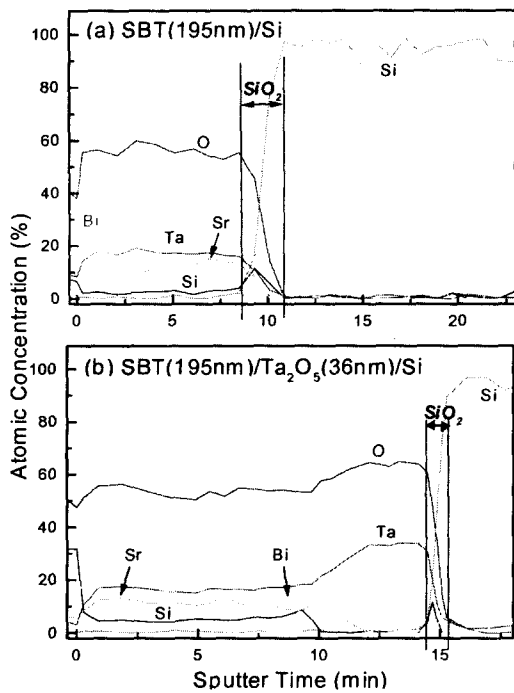


Fig. 10. AES depth profile of (a) SBT(195nm)/Si thin film, and (b) SBT(195nm)/Ta₂O₅(36nm)/Si thin film after post annealing at 800°C.

4. 결 론

본 실험에서는 rf-마그네트론 스퍼터링 방법, MOD법 및 진공증착법에 의해 p-type Si(100) 기판 위에 Ta₂O₅, SBT 및 Pt 층을 각각 증착한 Pt/SBT/Ta₂O₅/Si 구조의 Ta₂O₅ 증착시 O₂ 유량비와 Ta₂O₅ 완충층의 두께에 따른 전기적 특성에 대해 조사하였으며, Ta₂O₅ 완충층의 효과를 확인하기 위해 Pt/SBT/Ta₂O₅/Si 구조와 Pt/SBT/Si 구조의 특성을 비교하였다.

1) Pt/SBT(195nm)/Ta₂O₅(36nm)/Si 구조에서 Ta₂O₅ 완충층의 스퍼터링 성장시의 O₂ 유량비가 0%일 때는 MFIS구조의 전형적인 C-V 특성을 나타내지 못하였으며, O₂ 유량비가 20%, 40%, 60%일 때는 5V의 인가 전압에

서 각각 1.52V, 0.84V, 0.37V의 메모리 윈도우 값을 얻었다. 이 결과에서 Ta₂O₅ 완충층의 스퍼터링 성장시 20%의 O₂ 유량비가 가장 좋은 C-V 특성을 나타내었다.

2) Pt/SBT(195nm)/Ta₂O₅/Si 구조에서 Ta₂O₅ 완충층의 두께가 27nm, 36nm, 54nm 일 때의 5V의 인가 전압에서 각각 0.58V, 1.52V, 0.52V의 메모리 윈도우 값을 나타내었다. 이 결과에서 Ta₂O₅ 완충층의 두께가 36nm일 때 가장 좋은 C-V 특성을 나타내었다.

3) Pt/SBT(195nm)/Si 구조와 Pt/SBT(195nm)/Ta₂O₅(36nm)/Si 구조에서 5V의 인가 전압에서 각각 0.32V, 1.52V의 메모리 윈도우 값과 $6.8 \times 10^{-8} \text{ A/cm}^2$, $1.7 \times 10^{-8} \text{ A/cm}^2$ 의 누설전류 값을 보였다. AES 분석 결과 Ta₂O₅가 완충층으로의 역할을 함으로써 SBT와의 계면에서 상호 확산 현상이나 중간상이 형성되는 것을 억제함을 확인하였다. 이것은 Ta₂O₅가 우수한 완충층의 역할을 하고 있음을 보여준다.

감사의 글

이 논문은 1998년도 한국학술진흥재단의 연구비에 의하여 지원되었으며 이에 감사드립니다(KRF-98-017-E00161).

참고문헌

1. H. Ishiwara, FED Journal 7, Suppl. 1, 13 (1996).
2. Moll JL and Tarui Y, IEEE Trans. Electron Devices, ED-10, 338 (1963).
3. E. Tokumitsu, K. Itani, B. K. Moon, and H. Ishiwara, Jpn. J. Appl. Phys. 34, 5202 (1995).
4. J. F. Scott, L. Kammerdiner, M. Parris, S. Traynor, V. Ottanbacher, A. Shawbath and W. C. Oliver, J. Appl. Phys., 64, 787 (1988).
5. J. T. Evans and R. Womack. IEEE J. Solid State Circuits, 23, 610 (1988).
6. T. S. Kalkur, G. Argos and L. Kammerdiner, MRS. Proc., 200, 313 (1990).
7. I. Sakai, E. Tokumitsu and H. Ishiwara, Jpn. J. Appl. Phys. 35, 4987 (1996).
8. T. Hirai, Y. Fuzisaki, K. Nagashima, H. Koike, and Y. Tarui, Jpn. J. Appl. Phys. 36, 5908 (1997).
9. Y. T. Kim and D. S. Shin, Appl. Phys. Lett. 71, 3507 (1997).
10. H. N. Lee, M. H. Lim, Y. T. Kim and T. S. Kalkur, Jpn. J. Appl. Phys. 37, 1107 (1998).
11. K. J. Choi, W. C. Shin, J. H. Yang, and S. G. Yoon, Appl. Phys. Lett. 75, 722 (1999).
12. W. J. Lee, C. H. Shin, C. R. Cho, J. H. Lyu and B. W. Kim, Jpn. J. Appl. Phys. 38, 2039 (1999).