

Cu(Mg) alloy의 표면과 계면에서 형성된 MgO의 확산방지능력 및 표면에 형성된 MgO의 전기적 특성 연구

조흥렬 · 조범석 · 이재갑

국민대학교 금속재료공학부

A study on Electrical and Diffusion Barrier Properties of MgO Formed
on Surface as well as at the Interface Between Cu(Mg) Alloy and SiO₂

Heunglyul Cho, Beomseok Cho and Jaegab Lee

School of Metallurgical and Materials Engineering, Kookmin university,
861-1 Chongnung-dong, Songbuk-gu, Seoul, 136-702 Korea

(1999년 12월 2일 받음, 2000년 1월 14일 최종수정본 받음)

초 록 Sputter Cu(1~4.5at.%Mg) alloy를 100mTorr이하의 산소압력에서 온도를 증가시키며 열처리하였을 때 표면과 계면에서 형성된 MgO의 확산방지 특성을 살펴보았다. 먼저, Cu(Mg)/SiO₂/Si 구조의 샘플을 열처리했을 때 계면에서는 $2Mg + SiO_2 \rightarrow 2MgO + Si$ 의 화학반응에 의해 MgO가 형성되는데 이 MgO층에 의해 Cu가 SiO₂로 확산되는 것이 현저하게 감소하였다. TiN/Si 기판 위에서도 Cu(Mg)과 TiN 계면에 MgO가 형성되어 Cu(4.5at.%Mg)의 경우 800°C까지 Cu와 Si의 확산을 방지할 수 있었다. 표면에 형성된 MgO위에 Si를 증착하여 Si/MgO(150Å)/Cu(Mg)/SiO₂/Si구조로 만든 후 열처리했을 때 150Å의 MgO는 700°C까지 Si와 Cu의 확산을 방지할 수 있었다. 표면에 형성된 MgO(150Å)의 누설전류특성은 break down 5V, 누설전류 $10^{-7} A/cm^2$ 의 값을 나타냈다. 또한 Si₃N₄/MgO 이중구조에서는 매우 낮은 누설전류밀도를 나타냈으며 MgO에 의해 Si₃N₄ 증착시 안정적인 계면이 형성됨을 확인하였다.

Abstract We have investigated the electrical and diffusion barrier properties of MgO produced on the surface of Cu(Mg) alloy. Also the diffusion barrier property of the interfacial MgO between Cu alloy and SiO₂ has been examined. The results show that the 150Å -MgO layer on the surface remains stable up to 700°C, preventing the interdiffusion of Cu and Si in Si/MgO/Cu(Mg) structure. It also has the breakdown voltage of 4.5V and leakage current density of $10^{-7} A/cm^2$. In addition, the combined structure of Si₃N₄(100Å)/MgO(100Å) increases the breakdown voltage up to 10V and reduces the leakage current density to $8 \times 10^{-7} A/cm^2$. Furthermore, the interfacial MgO formed by the chemical reaction of Mg and SiO₂ reduces the diffusion of copper into SiO₂ substrate. Consequently, Cu(Mg) alloy can be applied as a gate electrode in TFT/LCDs, reducing the process steps.

Key words : Cu(Mg) alloy, MgO, Diffusion barrier, Electrical property

1. 서 론

논리소자와 Giga DRAM급 이상의 메모리소자 그리고 대면적 TFT/LCD 등의 성능향상을 위하여 Cu배선에 대한 연구가 활발히 진행되어 왔다. 특히 메모리소자 공정에서 기존의 금속배선인 Al은 RC time delay, cross-talk, electromigration 등의 문제가 심각히 대두되고 있다. RC-time delay와 cross-talk은 저저항 배선과 저유전율 재료를 사용하여 낮출 수 있어 Cu와 polymer 재료들에 대한 관심이 커지고 있다. Cu는 비저항이 $1.67 \mu\Omega\text{-cm}$ 로 현재 상용화되고 있는 Al($2.67 \mu\Omega\text{-cm}$)이나 Al 합금($3 \sim 3.5 \mu\Omega\text{-cm}$)보다 저항이 상당히 낮고 융점이 높기 때문에 Al 합금에 비해 높은 신뢰성을 보여주고 있다.

IBM은 1997년도에 logic 소자에 Cu 배선을 적용한 시

험적 결과를 발표하였다.¹⁾ 이어서 1998년도에는 생산품에 Cu 배선기술을 사용하여 Cu 재료 형성의 실제적인 방법을 제시하였고, 결과적으로 집적회로 배선에 대한 획기적인 기술의 전환점을 마련하였다.²⁾ Motorola³⁾는 low-k 재료와 함께 상부 5층에 Cu 배선을 사용하여 두가지 차세대 재료들의 성공적인 적용 결과를 보여주어, 향후 metallization에 대한 새로운 재료 및 구조를 확인, 제시하였다. 또한 이외에도 국내외의 다수 회사들이 Cu를 부분적으로 적용하거나, 연차적으로 생산품에 적용할 계획을 가지고 있어, 차세대 배선으로 Cu의 사용 가능성은 매우 높은 것으로 평가된다. Cu 형성기술로는 IBM에서 개발된 기술(Damascene 구조를 적용하여 electroplating 방법으로 Cu를 형성하고 CMP로 patterning을 완성)이 경제성, 기술의 완성도 및 확장성(0.1 μm trench까지 우수하게 채워줌) 면에서 매우

우수하여 차세대 배선재료형성에 이용되어질 것이 확실시되고 있다.

그러나 Cu의 재료적인 문제점은 낮은 온도에서 쉽게 산화되어 전기적 특성이 저하되고 절연물체의 접착력 불량 그리고 SiO₂ 내로의 확산 등의 문제점 때문에 배선공정 적용에 있어 개선할 점으로 남아 있다. 이러한 문제점을 해결하기 위한 연구로서 Cu-alloy (Mg⁴⁾, Al^{5,6)}, Sn, Ti⁷⁾, refractory metal)를 통해 표면에 산화막 또는 질화막을 형성해 Cu의 산화방지와 접착력 등의 문제점을 해결하고자 하는 연구가 진행되어 왔다. Cu-alloy 공정은 Cu의 재료적 문제점을 복합적으로 해결하면서 공정을 단순화시킬 수 있을 뿐 아니라 결정립 성장 및 방향성 제어가 가능하다는 장점이 있어 이에 대한 많은 연구가 진행되고 있다.

본 연구에서는 표면과 계면에서 형성된 MgO의 확산방지능력을 평가함으로써 실제 공정 적용에 가능성을 제시하고 또한 표면에서 형성된 MgO를 gate oxide로서의 적용에 적합한지를 살펴보았다. Mg를 선택한 원인은 alloy 형성시 낮은 비저항을 나타낼 뿐 아니라 높은 산화력, 빠른 확산계수 그리고 높은 surface segregation 때문에 표면에 치밀한 MgO층을 형성시킬 수 있어 공정에 많은 장점이 있다.

2. 실험 방법

Cu(Mg) alloy 박막을 DC magnetron sputtering을 이

용하여 기저압력 8×10^{-7} Torr, 공정압력 2mTorr, 180W에서 1000Å의 열산화막을 성장시킨 Si 웨이퍼 또는 sputter TiN/Si 위에 증착시켰다. Mg의 농도는 4.5, 2.3, 1.0at.%로 샘플을 준비하였다. MgO를 300-500°C의 온도와 100mTorr이하의 산소압력에서 열처리하여 형성시켰으며 그때에 형성된 MgO 확산방지특성을 알아보기 위하여 진공 (8×10^{-6} Torr) 중에서 온도를 300-800°C로 증가시키며 실시하였다. 누설전류 측정을 위하여 상부전극은 Al을 증착하였으며 전극의 크기는 2×10^{-4} cm²이다. Si₃N₄는 SiH₄+NH₃ 가스를 사용한 PECVD를 이용하여 증착하였다.

Cu-alloy 조성은 AES (Auger Electron Spectroscopy)를 이용하여 이루어졌고, 열처리에 따라 변하는 면저항 측정은 Four-point probe를 사용하여 이루어졌고 박막의 두께는 surface profilometer와 SEM을 이용하여 측정하였으며 그리고 열처리에 따라 형성되는 상 및 입자크기를 XRD (X-ray diffractometer)를 이용하여 측정하였고 XTEM (Cross-sectional Transmission Electron Microscopy)을 이용하여 표면과 계면의 MgO층을 관찰하였다. 또한 누설전류는 HP4140B를 이용하여 측정하였다.

3. 결 과

3-1. 계면 MgO 형성에 의한 SiO₂로의 확산방지 특성

Cu는 낮은 온도에서도 SiO₂내에서의 확산계수가 크기

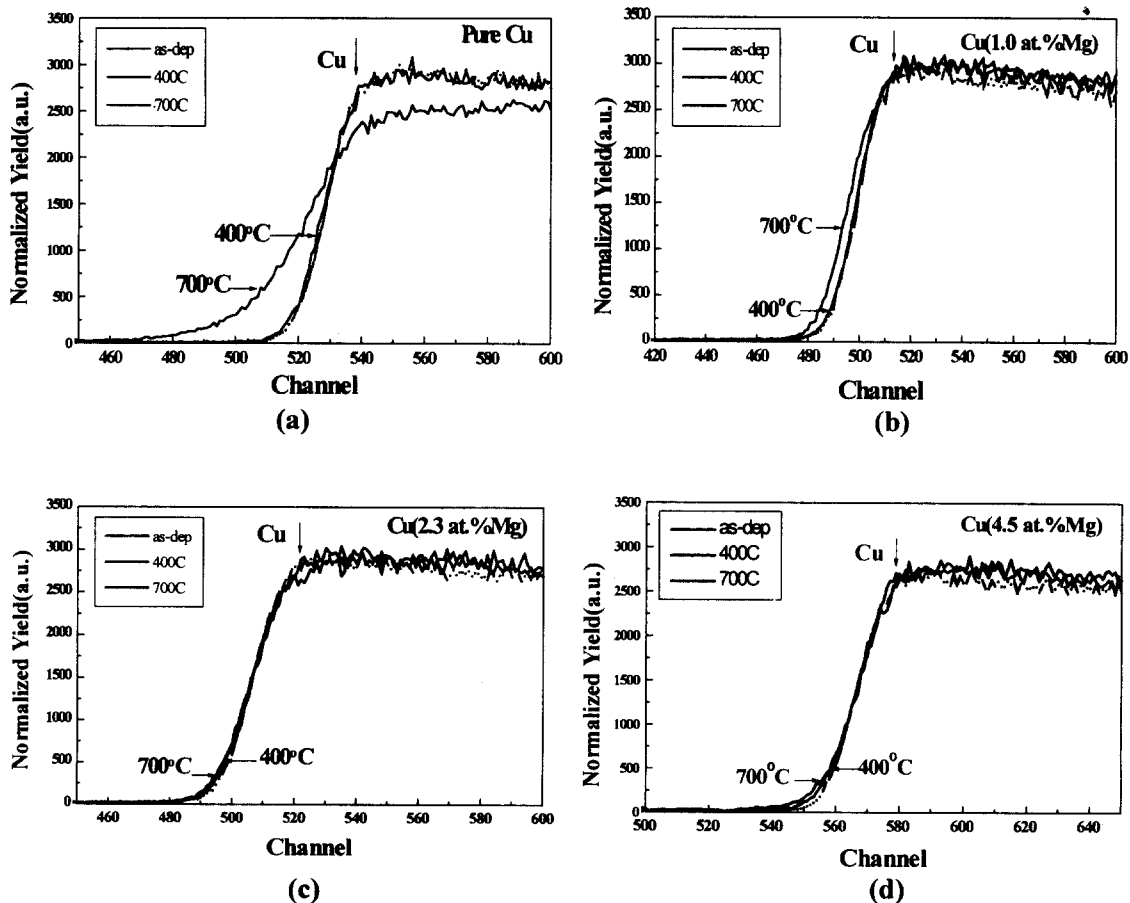


Fig. 1. RBS spectra of (a) Pure Cu (b) Cu(1at.%Mg) (c) Cu(2.3at.%Mg) (d) Cu(4.5at.%Mg) anneal in vacuum for 30min, respectively.

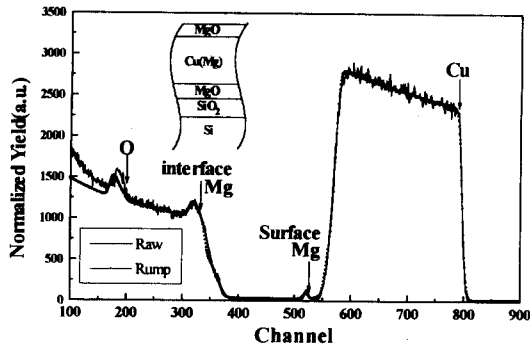
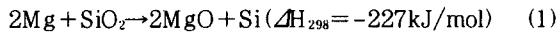


Fig. 2. RBS rump simulation of Cu(4.5at.%Mg)/SiO₂/Si annealed in vacuum at 700°C for 30min.

때문에 이를 방지하기 위해서는 확산방지막이 필요하게 된다. 본 연구에서는 Cu에 Mg을 첨가하므로써 SiO₂로 확산하는 Cu의 거동변화를 살펴보았다. 먼저 Cu(~4.5at.% Mg)/SiO₂/Si구조의 샘플에 대해 온도를 300°C~700°C까지 증가시키며 진공중에서 (8×10⁻⁶Torr) 30분간 열처리하였다. 이때 Mg의 농도는 4.5, 2.3, 1at.%로 하였고 SiO₂와의 확산특성을 순수한 Cu와 비교하였다. 그림 1은 RBS 결과로서 순수한 Cu의 경우 400°C에서는 두드러진 Cu의 확산이 일어나지 않았으나 700°C에서는 Cu가 SiO₂층으로 상당히 많이 확산되었다. 이에 반해 Mg이 첨가된 경우에는 SiO₂층으로의 확산이 현저하게 감소되었다. 계면에서의 반응을 알아보기 위해 700°C에서 열처리한 Cu(4.5at.%Mg)을 RBS rump simulation을 이용해 살펴본 결과 그림 2와 같이 계면에 약 250Å 정도의 MgO가 형성된 것을 알 수 있었다. 계면에서의 반응식을 살펴보면,



로 여겨지며 이때 형성된 MgO에 의해 Cu의 확산이 현저하게 감소하는 것으로 판단된다. 그리고 XTEM 분석에 의하면 계면에서 형성된 MgO는 30~40Å 정도의 입자가 3차원적으로 성장한 것을 확인할 수 있었다. 그러나 계면반응에 의해 형성된 free Si는 Cu alloy 박막내로 확산하여 비저항증가를 야기 시키기 때문에 Mg의 농도조절이 요구되어진다.

3-2. TiN/Si 위에서의 확산방지 특성

TiN/Si 기판위에서 Cu에 Mg이 첨가되었을 때 TiN의 확산방지특성을 살펴보기 위하여 Cu(Mg)/Sputter TiN(600Å)/Si 구조의 샘플을 600°C~900°C까지 온도를 증가시키며 진공중에서 (8×10⁻⁶Torr) 30분간 열처리하였다. 이때에 Mg의 농도는 4.5, 2.3, 1%로 하였고 순수한 Cu와 비교하였다. 그림 3은 열처리 후 면저항 변화를 나타내는 결과이다. 순수한 Cu의 경우 650°C부터 면저항이 증가하였고 1%의 경우는 700°C, 2.3%경우는 750°C부터 증가하였으나, 4.5%의 경우는 800°C까지 면저항이 감소하였다. 그림 4는 XRD 분석결과로서 1%의 경우는 700°C부터, 2.3%의 경우는 750°C부터 Cu₃Si peak가 나타났으며 4.5%의 경우는 800°C에서도 Cu와 Si의 반응에 의해

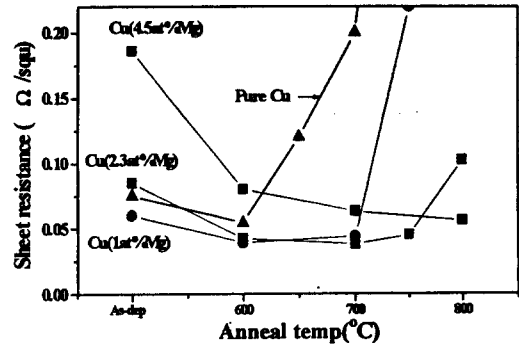


Fig. 3. Sheet resistance variation of Pure Cu and Cu(4.5, 2.3, 1at.%Mg)/TiN/Si annealed in vacuum at various temperature, respectively.

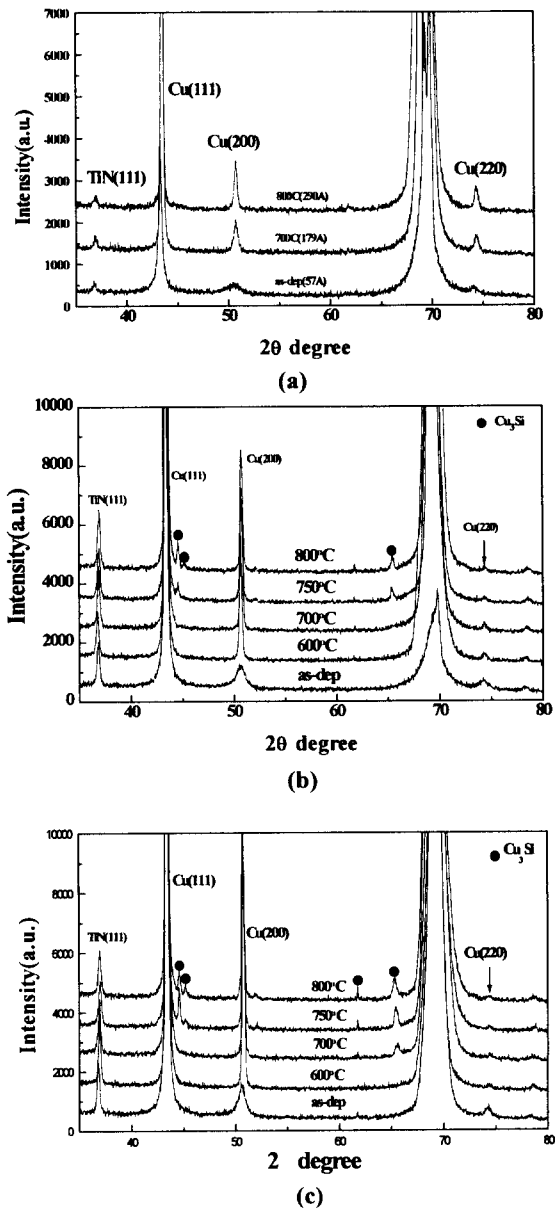
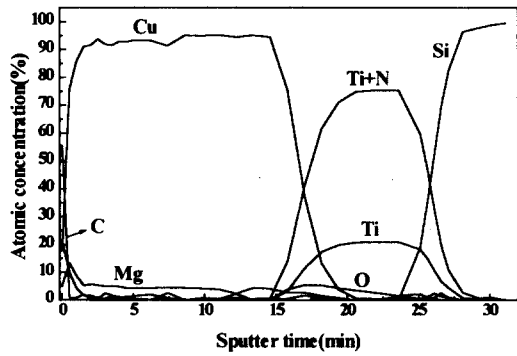
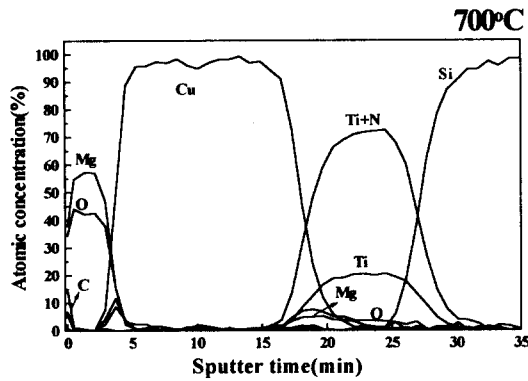


Fig. 4. XRD patterns of (a) Cu(4.5at.%Mg) (b) Cu(2.3at.%Mg) (c) Cu(1at.%Mg) on TiN/Si annealed in vacuum for 30min at various temperature, respectively.



(a)



(b)

Fig. 5. AES depth profiles of (a) as-deposited Cu(4.5at.%Mg) on TiN/Si and then annealed in vacuum at (b) 700°C, respectively.

형성된 peak가 나타나지 않았다. 이 결과로부터 Cu에 Mg이 첨가되었을 때 TiN의 확산방지능력이 향상된다는 것을 알 수 있었다. 이에 대한 원인을 살펴보기 위하여 Cu(4.5at.%)에 대해 AES분석을 실시한 결과 그림 5와 같이 Cu(Mg)과 TiN 계면에 MgO가 형성된 것을 알 수 있었으며 이층에 의해 TiN의 확산방지 능력이 향상되는 것을 알 수 있었다. Mg의 TiN 계면으로 이동한 것은 TiN표면에 존재하는 산소와의 반응성과 함께 Mg의 segregation 효과에 기인하는 것으로 여겨진다.

3-3. 표면 MgO의 확산방지특성

Cu내에 Mg은 낮은 온도에서도 쉽게 표면으로 확산하게 된다. 이러한 특성 때문에 외부에서 공급되는 O₂와의 반응으로 인하여 MgO를 쉽게 형성할 수 있게 된다. 표면에 형성된 MgO는 Cu의 취약점인 산화를 방지할 수 있는 산화 방지막으로서의 역할을 하게 된다. 따라서 표면에 형성된 MgO의 확산방지특성을 알아보기 위하여 Cu(2.3at.%Mg)/SiO₂/Si구조의 샘플을 500°C, 10mTorr의 산소압력에서 30분간 열처리를 실시하여 MgO를 약 150Å 성장시킨 후(AES에 의해 확인) Sputter Si를 약 4000Å 증착시켜 전체구조는 Si/MgO/Cu(Mg)/SiO₂/Si로 준비하였다. 이 샘플을 500°C~800°C까지 진공중에서 30분간 열처리하여 Si과 Cu층 사이에 있는 MgO의 확산방지막 특성을 조사하였다. 그림 6는 열처리 후 RBS 결과로서 700°C까지 MgO

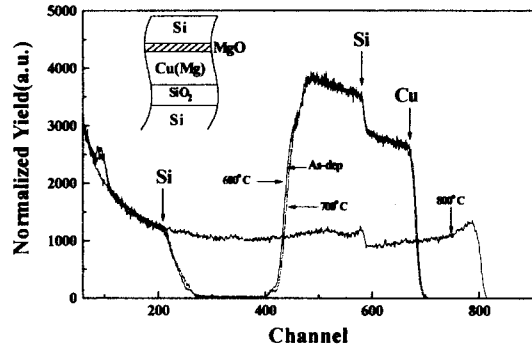


Fig. 6. RBS spectra of Si/Cu(2.3at.%Mg)/SiO₂/Si annealed in vacuum at 600, 700, 800°C.

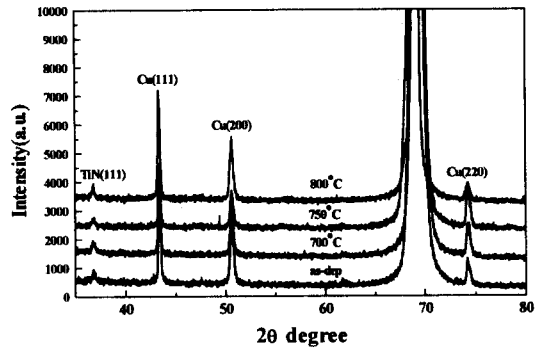


Fig. 7. XRD patterns of Si/Cu(4.5at.%Mg)/TiN/SiO₂/Si annealed in vacuum at 700, 750, 800°C, respectively.

가 Cu와 Si의 확산을 방지하는 것을 알 수 있었다. 그러나 800°C에서는 Si과 Cu의 상호확산이 활발하게 진행되어 막 전체가 혼합된 것을 확인할 수 있었다. 하지만 150Å의 MgO 확산방지막에 의해 700°C까지 견딜 수 있다는 것은 MgO의 막질이 상당히 치밀하다고 것을 보여주고 있다. 그리고 SiO₂위에 Sputter TiN을 1000Å 증착시켜 SiO₂와의 계면반응인 2Mg+SiO₂→2MgO+Si에 의해 형성된 free Si이 박막내로 확산하는 것을 최소화한 후 위와 같은 조건에서 MgO확산방지막 특성을 조사하였다. 그림 7은 열처리 후 XRD 결과로서 800°C까지 Cu와 Si의 반응에 의한 peak는 나타나지 않았다. 이와 같은 결과로부터 표면의 확산방지능력이 800°C 이상까지 유지됨을 알 수 있었다.

3-4. 표면 MgO의 누설전류 특성

TFT/LCDs에서는 gate metal이 Si 하부에 위치하는 bottom gate의 구조를 가지고 있다. 이 구조에서 gate oxide로서 일반적으로 SiN나 SiO₂가 적용되고 있다. Cu(Mg)은 열처리시 쉽게 표면에 MgO를 형성할 수 있고 그 위에 Si를 증착시키면 쉽게 MOS구조를 형성할 수 있다. 따라서 MgO의 누설전류특성은 MgO의 전기적인 막질 평가뿐 아니라 gate oxide적용에 매우 중요한 요소라 할 수 있겠다. 그림 8은 누설전류를 측정하기 위하여 형성한 구조이다. 그림 9는 I-V 결과로서 열처리 온도 500°C, 산소압력 70mTorr에서 형성시킨 MgO의 경우 5V정도에서 break down이 일어났으며 그때의 누설전류는 10⁻⁷A/cm²

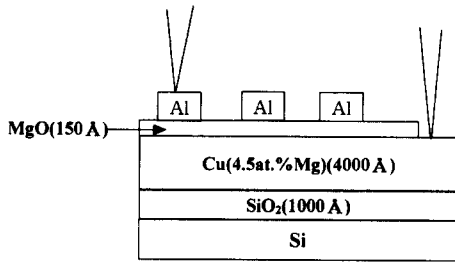


Fig. 8. Schematic of leakage current measurement for MgO/Cu (Mg) structure.

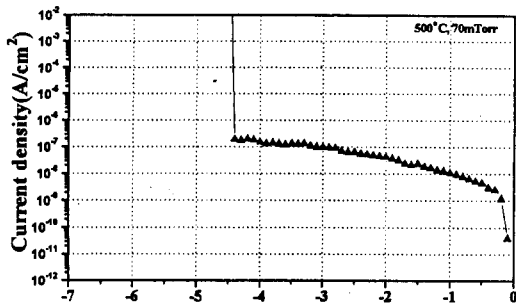


Fig. 9. Leakage current density for 150 Å - thickness MgO.

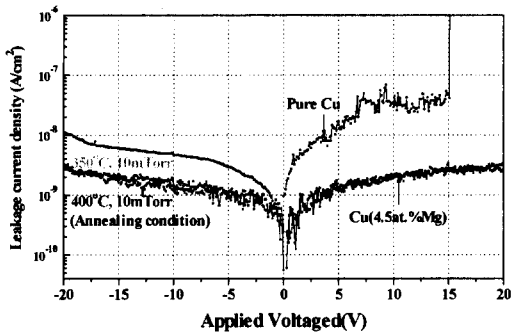


Fig. 10. Leakage current densities for 500 Å - thickness Si₃N₄ on pure Cu, MgO/Cu(Mg), respectively.

의 값을 나타내었다. 그리고 C-V를 통해 살펴본 유전상수는 8.5 정도의 값을 나타내었다. 그러나 열처리 온도 500°C는 LCD 공정온도에는 적합하지 않기 때문에 저온에서의 치밀한 MgO막 형성이 요구되어진다. 따라서 MgO 단일층으로 gate oxide를 사용하는 것이 아니라 Si₃N₄를 500 Å 열어서 그때의 누설전류 특성을 살펴보았다. Si₃N₄ 증착시 Cu는 SiH₄+NH₃와의 반응성 때문에 불안정한 계면특성을 나타내는 것으로 알려져 있다.⁸⁾ 그렇기 때문에 Si₃N₄/MgO/Cu(Mg) 구조에서 Si₃N₄ 증착시 Si₃N₄와 MgO 사이에 안정적인 계면이 형성될 수 있는지에 대한 조사가 필요하다고 판단되어 다음과 같은 실험을 실시하였다. 그림 10은 Si₃N₄(500 Å)/MgO(~150 Å)/Cu(4.5at.%Mg) 구조에서 Al을 상부전극으로 증착한 후 누설전류를 측정한 결과이다. 순수한 Cu의 경우에는 -20V에서 누설전류밀도가 10-8A/cm²을 나타냈으며 +15V에서는 breakdown이 발생하였다. +15에서 breakdown이 발생한 것은 Cu와 Si₃N₄ 계면

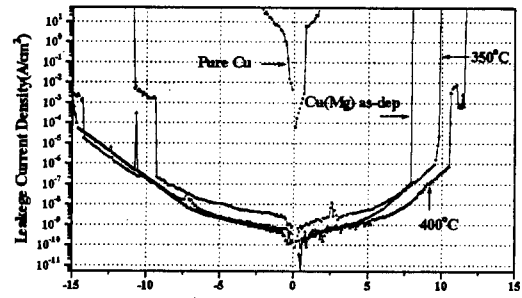


Fig. 11. Leakage current densities for 100 Å - thickness Si₃N₄ on pure Cu and MgO/Cu(Mg), respectively.

에서의 반응성 때문인 것으로 여겨진다. Mg이 첨가된 경우에는 ±20에서 모두 3×10⁻⁹A/cm²의 낮은 누설전류밀도를 나타내었다. 이는 Si₃N₄과 Cu(Mg)의 계면에서의 안정성이 확보된 것을 의미하며 MgO에 의해 누설전류가 상당히 저하되었음을 알 수 있었다. 또한 MgO형성온도가 400°C 이하이기 때문에 공정적용에도 상당히 유리할 것으로 판단된다. 그리고 Si₃N₄의 두께를 100 Å으로 감소시켜 위와 같이 측정된 결과 그림 11과 같이 Si₃N₄(100 Å)/Cu구조에서는 1V이하의 매우 낮은 break down특성을 나타내었지만 Si₃N₄(100 Å)/MgO(~150 Å)/Cu(4.5at.%Mg) 구조에서는 10V이상의 break down 특성을 보여주어 100 Å 정도의 매우 얇은 Si₃N₄만으로도 안정적인 누설전류값을 얻을 수 있음을 알 수 있었다.

4. 결 론

- 본 연구에서 얻은 결과를 다음과 같이 요약할 수 있다.
- 1) SiO₂/Si기판위에서 Mg과 Si과의 반응에 의해 형성된 MgO층은 SiO₂층으로의 Cu 확산을 감소시키는데 매우 효율적이다.
 - 2) Cu(Mg)/TiN/Si구조에서 TiN의 확산방지능력이 향상되는 것은 TiN과 Cu(Mg) 계면에 MgO가 형성되는데 기인한다.
 - 3) 표면에서 형성된 치밀한 MgO는 Si과 Cu의 상호확산을 700°C까지 방지할 수 있었다.
 - 4) Gate oxide로서 Si₃N₄/MgO 이중구조는 Cu와의 안정된 계면과 낮은 누설전류값을 나타내었다.

감사의 글

본 연구는 산업자원부와 과학기술부에서 시행한 선도기술개발(G-7)사업의 지원에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

참 고 문 헌

1. D. Edelstein, J. Heidenreich, R. Goldblatt, W. Cote, C. Uzoh, N. Lustig, P. Roper, T. McDevitt, W. Motsiff, A. Simon, J. Dukovic, R. Wachnik, H. Rathore, R. Schulz, L. Su, S. Luce, and J. Slattery "International Electron Devices Meeting" Decem-

- ber 7-10, 1997, p. 773.
2. Panos C. Andricacos "INTERFACE", vol. 8, NO. 1 spring 1999.
 3. P.Gilbert, I. Yang, C. Pettinato, M. Angyal, B. Boeck, C. Fu, T. VanGompel, R. Tiwari, T. Sparks, W. Clark, C. Dang, J. Mendonca, B. Chu, K. Lucas, M. Kling, B. Roman, E. Park, F. Huang, M. Woods, D. Rose, K. McGuffin, A. Nghiem, E. Banks, T. McNelly, C. Feng, J. Sturtevant, H. De, A. Das, S. Veeraraghavan, F. Nkansah, and M. Bhat "International Electron Devices Meeting" December 6-9, 1998, p. 1013.
 4. P.J. Ding, W.A. Lanford, S. Hymes, and S.P. Muraka, Appl. Phys. Lett., **64(21)**, 23 May, 1994, 2897-2899.
 5. W.A. Lanford, P.J. Ding, W. Wang, S. Hymes, and S.P. Muraka, Thin Solid Films, 262 234-241 (1995).
 6. P.J. Ding, W.A. Lanford, S. Hymes, and S.P. Muraka, J. Appl. Phys., **75** 3627 (1994).
 7. J. Li, J.W. Mayer, and E.G. Colgan, J. Appl. Phys. 70(5), September 1991, 2820-2827.
 8. H. Sirringhaus, S.D.Theiss, A.Kahn, S.Wagner, IEEE Vol 18, No 8, August 1997, 388-390.