論文 5-3-4

'99 추계학술대회 우수추천논문

다중브리지로 구성된 SSSC의 동특성 분석

韓 炳 文*, 朴 德 義*, 白 承 澤*, 金 義 重*, 蘇 龍 哲**, 金 顯 宇***

Dynamic Characteristic Analysis of Multi-bridge SSSC

Byung-Moon Han*, Duk-Hee Park*, Seung-Taek Baek*, Hee-Joong Kim*,
Yong-Chul Soh**, Hyun-Woo Kim***

요 약

본 논문에서는 멀티브리지 인버터로 구성된 SSSC를 제안하였다. 제안한 SSSC의 동적특성을 분석하기 위해서 1기 무한모선 전력계통에 SSSC를 연결한 것을 가정하고 EMTP 시뮬레이션을 수행하였고, 축소모형 실험으로 그 특성을 확인하였다. 다중브리지 SSSC는 한 상당 6개의 단상 풀브리지 인버터로 구성되었고, 13-레벨 출력전압을 얻을 수 있다. 다중브리지 SSSC는 전압 주입을 위한 연계 변압기가 필요하지 않고, 전력계통에서 요구되는 동작전압에 따라 브리지의 수를 가감하여 용이하게 구성할 수 있다.

ABSTRACT

This paper proposes an SSSC based on multi-bridge inverters. The dynamic characteristic of the proposed SSSC was analyzed by EMTP simulation, assuming that the SSSC is inserted in the transmission line of the one-machine-infinite-bus power system. The proposed SSSC has 6 multi-bridge inverters per phase, which generates 13 pulses for each half period of power frequency. The proposed SSSC generates a quasi-simusoidal output voltage by 90 degree phase shift to the line current. The proposed SSSC does not require the coupling transformer for voltage injection, and has a flexibility in operation voltage by increasing the number of series connection.

Key Words : SSSC(static synchronous series compensator), EMTP, Multi-bridge inverter

1. 서 론

SSSC는 선로에 직렬로 삽입되어 선로양단에 걸리는 전압을 직접 제어하는 기능을 갖는다.[1][2] SSSC에 사용되는 인버터는 STATCOM에서와 마찬가지로 동작전압을 높히기 위해 다수의 GTO를 직렬로 결합한 스위치로 구성되어 있다. 그런데 GTO 소자의 직렬운용은 대단히 난이하고 직렬운용이 가능한 소자수에도 많은 제약이 따른다. 따라서 전력계통과 원만한 결합을 위해 강압변압기를 사용하는 것이 보편적이다.

소자의 직렬운용을 피하기 위해 처음으로 고안된 것이 다중레벨 STATCOM 이다. 그러나 다중레벨인버터는 출력전압의 형성이 복잡하고 많은 역결합 다이오드를 필요로 한다. 이러한 단점을 보완하고자 Peng은 한 상당 5개의 단상 풀브리지로 구성한 다중브리지 STATCOM을 제안하고 그 동작과 특성을 축소모형을 통한 실험으로 분석하였다.[3][4]

본 논문에서는 한 상당 6개의 단상 풀브리지로 구성된 다중브리지 SSSC를 제안하고 그 동작을 EMTP에 의한 시뮬레이션으로 검증한 내용을 기술하고 있다.

2. SSSC 보상원리

그림 1은 SSSC가 1기 무한모선 송전계통에 삽입된

단상 등가회로를 나타낸 것이다. SSSC의 주입전압은 선로양단에 걸리는 전압에 가해지거나 감해져 송·수전 양단에 걸리는 유효전압이 바뀌고 선로에 흐르는 전류가 일정하다고 가정하면 결과적으로 선로 리액턴스를 가변하는 결과를 얻는다.

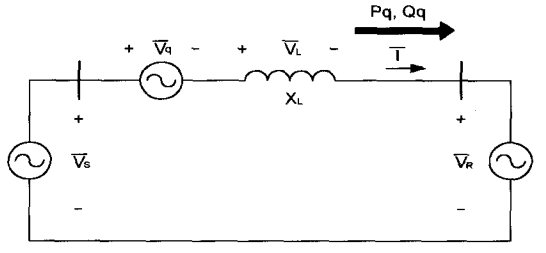


그림 1 SSSC와 1기무한모선 등가회로
Fig. 1 SSSC and one-machine infinite bus

그림 2는 SSSC를 투입하지 않았을 때와 SSSC를 인덕턴스모드와 캐패시터모드로 동작시킬 때의 페이서도를 나타낸 것이다.

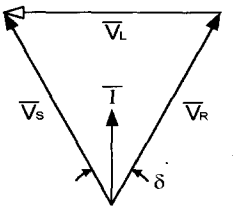
그림 2(a)는 보상이 없는 경우를 나타내며 선전류는 송·수전 양단의 전압차와 선로임피던스에 의해 정해진다. 그림 2(b)는 SSSC가 인덕턴스모드로 동작하는 경우이며 송·수전 양단에 걸리는 전압 V_e 는 V_L 과 V_q 의 합으로 나타난다. 따라서 선로의 리액턴스 값은 증가하고 선전류는 감소한다. 그림 2(c)는 SSSC가 캐패시터모드로 동작할 경우이며 송·수전 양단에 걸리는 전압 V_e 는 V_L 과 V_q 의 차로 나타난다. 따라서 선로의 리액턴스 값은 감소하고 선전류는 증가한다.

SSSC에 의한 직렬보상은 캐패시터에 의한 직렬보상과 개념상으로는 동일하나 보상에 따른 특성은 상이하다. SSSC는 선전류에 관계없이 송전선에 직렬로 보상전압을 주입하므로 전송유효전력 P_q와 전송무효전력 Q_q는 주입된 전압의 함수로 다음과 같이 표현된다.

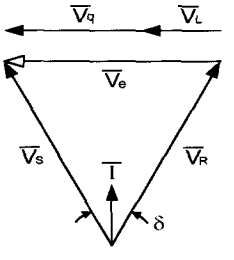
$$P_q = \frac{V^2}{X_L}\sin\delta + \frac{V}{X_L}V_q\cos(\delta/2) \quad (1)$$

$$Q_q = \frac{V^2}{X_L}(1-\cos\delta) + \frac{V}{X_L}V_q\sin(\delta/2) \quad (2)$$

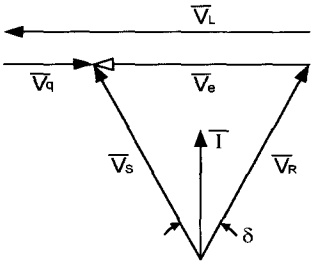
위 식에서 주목할 사항은 SSSC에 의한 보상은 캐패시터에 의한 보상과 달리 δ가 0° 일 때도 보상전압 V_q의 크기에 따라 유효전력의 전송이 가능하다는 것이다. 특히 V_q의 크기가 (-)일 경우 역방향으로의 전력흐름도 가능하다.



(a) 무보상시



(b) L_mode 보상시



(c) C_mode 보상시

그림 2 SSSC의 보상 페이서도
Fig. 2 Phase diagram

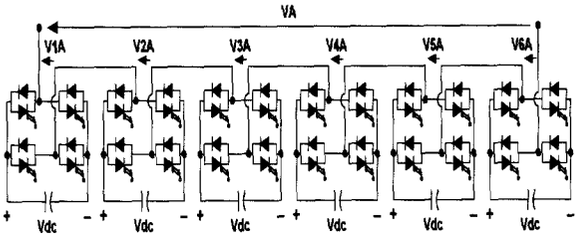
3. 다중브리지 인버터

3.1 동작원리

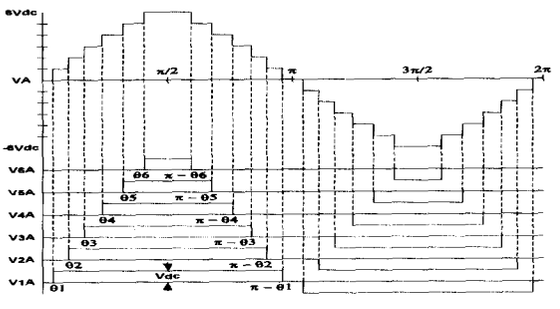
본 논문에서는 다중브리지를 이용하여 SSSC의 인버터를 구성하였으며, 그림 3은 다중브리지인버터의 동작원리를 나타낸 것이다.

그림 3(a)에서 보듯이 다중브리지인버터는 6개의 단상 풀브리지 인버터로 구성되어 있다. 이러한 구조의 다중브리지를 이용하면 13-레벨의 출력 전압을 얻을 수 있으며, 그림 3(b)에는 각각의 단상 풀브리지 인버터 출력전압 파형과 다중브리지 인버터의 13-레벨 출력전압 파형을 도시하였다. 그림 3에서 각각 단상 풀브리지 인버터가 DC Link 커패시터에는 V_{dc}의 전압이

충전 되어있으며, V1A~V6A의 전압을 발생하면 단상 풀브리지 인버터의 다중화에 의해서 13-레벨의 출력전압 파형(VA)을 얻을 수 있다.



(a) 다중브리지인버터



(b) 다중브리지인버터의 각부 파형

그림 3 다중브리지인버터 동작원리 I
Fig. 3 Principle of operation I

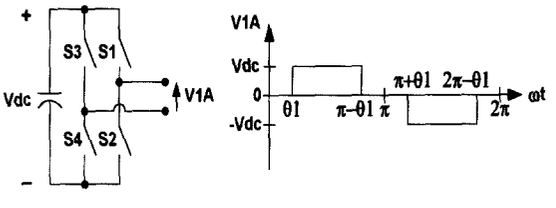


그림 4 다중브리지인버터 동작원리 II
Fig. 4 Principle of operation II

그림 4와 표 1은 다중브리지인버터의 정확한 동작을 위해서 각각의 단상 풀브리지 인버터의 스위치가 어떠한 방식으로 동작을 해야 하는지를 보여준다.

그림 4의 인버터가 오른쪽의 그림과 같은 출력을 발생할 때 S1~S4의 스위치의 동작은 출력 전압의 크기가 V_{dc}, 0, $-V_{dc}$인 경우로 나누어서 설명할 수 있으며 각각의 상태에 대한 스위치 동작을 표 1에 정리하였다.

표 1 다중브리지인버터 스위칭 방식
Table 1 Switching method

V1A	Switch State
Vdc	S1, S4 : on and S2, S3 : off
0	i) S1, S3 : on and S2, S4 : off ii) S2, S4 : on and S1, S3 : off
-Vdc	S2, S3 : on and S1, S4 : off

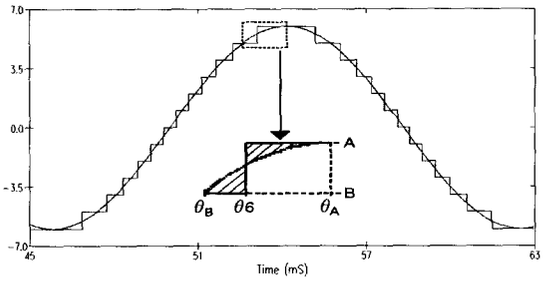


그림 5 고조파 저감을 위한 θ 산출 방법
Fig. 5 Method for harmonic reduction

그림 5는 다중브리지인버터의 출력전압을 정현파에 가깝게 되도록 만들어 고조파레벨을 저감하는 $\theta_1 \sim \theta_6$의 산출방법에 대해서 θ_6의 경우를 예로 들어 도시하였다. 그림 5에서 보여지는 방법은 이상적인 정현파의 면적과 다중브리지인버터의 13-레벨 출력전압의 면적을 같게 만드는 방법으로 점선부분을 확대한 부분의 A와 B는 다중브리지인버터의 다중화 수를 알면 구할 수 있으며, 이 두 값에서 θ_A와 θ_B의 값을 계산할 수 있다. 따라서 빗금으로 표시한 두 부분의 면적이 같아지는 θ_6의 값은 다음 수식에 의해서 구할 수 있다.

$$\int_{\theta_B}^{\theta_6}(\sin\theta - B)d\theta - \int_{\theta_6}^{\theta_A}(A - \sin\theta)d\theta = 0 \qquad (3)$$

식(3)을 θ_6에 대하여 정리하면 식(4)와 같다.

$$\theta_6 = \frac{A\,\theta_A - B\,\theta_B + \cos\theta_A - \cos\theta_B}{A - B} \qquad (4)$$

식 (4)에서 θ_A와 θ_B는 식(5)와 같다.

$$\theta_A = \sin^{-1}A, \quad \theta_B = \sin^{-1}B \qquad (5)$$

그리고 식(4)를 일반화시키면 다음과 같다.

$$\theta_n = (n\,\theta_{\frac{n}{M}} - (n-1)\,\theta_{\frac{n-1}{M}}) + M(\cos\theta_{\frac{n}{M}} - \cos\theta_{\frac{n-1}{M}}) \quad (6)$$

위 식(6)에서

$(n=1,2,3,4,5,6)$, $(A=\frac{n}{M},\ B=\frac{n-1}{M})$이며, M은 다중브리지인버터의 다중화 수이다. 그러므로 그림 5의 경우는 M=6이다.

3.2 시스템 구현

현재 개발된 GTO소자를 이용하여 다중브리지인버터를 구현할 때 그림 4의 단상 풀브리지 인버터에서 GTO소자의 직렬운용을 하지 않고 실제로 구현할 수 있는 정격은 다음과 같다.

- ○ 정격 DC 전압 : V_{dc} ≃ 5kV
- ○ 정격 출력전압 크기 : $V_o \simeq V_{dc}$ ≃ 5kV
- ○ 정격용량 : $S \simeq 1/2 \cdot V_{dc} \cdot 2kA \approx 5MVA$

위의 경우 실제로 FACTS 장비에 적용하기엔 낮은 정격이다. 따라서 직렬운용이 불가피한데 직렬운용에는 소자의 직렬운용과 인버터 자체의 직렬운용이 있으며, 본 논문에서 제안한 6개의 단상 풀브리지 인버터로 구성한 다중브리지인버터의 정격은 다음과 같다.

- ○ 정격 DC 전압 : $6 \cdot V_{dc}$ ≃ 30kV
- ○ 정격 출력전압 크기 : $V_o \simeq V_{dc}$ ≃ 30kV
- ○ 정격용량 : $S \simeq 3 \cdot V_{dc} \cdot 2kA \approx 30MVA$

위의 다중브리지인버터의 정격 출력전압(V_o)의 크기는 154kV 송전선로 상전압의 33.74%에 해당하며 실제 송전선로에 적용되는 FACTS 장비의 동작전압을 만족시키기에 충분하다.

4. EMTP 시뮬레이션

다중브리지인버터로 구성된 SSSC의 동작 특성을 분석하기 위해서 EMTP를 이용한 시뮬레이션을 수행하였다.

그림 6에서 보여지는 시뮬레이션 모형은 한 상에 해당하며 각 상이 같은 형태로 구성되어있다. 송전단과 수전단 사이에 다중브리지인버터가 삽입되어 있고 다중브리지인버터와 수전단 사이에 선로 인덕턴스를 삽입하였으며, 선로 인덕턴스는 집중 선로정수로 모델링하였다. 시뮬레이션에서 사용된 회로정수는 표 2에 나타나 있으며 시뮬레이션상의 모든 값은 표 2에 있는 기준값을 바탕으로 pu값으로 환산하여 나타내었다.

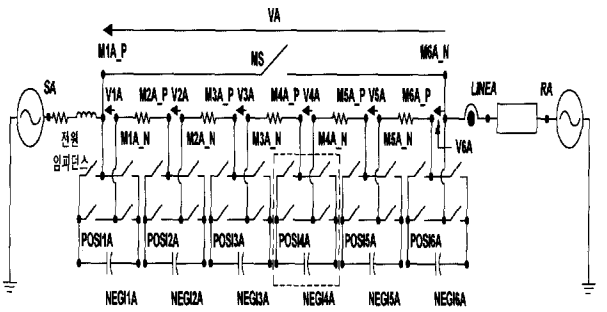


그림 6 시뮬레이션 모형
Fig. 6 Simulation model

표 2 시뮬레이션 회로정수
Table 2 parameter of simulation

Base 전압	154[kV]
Base 용량	400[MVA]
전원 주파수	60[Hz]
선로 인덕턴스	1.56[pu]
송·수전단 위상차(전력각)	30°

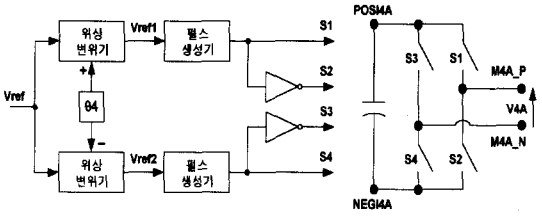
4.1 Gate 펄스 생성

그림 7은 그림 6에서 점선으로 표시된 부분의 단상 풀브리지 인버터 Gate 펄스를 만드는 과정을 보여준다. 보상하길 원하는 전압 형태인 V_{ref}를 그림과 같이 θ_4의 각도로 위상을 변화시켜 V_{ref}보다 θ_4만큼 앞선 V_{ref1}과 뒤진 V_{ref2}를 만든다. 그리고 이 두 신호를 가지고 각 신호의 양의 반주기 동안 단상 풀브리지 인버터의 스위치에 on신호를 주는 Gate 펄스를 발생시킨다.

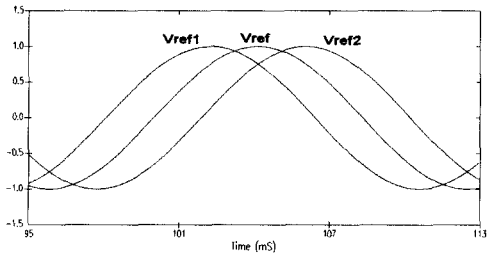
또한 S1과 S4의 두 신호는 NOT 게이트 거쳐서 단상 풀브리지 인버터에 필요한 최종적인 4개의 Gate 펄스를 생성한다. 다중브리지인버터의 동작은 이러한 과정을 θ만 변화시키면서 6번을 반복하여 각각의 단상 풀브리지 인버터에 Gate 신호를 주입하여 이루어진다.

그림 7의 (b)와 (c)는 그림 7(a)의 V_{ref}와 θ_4의 위상만큼 변조된 V_{ref1}과 V_{ref2} 그리고 S1~S4의 Gate 펄스의 파형을 보여준다. 그림 7(d)는 그림 7(c)에서 보여진 4개의 Gate 신호가 입력되어 그림 7(a)에 나타낸 인버터가 동작했을 때 출력전압 V4A와 V_{ref}를 같이 나타내었으며, 인버터의 DC Link 캐패시터에 크기가 1V인 이상적인 DC 전원이 연결되어 있는 경우의 파

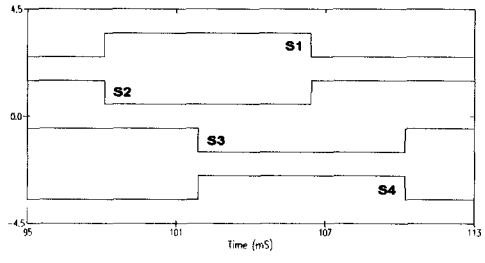
형이다. 그림 7(d)에서 보듯이 V4A의 영전위 구간에서는 그림 7의 인버터 상단 스위치(S1, S3)나 하단 스위치(S2, S4)를 동시에 on시킴으로써 다중브리지인버터의 동작을 정상적으로 유지할 수 있다.



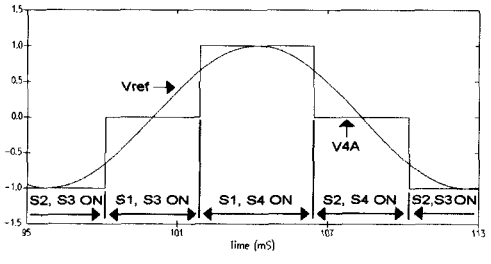
(a) 펄스 생성과정



(b) Vref, Vref1, Vref2 파형



(c) Gate 펄스(S1~S4)



(d) V4A, Vref 파형

그림 7 Gate 펄스 생성 방법
Fig. 7 Gate pulse generation

4.2 시뮬레이션 제어기

다중브리지인버터로 구성된 SSSC의 제어기가 그림 8에 나타나있다. 그림에 보여지는 제어기는 3상 다중브리지인버터의 경우 각 상이 커패시터를 공유하지 않기 때문에 각상 분리 제어를 하고 있음을 보여준다.

제어기의 동작은 선로 전류를 측정하여 Phase-Locked Loop에 의해서 선로 전류에 동기된 θ를 발생하고 이 θ는 각 상에 맞게 재조정된다. V_q^*는 게인과 곱해져서 V_{dc}^*를 생성하고 각 상별로 DC Link 커패시터 전압을 Feedback 받아 PI-Controller를 거쳐서 나온 신호는 Limiter에서 적당한 동작범위의 값으로 제한되어 출력된다. 이 때 DC Link 캐패시터의 실측치는 그림 6에서 보여지는 다중브리지인버터를 구성하는 6개의 단상 풀브리지 인버터의 DC Link 커패시터 전압의 평균값이고 V_{dc}^*는 0.06pu이다. PI-Controller의 출력 신호는 V_q^*의 부호를 나타내는 Mode Sign과 곱해진다.

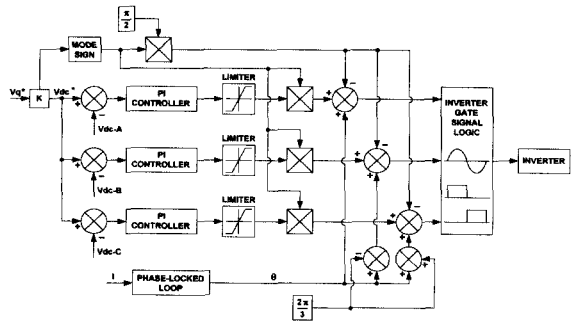


그림 8 시뮬레이션 제어기
Fig. 8 Control diagram

Mode Sign은 SSSC의 C-Mode와 L-Mode의 경우 DC Link 커패시터 전압을 제어하는데 있어서 동일 PI-Controller의 출력을 이용하여 각 모드에서 정확한 동작을 하기 위한 것과 C-Mode와 L-Mode에서 SSSC가 주입하는 전압의 위상을 C-Mode에서는 전류보다 90° 뒤지게, L-Mode에서는 전류보다 90° 앞서게 하는 역할을 동시에 수행한다. 시뮬레이션 상에서 Mode Sign의 값은 C-Mode시 1, L-Mode시 -1이다. 3상 선로 전류에 동기된 신호와 DC Link 커패시터 전압을 제어하기 위한 신호 그리고 각 Mode별 SSSC 주입전압의 위상을 결정하는 신호가 조합되어 최종적으로 인버터 게이트신호 로직에서 주입전압의 레퍼런스 신호를 발생하는데 사용된다. 그리고 앞 절에서 설명한 방법으로 생성된 게이트신호는 각각의 인버터에 입력된다.

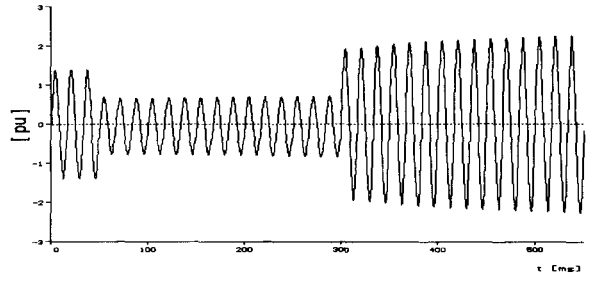
4.3 시뮬레이션 결과

시뮬레이션 시나리오는 최초 50ms동안 그림 6에서 나타낸 MS 스위치는 on상태이고 각 상의 다중브리지 인버터의 스위치들은 off상태로 있으며 SSSC는 동작을 하지 않는다. 50ms~300ms동안 Mode Sign은 -1로 설정되어 SSSC는 L-Mode로 동작을 하며, 300ms~550ms사이에는 Mode Sign이 1로 설정되어 C-Mode로 동작을 한다.

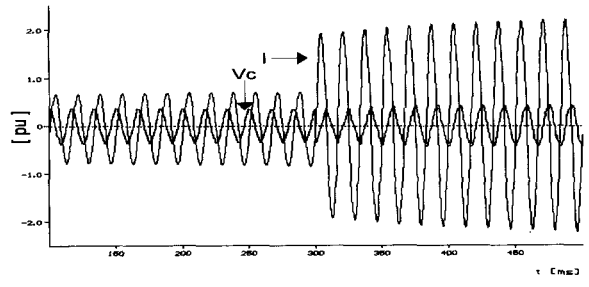
시뮬레이션 결과는 그림 9에 나타나있다. 그림 9(a)는 총 시뮬레이션 시간동안 선로전류의 변화를 나타내며 SSSC가 동작을 하지 않는 때와 비교하여 L-Mode시에는 전류가 감소하고 C-Mode에서는 전류가 증가하는 것을 볼 수 있다.

그림 9(b)는 L-Mode에서 C-Mode로의 천이과정에서 인버터 주입전압과 선로전류를 나타낸 것으로서 천이과정이 반주기 내에 이루어지고 있음을 알 수 있다.

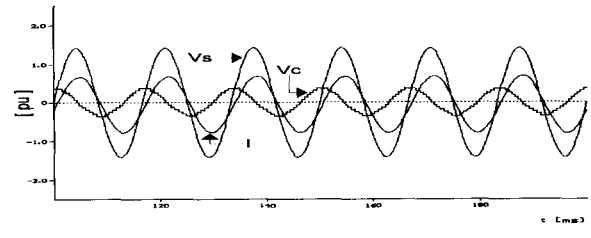
그림 9(c)는 L-Mode시 전원전압과 인버터 주입전압 그리고 선로전류를 나타낸 것으로서 이때 SSSC는 1.42 pu의 유도성 리액턴스와 같이 동작을 한다. 그림 9(d)는



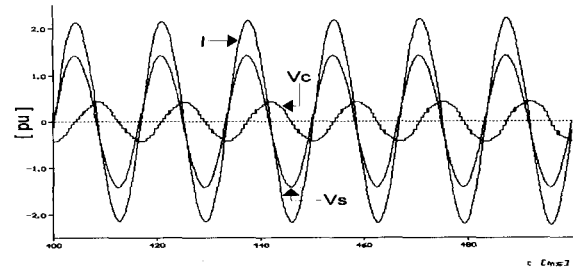
(a) 선로전류



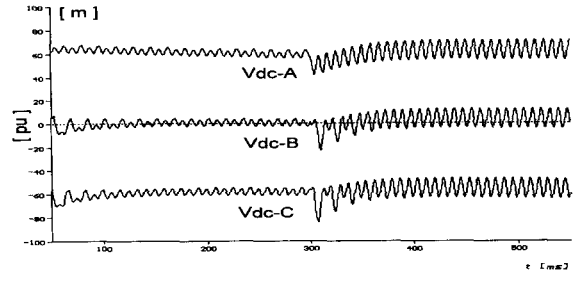
(b) 인버터 주입전압(VC)과 선로전류(I)



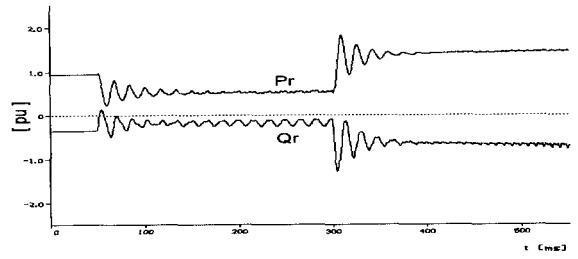
(c) L-Mode시 전원전압(VS),인버터 주입전압(VC), 선로전류(I)



(d) C-Mode시 전원전압(VS), 인버터 주입전압(VC), 선로전류(I)



(e) DC Link 커패시터 전압



(f) 수전단의 유· 무효전력

그림 9 시뮬레이션 결과

Fig. 9 Simulation results

는 C-Mode시 전원전압과 인버터 주입전압 그리고 선로전류를 나타낸 것인데 이때 SSSC는 0.59pu의 용량성 리액턴스와 같이 동작한다. 그림 9(e)는 그림 8의 제어기에서 쓰이는 DC Link 커패시터 실측치를 나타낸다. 그림 9(f)는 수전단의 유·무효전력은 나타낸 것으로서 SSSC가 각 모드로 동작할때 유·무효전력(P_r, Q_r)의 변화를 나타내며 P_r과 Q_r은 각각 SSSC가 동작하기 전에는 0.93pu, -0.35pu에서 L-Mode시 0.52pu, -0.12pu로 감소하고 C-Mode시 1.46pu, -0.67pu로 증가함을 알 수 있다.

5. 축소모형 실험

다중브리지인버터로 구성된 SSSC의 동작 특성을 분석하기 위해서 축소모형을 제작하여 실험하였다. 인버터의 스위칭 소자는 IGBT single-type을 사용하였고, 전체 시스템의 제어와 펄스생성 장치로는 TMS320C31를 사용하였다. 인버터 게이트 펄스의 기준으로는 선전류를 사용하였고 그림 7에 설명한 바와 같이 기준 선전류를 $\pm\theta$의 각도로 변화시켜서 단상 풀브리지 인버터의 게이트 펄스를 생성하였다. 그림 10은 축소모형 회로도를 나타낸 것이다. 축소모형은 기본적인 다중브리지 SSSC의 동적특성을 분석하기 위해서 단상으로 제작하였고 향후 3상으로 제작할 예정이다. 다중브리지 SSSC는 그림 10과 같이 풀브리지 인버터 4개로 구성하였고 시뮬레이션 모형과 같이 각각의 인버터는 DC Link 캐패시터를 분리제어한다. 표 3은 축소모형 회로정수를 나타낸 것이다.

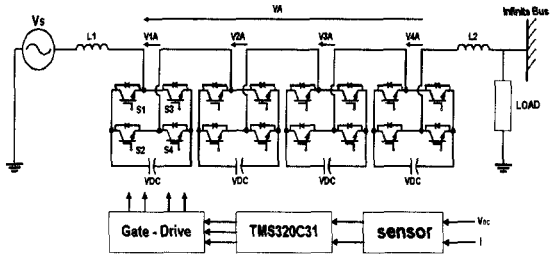


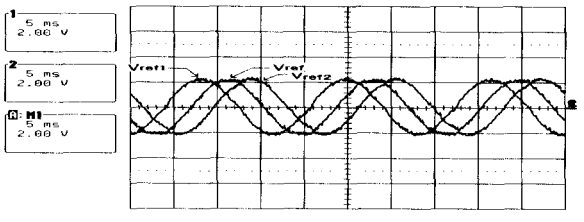
그림 10 축소모형 회로도
Fig. 10 Scaled model

그림 11은 축소모형 실험결과를 나타낸 것이다. 그림 11(a)는 보상기 주입전압의 기준전압 파형을 나타낸 것이다.

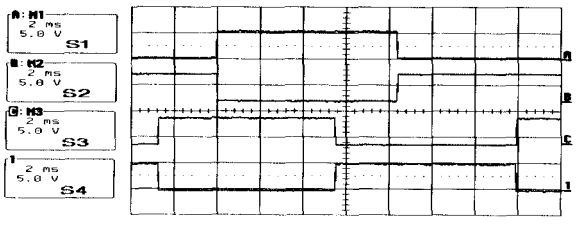
표 3 축소모형 회로정수
Table 3 Parameter of experiment

전원 전압	100[V]
선로모형 L1	20.9[mH]
선로모형 L2	40[mH]
부하	30[Ω]
DC Link 캐패시터	2200[μF]

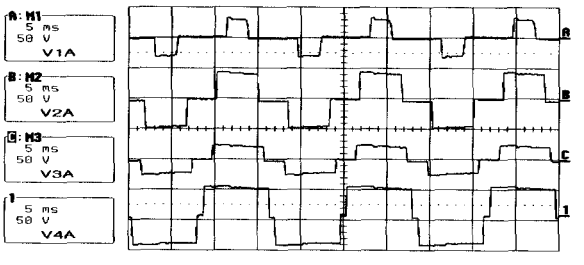
이 기준전압으로 각각의 풀브리지 인버터에 공급될 게이트 펄스를 생성하게 된다. 그림 11(b)는 풀브리지 인버터에 공급되는 게이트 펄스를 나타낸 것이다. 그림 11(c)는 4개의 풀브리지 인버터로 구성된 SSSC의 출력전압을 나타낸 것이고 그림 11(d)는 풀브리지 인버터의 DC Link 캐패시터 전압을 나타낸 것이다. 각각의 캐패시터 전압이 거의 균등함을 볼 수 있다.



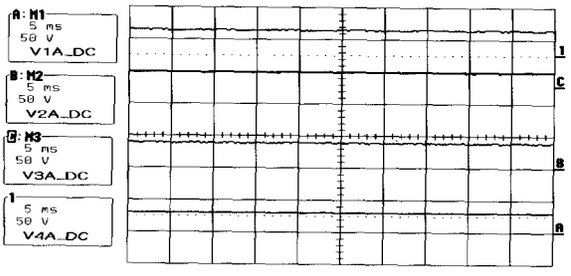
(a) 보상기 주입전압 기준치



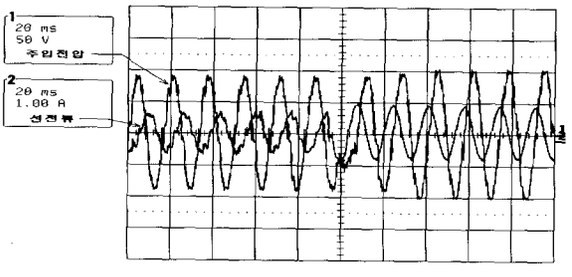
(b) 게이트 펄스



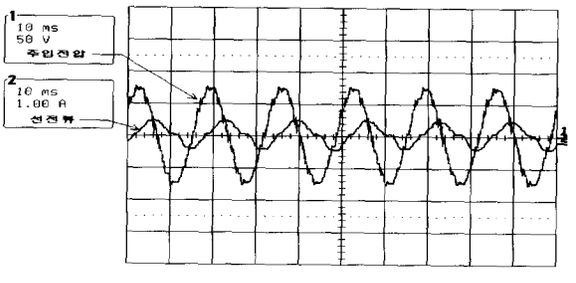
(c) 인버터 출력전압



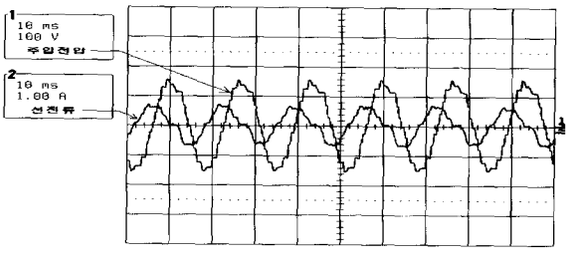
(d) DC Link 전압



(e) 인버터 주입전압과 선로전류



(f) 인버터 주입전압과 선로전류(L_mode시)



(g) 인버터 주입전압과 선로전류(C_mode시)

그림 11 실험결과

Fig. 11 Experimental results

그림 11(e)는 L-Mode에서 C-Mode로의 천이과정시 인버터 주입전압과 선로전류를 나타낸 것으로서 천이과정이 비교적 빠름을 알 수 있다. 동작천이시간은 200㎳동안은 L_Mode로 동작하다가 200㎳후에는 C_Mode로 동작하도록 설정하였다. 그림 11(f)는 L-Mode시 인버터 주입전압과 선로전류를 나타낸 것으로서 이때 SSSC는 유도성 리액턴스와 같이 동작을 한다. 그림 11(g)는 C-Mode시 인버터 주입전압과 선로전류를 나타낸 것인데 이때 SSSC는 용량성 리액턴스와 같이 동작한다.

6. 결 론

본 논문에서는 다중브리지로 구성된 SSSC의 동특성을 EMTP 시뮬레이션과 축소모형 실험으로 분석한 결과에 대해 기술하였다. 제안하는 다중브리지 SSSC는 전력계통에서 요구되는 동작전압에 따라 브리지의 수를 가감하여 용이하게 구성할 수 있으며 주입용 변압기가 없이 선로에 직접 연결이 가능하다. 향후 연구가 더 필요한 분야는 각각의 직류 커패시터에 나타나는 전압을 일정하게 유지하는데 필요한 제어기의 개발이다.

이 논문은 한국과학재단의 특정기초 연구비 지원에 의하여 수행된 결과의 일부임. (98-0101-09-01-3)

참 고 문 헌

[1] Laszlo Gyugyi, Colin D. Schauder, Kalyan K. San, "Static Synchronous Series Compensator : A Solid-State Approach to The Series Compensation of Transmission Lines", IEEE Trans. on Power Delivery, Vol. 12, No. 1, January 1997.

[2] Kalyan K. Sen, "SSSC-Static Synchronous Series Compensator : Theory, Modeling, and Applications", IEEE Trans. on Power Delivery, Vol 13, No.1, January, 1998.

[3] F. Z. Peng and J. S. Lai, "A Multilevel Voltage-Source Inverter with Separate DC Sources for Static Var Generation," IEEE/IAS Annual Meeting. pp.2541-2548, Orlando, FL, Oct. 8-12, 1995.

[4] F .Z. Peng and J. S. Lai, "Dynamic performance and control of a static var compensator using cascade multilevel inverter," IEEE/IAS Annual Meeting. pp. 1009 - 1015, San Diego, CA, Oct. 6-10, 1996.

저 자 소 개

한병문(韓炳文)

1953년 7월 5일생. 1976년 서울대 전기공학과 졸업(학사). 1988년 미 아리조나주립대 대학원 전기공학과 졸업(석사). 1992년 동 대학원 전기공학과 졸업(공박). 미 Westinghouse 중앙연구소 선임 연구원. 현재 명지대 전기정보제어공학부 부교수. 당학회 편집이사.

박덕희(朴德義)

1973년 2월 9일생. 1998년 명지대 전기공학과 졸업(학사). 2000년 동 대학원 전기공학과 졸업(석사). 현재 (주)수영전기기업 연구원.

백승택(白承澤)

1971년 11월 24일생. 1997년 명지대 전기공학과 졸업(학사). 1999년 동 대학원 전기공학과 졸업(석사). 1999년~현재 동 대학원 박사과정.

김희중(金義重)

1970년 9월 10일생. 1997년 명지대 전기공학과 졸업(학사). 1999년 동 대학원 전기공학과 졸업(석사). 1999~현재 동 대학원 박사과정.

소용철(蘇龍哲)

1959년 12월 12일생. 1985년 명지대 전기공학과 졸업(학사). 1996년 동 대학원 전기공학과 졸업(공박). 현재 경기공업대 계측제어과 부교수. 당 학회 학술위원.

김현우(金顯宇)

1963년 4월 15일생. 1986년 명지대 전기공학과 졸업(학사). 1996년 동 대학원 전기공학과 졸업(공박). 현재 경민대 소방안전관리과 조교수.