

A Study on Single Stage High Power Factor AC-DC Converter

李元載* · 金 龍**
(Won-Jae Lee · Yong Kim)

Abstract - Design of single stage AC-DC converter with high power factor for low level applications is proposed. The proposed converter is obtained from the integration of a buck-boost converter and the half-bridge DC-DC converter. This converter gives the good power factor correction, low line current harmonic distortions, and tight output voltage regulations. This converter also has a high efficiency by employing an soft switching method and synchronous rectifier. The modelling and detailed analysis for the proposed converter are performed. To verify the performances of the proposed converter, a 100W converter has been designed.

Key Words : buck-boost, halfbridge, single-stage, 전류 불연속모드, 동기정류기, 비대칭 제어

1. 서 론

지금까지 소용량 직류 전원 장치에는 구성이 간단하고 가격이 저렴한 커패시터 입력형 정류방식이 주로 사용되어 왔다. 커패시터 필터를 이용한 직류전원장치는 교류 입력전압의 최대값 부근에서만 큰 입력 전류가 흐르므로 0.5~0.65 정도의 낮은 역률로 동작하며, 전류의 왜곡으로 인하여 교류 전원 전압에 현저한 일그러짐이 발생함에 따라 상용전원에 연결된 다른 전자기기나 시스템에 전자파간섭(EMI)이 발생한다.

이와 같은 문제의 해결을 위하여 연속모드로 동작시키는 PWM방식의 승압형 컨버터와 같이 역률개선용 정류기에 대해 많은 연구가 이루어져 왔다. 이러한 방식은 입력전류가 연속이므로 전류왜곡이 작고 초크필터의 크기와 스위치의 전류 스트레스를 감소시킬 수 있다. 그러나 승압형 컨버터의 출력전압은 100[V_{rms}]의 입력전압에서 300[V]정도로 되므로 낮은 출력전압을 얻기 위해서는 DC/DC 컨버터를 다시 사용하여야 한다.[1]

2단 전력단(two-stage)방식의 경우 높은 역률과 안정된 DC전원을 얻을 수 있지만 전력변환이 두번 이루어지므로 비효율적이고 또한 2개의 제어기(역률 개선용과 출력 전압 제어용)를 사용하므로 구조가 복잡하여 비경제적일 뿐만 아니라 부피 또한 커지게 되므로 이와 같은 전력변환방식은 100[W]급 이하의 소용량 전원장치의 경우에는 적합하지 않

다.[2] 그 결과 이런 문제점을 해결하기 위하여 역률개선 기능을 갖는 단일 전력단(single-stage)방식의 AC/DC 컨버터에 대해 많은 연구가 이루어지고 있다.[3-5]

즉 플라이백 컨버터의 경우 컨버터를 불연속 전류모드(DCM)로 동작시켜 입력전류를 정현적으로 함으로써 입력역률을 개선할 수 있다.[3] 그러나 EMI 노이즈가 심하고 출력리플이 크게 나타나므로 입력단과 출력단에 큰 필터를 필요로 하는 단점을 지니며 또 다른 방식으로 부스트 컨버터를 DCM으로 동작하여 입력 역률을 개선할 수 있는 데 이 방식은 역률개선회로 후단 링크 커패시터의 양단 전압이 입력 선간전압의 2배이상으로 상승되므로 스위치등의 소자에 높은 전압 스트레스를 가하게 되어 낮은 출력전압을 얻기 위해서는 DC 링크 전압을 큰 폭으로 강압해야 하는 문제점이 있다.[4]

본 논문에서는 이러한 단점을 개선하기 위해 J.M.Alonso 등이 발표한 단일 전력단 방식의 안정기회로를 이용하여[5] 고역률과 안정된 출력전압을 얻을 수 있는 단일 전력단방식 하프브리지 AC/DC 컨버터를 제안하고자 한다. 제안된 회로는 벡-부스트 컨버터를 DCM으로 동작시킴으로써 고정주파수에서의 역률개선을 이룰 수 있으며, DC 링크전압을 입력 선간전압의 최대값이하로 유지시킴으로써 소자에 인가되는 전압 스트레스를 감소시킬 수 있을 뿐 아니라 낮은 출력전압을 얻기가 용이하며, 출력인덕터전류가 연속적(CCM)이므로 변압기 2차측 정류기의 전류 스트레스가 작게 된다. 또한 출력단 정류기 손실은 전체 손실 중 50[%]이상으로 이는 출력전압이 낮아질수록 급격하게 증가하게 되므로[6] 정격 출력전압이 낮은 컨버터는 높은 효율을 기대하기가 곤란하다. 따라서 MOSFET를 이용한 동기정류기(Synchronous rectifier)방식을 적용하여 제안된 회로의 효율 개선을 이루고자 한다.

* 正 會 員 : (주)에이스테크놀로지 중앙연구소 연구원

** 正 會 員 : 東國大 電氣工學科 副教授 · 工博

接受日字 : 2000年 1月 29日

最終完了 : 2000年 7月 26日

2. 제안된 AC-DC 하프브리지 컨버터

2.1 제안된 회로의 특징

벅-부스트 컨버터를 전류 불연속 모드로 동작시킴으로써 벅-부스트 컨버터의 역률개선이 가능하게 된다.

식(1)은 벅-부스트컨버터에서 입력 인덕터전류의 최대값을 나타낸다.

$$i_{Lin\ peak}(t) = \frac{|v_{in}(t)|}{L_{in}} DT_s \quad (1)$$

여기서, D : Q_{in} 의 동작시비율, T_s : 스위칭주기

식(1)에서 최대 인덕터전류 $I_{Lin\ peak}$ 는 입력 선간전압을 추종하므로 별도의 전류센서와 제어기없이 비교적 간단한 구조로서 역률을 개선하는 것이 가능하다.

그림 1은 역률개선을 위한 벅-부스트단과 안정화된 출력전압을 얻기 위한 하프브리지단으로 구성되는 2 전력단 전력변환시스템을 나타낸다. 이 방식은 벅-부스트단에서 높은 역률을 제공하며, 출력된 DC전압은 하프브리지 컨버터의 전원으로 이용된다. 그러나 전력을 두번 변환하므로 효율이 저감되고, 두 개의 제어기를 사용하므로 시스템의 부피가 증가할 뿐만 아니라 제작비용이 증가된다.

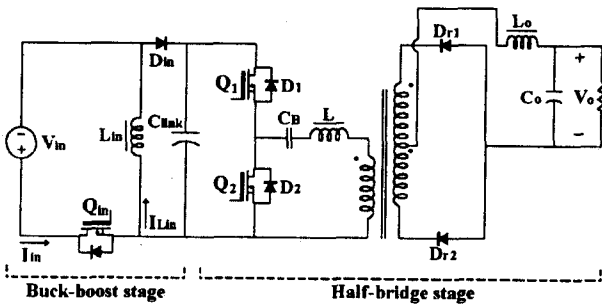


그림 1 벅-부스트를 이용한 2단 방식 AC/DC 컨버터
Fig. 1 Two cascade stage AC/DC converter with buck-boost topology

그림 2는 J.M.Alonso등의 안정기회로를 이용하여[5] 논문에서 제안하는 단일 전력단 방식 AC-DC 하프브리지 컨버터 회로를 나타낸다. 스위치의 수를 줄이기 위해 벅-부스트 컨버터의 스위치를 하프브리지 컨버터의 스위치와 공유시키며 역률개선용과 출력전압 레귤레이션용으로 하나의 스위치를 사용한다. 그림 1의 경우 벅-부스트 컨버터용과 하프브리지 컨버터용으로 각각의 스위치를 사용하지만 Q_{in} 과 Q_2 - D_2 는 한 점을 공유하며 동기를 이루어 동작하는 데 비해 그림 2의 회로에서는 이를 Q_2 - D_3 - D_4 로 구성되는 한 개의 스위치로 대처함으로써 하나의 제어회로를 사용하는 것이 가능하다.[5] 제안된 회로는 소자의 수를 줄이고 주 회로와 제어회로를 단단으로 구성할 수 있어 장치를 소형화할 수 있으므로 중·소 용량의 컨버터 설계에 매우 유용하다.

또한 부스트 컨버터를 역률개선용으로 사용할 경우 고역률을 이루기 위해 DC 링크전압이 승압되는데 반하여 벅-부스트 컨버터는 일정 주파수에서 DCM으로 동작하여 역률을 개선함으로써 DC 링크전압을 입력 선간전압의 최대값미만

으로 조절할 수 있으므로 정격전압이 낮은 소자와 링크 커패시터를 선정할 수 있다.[5] 그 결과 저비용으로 입력전압이 광범위한 컨버터를 설계하는데 매우 유용하며, 또한 일반적으로 내압이 낮은 소자는 도통손실이 작게 되므로 효율면에서도 유용하다. 결국 제안된 컨버터는 비용을 줄이고 신뢰성을 높이면서 소형·경량화를 이룰 수 있으며 또한 출력측에 MOSFET 동기정류기를 사용함으로써 고효율을 얻을 수 있게 된다.

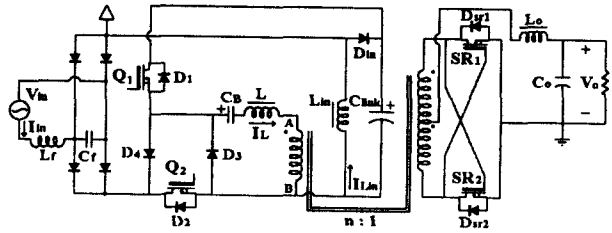


그림 2 제안된 단일 전력단 고역률 AC/DC 컨버터
Fig. 2 The proposed single-stage PFC AC/DC converter

2.2 제안된 회로의 동작 해석

그림 3은 제안된 회로의 한 주기에 대한 모드별 동작 파형을 나타낸다. 벅-부스트단은 입력 선간전압에 비례하는 평균전류를 제공하기 위해 전류 불연속모드로 동작된다.

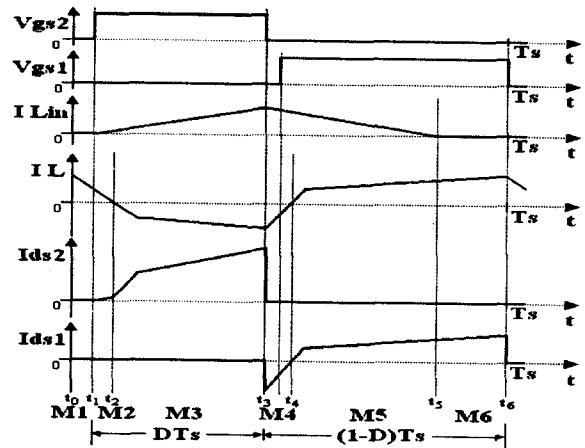


그림 3 제안된 회로의 이론적인 동작 파형
Fig. 3 Conceptual waveforms of the proposed circuit

그림 3에서 스위치 Q_1 은 영전압 스위칭을 하며 이에 반해 스위치 Q_2 는 영전류에서 턴-온된다. Q_2 의 턴-온 시점인 t_1 은 t_0 - t_2 사이에 있어야 하므로 시비율 D 는 $(t_3-t_2)/T_s$ 로 주어지는 최소값과 $(t_3-t_0)/T_s$ 사이에서 조절할 수 있다. 또한 Q_2 의 시비율을 이용하여 부하변동에 대한 입력전류의 크기를 조절할 수 있다. 두 개의 스위치는 각각 일정한 데드타임을 요구하게 되므로 비대칭제어를 적용하여 하나의 스위치는 시비율 D 로 다른 한 스위치는 $(1-D)$ 로 동작되도록 한다.[7] 모드별 동작 해석을 위해 다음 사항을 가정한다.

- ① C_{link} 는 충분히 커서 커패시터 양단전압 V_{link} 의 리플분은 무시할 수 있다.
- ② C_B 는 일정전압을 유지하도록 충분히 큰 값으로 한다.
- ③ 변압기 2차측의 누설인덕턴스는 무시한다.
- ④ 출력인덕터 L_o 는 변압기의 1차측 누설인덕턴스 L 보다 충분히 큰 값이고 L_o 에 흐르는 전류는 항상 일정하다.

2.2.1 모드별 동작 해석

그림 4는 제안된 회로의 모드별 동작회로를 나타내며, 각 모드별 동작은 다음과 같다.

① 모드 1 : $t_0 < t < t_1$

스위치 Q_1 이 차단되는 시점으로부터 V_{in} 를 전원으로 하여 2차측으로 에너지를 전달하던 변압기 1차측 전류 I_L 은 Q_1 이 차단됨에 따라 다이오드 D_3 을 통해 환류한다. 컨버터가 입력 전원 V_{in} 과 차단된 상태이므로 입력 인덕터 L_{in} 에 흐르는 전류는 0이다.

② 모드 2 : $t_1 < t < t_2$

스위치 Q_2 가 도통되면 입력전압 V_{in} 에 의해 스위치에 전류가 흐르기 시작한다. 입력인덕터 L_{in} 을 흐르는 전류는 V_{in}/L_{in} 의 기울기로 서서히 증가하며 변압기의 1차측 전류는 누설 인덕턴스에 의해 다이오드 D_3 을 통해 계속 환류한다.

③ 모드 3 : $t_2 < t < t_3$

변압기 1차측 전류의 방향이 바뀌고 스위치 Q_2 에는 L_{in} 에 흐르는 전류와 C_B 에 의한 전류, 변압기 1차 전류가 중첩되어 흐른다. 변압기 1차측 전류가 $(I_m - I_o/n)$ 값에 이르면 변압기에 인가되는 전압은 $-DV_{link}$ 로 SR_1 을 구동시키고 저지 커패시터 C_B 가 에너지 공급원으로 작용한다. L_{in} 에 흐르는 전류는 V_{in}/L_{in} 의 기울기로 Q_2 가 차단되는 시점까지 증가한다. (I_m : 변압기 자화 전류, n : 변압기 권수비)

④ 모드 4 : $t_3 < t < t_4$

스위치 Q_2 의 차단으로부터 시작하며 변압기의 누설인덕턴스에 의해 1차측 전류의 방향이 바뀌기 이전 모드이다. Q_1 의 내장 다이오드 D_1 의 도통구간으로 Q_1 의 양단 전압이 0인 상태이므로 영전압 스위칭이 가능하다. 입력전원 V_{in} 이 차단된 상태이므로 L_{in} 에 흐르는 전류는 $(-V_{link}/L_{in})$ 의 기울기로 감소하며 링크 커패시터 C_{link} 에 에너지를 전달한다.

⑤ 모드 5 : $t_4 < t < t_5$

스위치 Q_1 의 도통으로부터 시작되는 구간이다. 변압기 전류는 (+)방향으로 바뀌고 이 값이 $(I_m + I_o/n)$ 에 이르면 변압기를 통해 2차측으로 에너지를 전달하기 시작한다. SR_2 의 게이트-소스단에는 $2V_{link}(1-D)/n$ 의 전압이 인가되어 이를 구동시킨다. L_{in} 에 흐르는 전류는 $(-V_{link}/L_{in})$ 의 기울기로 0으로 감소한다.

⑥ 모드 6 : $t_5 < t < t_6$

입력 인덕터 L_{in} 에 축적된 에너지가 모두 소모되면 벅-부스트단은 전류 불연속모드로 동작하게 된다. 다이오드 D_{in} 을 통해 링크 커패시터 C_{link} 를 충전하던 전류는 더 이상 흐르지 않는다. 변압기의 1차측 전류는 스위치 Q_1 을 통해 흐르며 Q_1 이 차단되는 시점까지 2차측에 에너지를 전달한다.

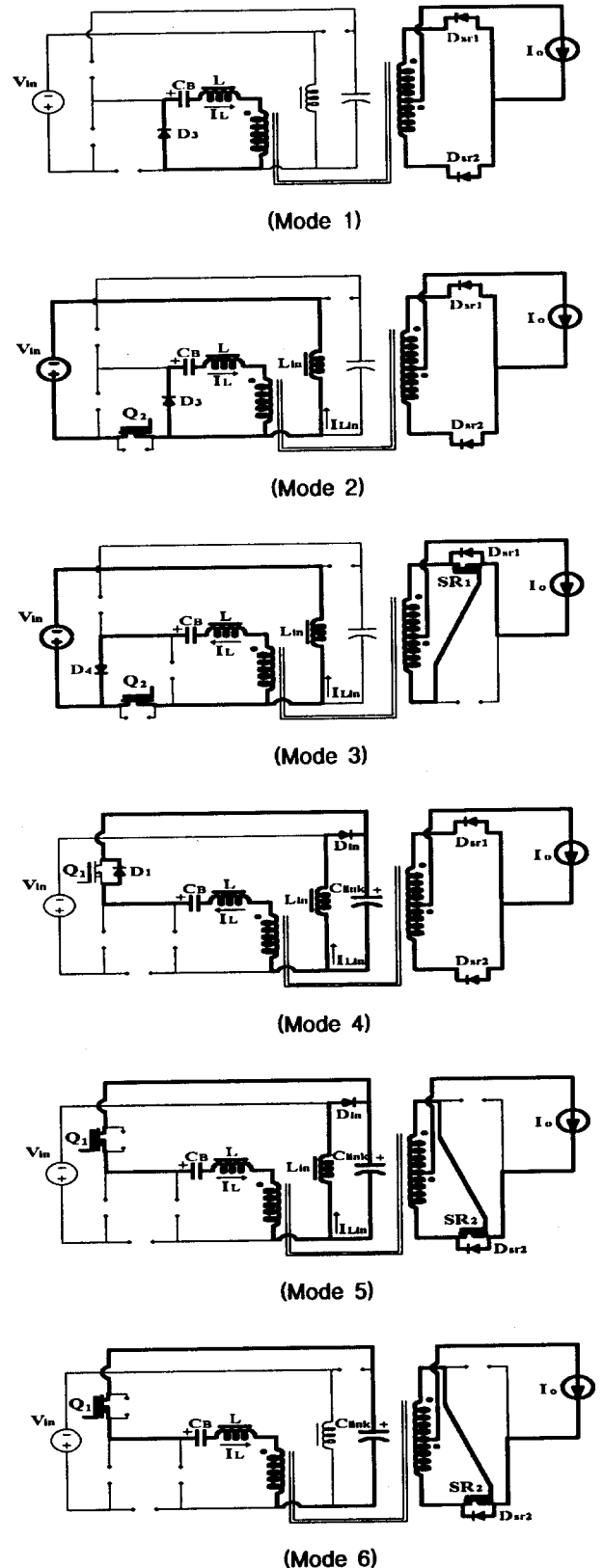


그림 4 제안된 회로의 모드별 동작회로
Fig. 4 Equivalent circuits of proposed converter

2.2.2 하프브리지 컨버터단에 의한 DC-DC 변환

그림 5는 스위치 Q₁이 도통될 때 하프브리지 DC/DC 컨버터단의 상태를 나타내며, 식(2)는 SR₂의 게이트 구동 전압을 나타낸다.

$$V_{gs2} = 2(V_{in} - V_{C_b}) \cdot D / n \quad (2)$$

변압기 2차측에 (+)전압이 인가되면 SR₂의 내장 다이오드 양단에는 V_{sec}-V_{Lo}-V_o의 전압이 인가되며 이 전압이 다이오드의 ON-drop보다 작은 구간에서는 SR₂의 출력커패시터를 충전시키는 전류가 흐른다. 또한 출력커패시터 양단전압이 ON-drop이상으로 충전되면 다이오드가 도통되고 SR₂의 게이트-소스전압 V_{gs2}는 V_{sec}-V_{Dsr2(on)}으로 된다. V_{gs2}가 SR₂의 임계전압 V_{th2}이상으로 되는 경우 SR₂가 도통되어 내장다이오드는 차단상태로 되며, SR₂의 내장다이오드가 도통되는 경우 SR₂ 양단의 전압이 0으로 됨에 따라 영전압 스위칭이 이루어지게 된다.

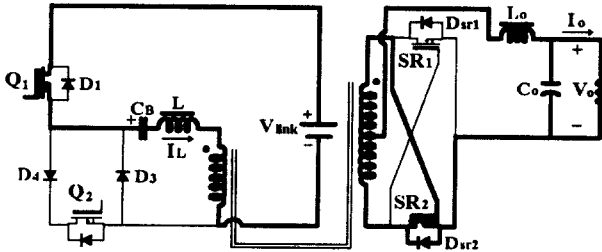


그림 5 스위치 Q₁ 도통시 하프브리지단의 등가회로
Fig. 5 Equivalent circuit of HB stage during Q₁ conducted

그림 6은 스위치 Q₂가 도통될 때 하프브리지단의 상태를 나타낸 것으로, 식(3)은 SR₁의 게이트 구동전압을 나타낸다.

$$V_{gs1} = 2V_{C_b} \cdot (1 - D) / n \quad (3)$$

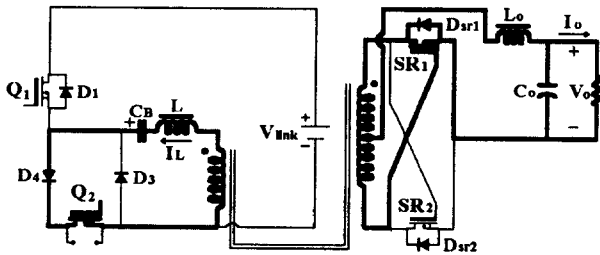


그림 6 스위치 Q₂ 도통시 하프브리지단의 등가회로
Fig. 6 Equivalent circuit of HB stage during Q₂ conducted

변압기의 2차측에 (-)전압이 인가되면 SR₁의 내장 다이오드 양단에는 V_{sec}-V_{Lo}-V_o의 전압이 인가되며, 이 전압이 다이오드의 ON-drop보다 작은 구간에서는 SR₁의 출력커패시터를 충전시키는 전류가 흐르게 된다. 이후 출력커패시터의 양단전압이 ON-drop이상으로 충전되면 다이오드가 도통되고 SR₁의 게이트-소스전압 V_{gs1}은 V_{sec}-V_{Dsr1(on)}으로 된다. V_{gs1}이 SR₁의 임계 전압 V_{th1}이상으로 되면 SR₂와 마찬가지로 다이오드가 차단되고 전류는 SR₁로 흐르며 영전압 스위

칭이 가능하게 된다.

2.3 제안된 회로의 정상상태 해석

2.3.1 벅-부스트단의 역률 개선

입력 인덕터전류 i_{Lin}은 모드 2, 3구간동안 0으로부터 선형적으로 증가한다. 입력전류의 최대값은 스위치 Q₂가 턴-오프되는 시점인 t₃이고, 앞에서 언급한 바와 같이 식(4)는 입력 인덕터전류의 최대값이 된다.

$$i_{Lin\ peak}(t) = \frac{|v_{in}(t)|}{L_{in}} DT_s \quad (4)$$

$$D : (t_3 - t_1) / T_s, \quad T_s : \text{스위칭주기}$$

정류된 입력 선간전압이 v_{in}(t)=V_{in}|sin ω_Lt|이면 입력전류의 평균치는 식(5)와 같이 표현된다.

$$i_{in\ mean}(t) = \frac{1}{2} i_{Lin\ peak}(t)D = \frac{D^2 V_{in}}{2f_s L_{in}} |\sin \omega_L t| \quad (5)$$

식(5)에서 시비율 D와 스위칭 주파수 f_s가 일정하게 유지될 때 평균 입력전류는 그 순간의 입력 선간전압과 비례하므로 역률개선을 이룰 수 있다. 또한 입력전력은 식(6)과 같다.

$$P_{in} = \frac{1}{2} V_{in} i_{in\ mean\ max} = \frac{D^2 V_{in}^2}{4f_s L_{in}} \quad (6)$$

입력전력은 링크 커패시터 C_{link}에 전력을 공급하며 출력단은 이 커패시터로부터 에너지를 공급받는다. 식(7)은 하프브리지단의 입력전력을 나타낸다.

$$P_i = \frac{V_{link}^2}{R_i} \quad (7)$$

여기서, P_i : 하프브리지단의 입력전력, R_i : 입력저항 벅-부스트단의 효율을 100%라 가정하면 정상상태의 전압 V_{link}는 식(8)과 같다.

$$V_{link} = kDV_{in} \quad (8)$$

$$\text{여기서 } k = \frac{1}{2} \sqrt{\frac{R_i}{f_s L_{in}}}$$

입력단의 역률개선을 위해 벅-부스트단은 모든 구간에서 DCM으로 동작해야 하며 입력 선간전압의 최대값 V_{in}와 DCM 및 CCM의 경계에서 벅-부스트단의 동작을 고려할 때 DCM 동작 조건은 식(9)와 같다.

$$V_{link} \geq \frac{D}{1-D} V_{in} \quad (9)$$

V_{link}이 일정한 값으로 유지된다면 DCM동작을 위한 조건은 식(8)과 식(9)로부터 다음과 같이 유추할 수 있다.

$$V_{link} \leq (k-1)V_{in} \quad (10)$$

식(10)으로부터 DCM모드로 동작하기 위한 입력전압의 최소값을 계산할 수 있다.

2.3.2 게이트 신호의 비대칭 제어

본 연구에서 제안하는 방식은 기존의 하프브리지 방식과 달리 스위치를 각각의 동작 시비율 D(<0.45)와 (1-D)로 구동하는 방식으로 그림 7과 같다. 주 스위치가 각기 다른 시

비율로 구동되기 때문에 저지커패시터 C_B 의 충·방전시간이 달라지게 된다.

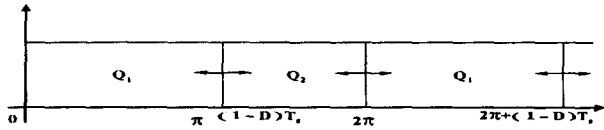


그림 7 제안된 하프브리지 컨버터의 게이트 구동신호
Fig. 7 Gate signal of the proposed HB converter

그림 7에서 스위치 Q_1 은 시비율 $(1-D)$ 로 동작하며 스위치 Q_2 는 $D(<0.45)$ 의 시비율로 동작한다. 그 결과 변압기 1차 전압과 전류는 그림 8과 같이 비대칭성을 띠게 된다.

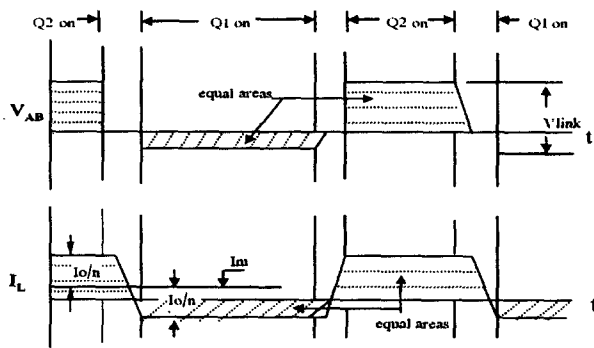


그림 8 변압기 1차측 전압 및 전류
Fig. 8 Primary voltage-current of Transformer

2.3.3 링크 캐패시터의 양단전압

제안된 회로는 전류 불연속모드의 벡-부스트컨버터이므로 링크캐패시터 양단전압 V_{link} 는 부하에 따라 변하지 않는다. 그림 9는 시비율에 따른 불연속모드 입력인덕터전류를 나타내며 부하의 감소에 따라 스위치 Q_2 의 도통시비율 D 와 차단시비율 D' 도 감소하게 된다.

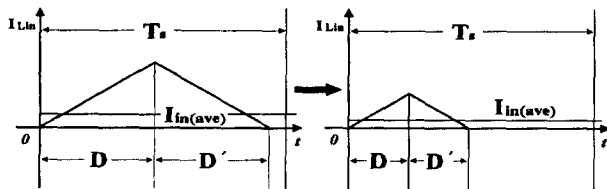


그림 9 부하 감소에 따른 D의 감소
Fig. 9 Decrease of duty ratio for load reduction

그런데 벡-부스트 컨버터의 출력전압은 하프브리지 컨버터의 입력전압으로 이용되며, 이 전압은 식(11)로 표현되므로 식(11)로부터 입력전압과 DC 링크전압, 즉 하프브리지 컨버터의 입력 전압과의 관계를 알 수 있다.[8]

$$V_{link} = \frac{D}{D'} V_{in} \quad (11)$$

식(11)에서 보는 바와 같이 D 와 D' 구간의 비율이 같으면

시비율의 변화에 관계없이 DC 링크전압을 항상 입력전압 V_{in} 에 D/D' 를 곱한 값의 수준으로 유지할 수 있다.

3. 컴퓨터 시뮬레이션 및 실험 결과

3.1 컴퓨터 시뮬레이션

컴퓨터 시뮬레이션은 입력전압 $100[V_{rms}]$, 출력전압 $5[V]$, 부하를 $100[W]$ 로부터 $25[W]$ 까지 가변하며 수행하였다. 스위칭 주파수는 $100[kHz]$, 최대시비율은 0.45 , 변압기 1차 권선의 인덕턴스는 $291.6[\mu H]$, 변압기 1차측 누설 인덕턴스는 $6.2[\mu H]$ 로 하였다.

그림 10, 그림 11과 그림 12는 출력 $100[W]$ (시비율 0.45)에 대한 시뮬레이션 결과이다. 그림 11에서 벡-부스트단의 입력인덕터 L_{in} 을 흐르는 전류의 최대값은 입력전압의 포락선을 형성하며 이 전류를 필터링함으로써 입력전압과 위상이 동일한 정현파 전류를 얻을 수 있게 된다. 입력필터는 $4[mH]$ 와 $100[nF]$ 으로 하였다.

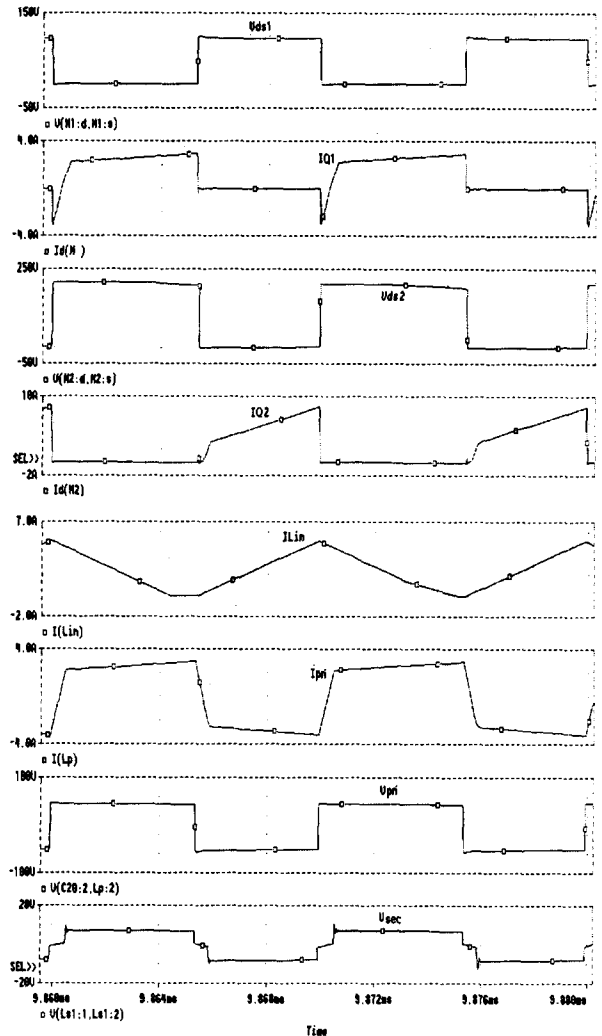


그림 10 각부의 시뮬레이션 파형
Fig. 10 Simulated waveforms

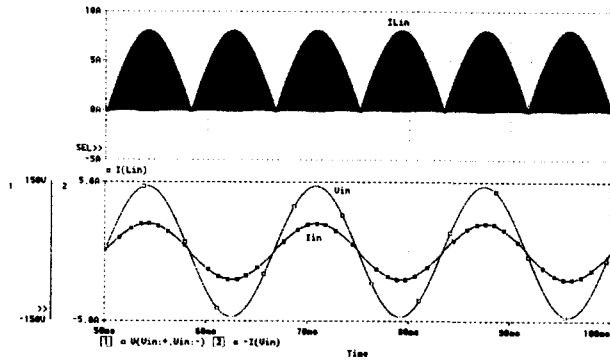


그림 11 L_{in} 의 전류 · 입력전압 · 전류 시뮬레이션 파형
Fig. 11 Simulated waveforms of $I_{L_{in}}$ and input voltage · current

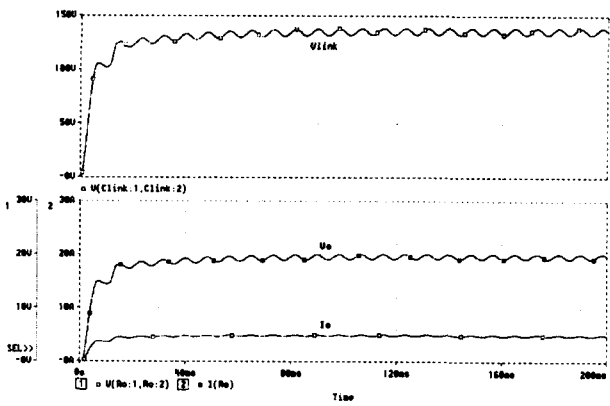


그림 12 V_{link} 및 출력전압 · 전류 시뮬레이션 파형
Fig. 12 Simulated result of V_{link} and output voltage · current

3.2 실험 결과

표 1은 시스템에 사용된 소자를 나타내며 입력전압은 100[V_{rms}], 출력전압은 5[V], 출력전류는 20[A]로 하였다.

표 1 시스템 구성 소자

Table 1 Selected device for experiment

Core	OP-42020-UG
Transformer turn ratio	11 : 1
Primary inductance	291.6 [μ H]
Leakage inductance	6.2 [μ H]
Input inductor (L_{in})	84 [μ H]
Output inductor	22 [μ H]
DC link capacitor (C_{link})	296 [μ F]
Blocking capacitor (C_B)	10 [μ F]
Main switch	IRFP350
Synchronous rectifier	SMP60N03-10L

그림 13은 컨버터 각부의 실험파형을 나타내며, 스위치 Q_1 양단의 전압 및 전류파형에서 스위치 턴온시 영전압 스위

칭이 이루어짐을 알 수 있다. 세 번째는 스위치 Q_2 양단의 전압 및 전류, 다섯번째는 변압기 1차측 전류, 그 아래는 동기 정류기의 전류파형으로 한 주기의 모든 구간에서 에너지가 변압기 2차측으로 전달되므로 출력 리플이 적게 되며 그 결과 출력 필터의 크기를 줄일 수 있는 장점이 있다. 최하단은 입력 인덕터에 흐르는 불연속모드의 전류파형을 나타낸다.

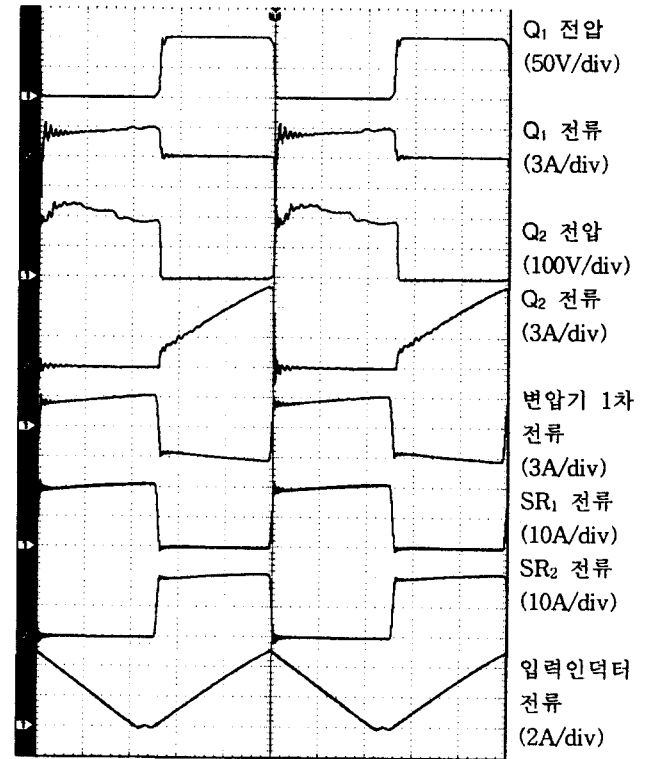


그림 13 컨버터 각부의 실험파형
Fig. 13 Expanded waveforms

그림 14는 입력전압과 입력 인덕터전류의 최대값이 포락선을 형성함을 나타낸다. 그림 15는 전부하시 입력 선간전압과 입력 전류파형을 나타낸다.

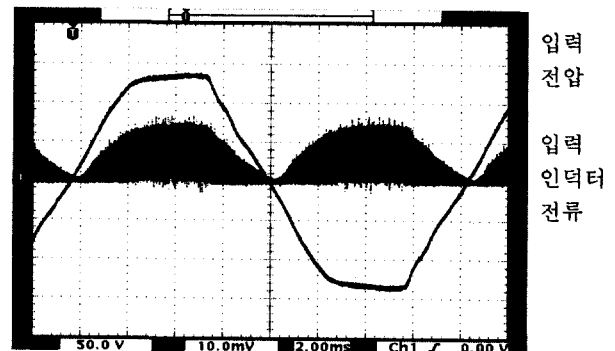


그림 14 입력전압 · 입력인덕터 전류파형 (50V/div, 2A/div)
Fig. 14 Waveforms of line voltage · inductor current

5. 결론

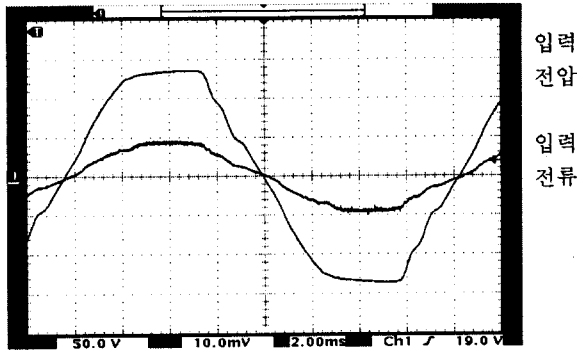


그림 15 전부하시 입력 전압 및 전류파형(50V/div, 2A/div)
Fig. 15 Line voltage and current waveforms (full load)

표 2는 입력 전압 100[V_{rms}], 출력을 100[W]로 하는 경우 시스템의 각 부에서 발생하는 손실로서 반도체 소자의 경우 시뮬레이션과 시작품에 의한 실험결과로부터 구한 한주기동안의 평균전류와 각 소자의 온 저항 및 전압강하의 값을 이용하여 손실을 구하였으며 변압기와 인덕터의 경우 전류의 평균값과 도선의 길이와 저항율을 이용하여 동손을 구하고 코어의 재질에 따른 철손을 고려하여 이를 합산하여 손실을 계산하였다. 기타 배선에서의 손실이나 필터에 의한 손실 등도 고려하여 이들을 합산함으로써 총 손실을 구할 수 있었으며, 표 3은 출력을 가변하는 경우 각각에 대한 효율 및 역률의 측정결과를 나타낸다.

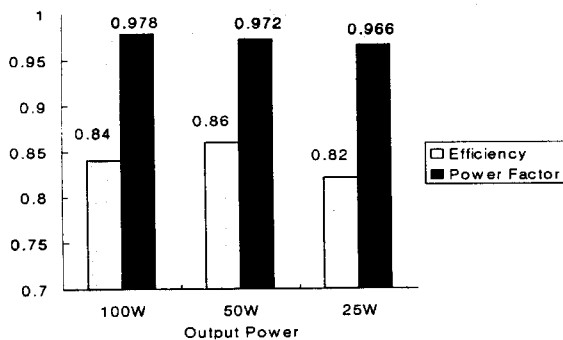
표 2 각 소자의 손실

Table 2 Power losses of each device

Device	Power loss
Output rectifier	4[W]
Main switch	7.4[W]
Bridge rectifier	2.6[W]
Transformer	1.5[W]
Diode	1.5[W]
Inductor	0.5[W]
Miscellaneous	1.5[W]
Total	19[W]

표 3 출력의 변화에 따른 실측 결과

Table 3 Experimental results for various output power



본 논문에서는 역률개선용 벡-부스트 컨버터와 하프브리 지 DC-DC 컨버터가 스위치를 공유하는 100[W]급 단일 전력단 AC-DC 컨버터를 제안하였다. 제안된 컨버터는 단일 전력단 역률개선용 컨버터의 문제점으로 지적된 소자의 높은 전압스트레스를 경감시킬 수 있으며, 그 결과 낮은 도통 저항을 갖는 소자를 사용하게 됨으로써 컨버터의 손실을 줄일 수 있다. 출력단에는 저전압 출력에 적합한 동기 정류기를 적용함으로써 정류손실을 줄였다. 이 회로는 벡-부스트 컨버터를 전류 불연속모드로 동작시켜 단일 전력단으로 역률개선과 출력 레귤레이션을 동시에 할 수 있으므로 제어를 비교적 간단하게 설계할 수 있어 시스템의 구성이 간단해진다. 또한 비대칭 제어를 행하여 각각의 스위치에 소프트 스위칭기법을 적용함으로써 스위치 턴온 시의 손실을 0에 가깝게 하였다. 이로써 입력역률을 개선하면서 시스템 전체의 효율을 향상시킬 수 있었다. 설계이론을 바탕으로 컨버터를 제작하여 실험한 결과 $V_{in}=100[V_{rms}]$, $V_o=5[V]$, $I_o=20[A]$ 에서 역률 0.978, 효율은 약 84[%]를 얻을 수 있었으며 제안된 회로는 고역률과 고효율을 필요로 하는 소용량의 전원장치에 적합할 것으로 판단된다.

감사의 글

본 연구는 2000년도 동국대학교 전문학술지 논문게재 연구비 지원으로 이루어졌음.

참고 문헌

- [1] M. Kazerani et al, "A Novel Active Clamp Current Waveshaping Technique for Solid-State Input Power Factor Conditioners", IEEE. Trans. on Industrial Electronics, Vol. 38, pp. 72~78, 1991
- [2] M. H. Kheruluwala. et al, "Fast Response High Power Factor Converter with a Single Power Stage", IEEE-PESC, pp. 769~779, 1991
- [3] R. Erickson et al, "Design of a Simple High-Power - Factor Rectifier Based on Flyback Converter.", IEEE-APEC, pp.792~801, 1990
- [4] Mei Qiu. et al, "A PWM Full-Bridge with Natural Input Power Factor Correction", IEEE, pp.1605~1611, 1998
- [5] J.M.Alonso. et al, "Single-Stage Constant-Wattage High Power-Factor Electronic Ballast with Dimming Capability", IEEE-PESC'98, pp.2021~2027, 1998
- [6] R. A. Blanchard. et al, "The Design of a High Efficiency, Low Voltage Power Supply Using MOSFET Synchronous Rectification and Current Mode Control", IEEE Power Electronics Specialists Conference Record, pp.355~361, 1985
- [7] Ramesh Oruganti, et al., "Soft-switched dc/dc Converter with PWM control" in IEEE int. Telecommunication Energy Conf. Rec., pp.341~349, 1993
- [8] 金 熙峻, "스위치모드 파워서플라이", 성안당, pp. 25~27, 1998

저 자 소 개



이 원 재 (李 元 載)

1974년 9월 11일 생. 1998년 동국대 전기 공학과 졸업. 2000년 2월 동 대학원 전기 공학과 졸업 2000년 3월~현재 (주)에이스 테크놀로지 중앙연구소 연구원



김 용 (金 龍)

1957년 3월 20일 생 1981년 2월 동국대 전기공학과 졸업. 1994년 2월 동 대학원 전기공학과 졸업(공학). 1995년~현재 동 국대학교 전기공학과 부교수

Tel : 02-2260-3720, Fax : 02-2275-6013

E-mail : kyee@cakra.dongguk.ac.kr