

Pspice Simulation for Nonlinear Components and Surge Suppression Circuits

李 福 熙* · 孔 永 訓** · 崔 元 奎** · 全 德 圭***
 (Bok-Hee Lee · Young-Hun Kong · Won-Kyu Choi · Duk-Kyu Jeon)

Abstract - This paper presents Pspice modeling methods for spark gaps and ZnO varistors and describes the application for the two-stage surge suppression circuit which was composed of the nonlinear components. The simulation modelings of nonlinear components were conducted on the basis of the voltage and current curves measured by the impulse current with the time-to-crest of 1~50 μ s and the impulse voltage with the rate of the time-to-crest of 10, 100 and 1000 V/ μ s. The firing voltages of the spark gap increased with increasing the rate of the time-to-crest of impulse voltage and the measured data were in good agreement with the simulated data. The I-V curves of the ZnO varistor were measured by applying the impulse currents of which time-to-crests range from 1 to 50 μ s and peak amplitudes from 10 A to 2 kA. The simulation modeling was based on the I-V curves replotted by taking away the inductive effects of the test circuit and leads. The maximum difference between the measured and calculated data was of the order of 3 %. Also the two-stage surge suppression circuit made of the spark gap and the ZnO varistor was investigated with the impulse voltage of 10/1000 μ s wave shape. The overall agreement between the theoretical and experimental results seems to be acceptable. As a consequence, it was known that the proposed simulation techniques could effectively be used to design the surge suppression circuits combined with nonlinear components.

Key words : Nonlinear components, Varistor, Spark gap, Lightning surge, Pspice modeling, Surge protection

1. 서 론

컴퓨터, 제어기기, 사무자동화기기, 의료기기 등에서 IC와 반도체를 이용한 각종 전자·정보기기의 보급이 급증하고, 그 사용이 상당히 넓어지고 있다. 반면에 정보통신기기에 사용되어지는 부품은 점차 소형화, 고밀도 실장화가 이루어지면서 전자파나 뇌서지 등의 과도과전압에 대한 내전압 특성이 낮아졌다. 따라서 서지전압에 기인하는 전자기기의 손상 및 정보통신기기, 전자제어장치의 고장과 파괴를 일으키는 사고가 증가하고 있다. 서지(Surge)전압은 반복적인 형태 또는 예측할 수 없는 순시적인 충격파의 두 가지 형태로 나타난다. 반복적인 형태로 회로의 급작스런 전기적인 조건의 변화에 의하여 즉, 자기유도와 용량회로에 축적된 에너지로부터 발생하는 과도현상에 기인하는 개폐서지와 임의의 형태로서 그 크기와 지속시간 그리고 에너지함량 등을

결정하기 어려운 뇌서지로 대별할 수 있다. 특히 전자·정보기기에 손상 또는 파괴의 위협을 주는 요소는 뇌서지이다. 낙뢰 또는 유도뢰에 의해서 전원선로나 통신·제어선로에 뇌서지가 유도되어 옥내의 전기회로에 유입된 뇌서지에 의해서 전기설비나 통신설비가 손상되는 피해도 증가하고 있다. 집적회로의 사용과 고밀도 기억 소자의 사용으로 전자·정보기기의 뇌서지에 의한 파손은 기기 자체의 손상에 의한 손실과 이에 부수하는 막대한 경제적 손실을 가져오게 한다. 따라서 외부로부터 침입되는 뇌서지 특성을 파악하고, 이에 대한 효과적인 보호기술 적용은 전원공급, 컴퓨터 및 정보·통신기기 이용의 신뢰도 향상에 있어서 매우 중요하다.[1]

전자·정보통신설비를 서지로부터 효과적으로 보호하기 위한 대책으로는 이상전압의 발생원을 완전히 제거하는 방법, 정보·통신기기용 전자부품의 내전압을 높이는 방법, 전자차폐, 정전차폐하는 방법, 서지억제장치를 사용하는 방법 등이 있다. 그러나 이상전압의 발생원을 완전히 제거하는 것은 현재의 기술로는 불가능하고, 전자소자의 내전압을 높이는 일도 어렵고 차폐를 실시하여도 이상전압을 충분히 억제하지 못하고 있는 실정이다. 최근에는 낙뢰 및 개폐서지 등의 이상과전압으로부터 컴퓨터, 정보통신기기 등 여러 가지 전자회로를 보호하기 위한 서지억제회로는 단지 몇 개의

* 正 會 員 : 仁 荷 大 工 大 電 氣 工 學 科 教 授 · 工 博
 ** 準 會 員 : 仁 荷 大 大 學 院 電 氣 工 學 科 碩 士 課 程
 *** 正 會 員 : 國 立 書 爾 產 業 大 自 動 車 工 學 科 助 教 授 · 工 博
 接 受 日 子 : 2000年 3月 29日
 最 終 完 了 : 2000年 7月 24日

비선형 소자로 이루어져 있지만 서로 다른 비선형 소자간의 적당한 동작순서 및 특성의 협조를 위하여 이들 소자의 기본특성이 서지억제회로의 구성에 고려되어야 한다. 또한 컴퓨터를 이용한 시뮬레이션기법을 적용하면 연구개발기간의 단축과 고성능의 회로개발에 큰 도움이 된다. 서지억제회로의 성능을 최적화시키는 데에 소요되는 시간과 비용을 줄이기 위해서 산화아연바리스터와 스파크 갭의 등가모델이 제시되었지만 기존에 제안된 등가모델은 시뮬레이션에 적용하기가 어렵고, 스파크 갭이나 산화아연바리스터의 비선형 특성만을 나타내는 적용범위가 한정적이며 이들 소자를 조합한 회로의 시뮬레이션에는 적용하기가 어려운 문제점을 가지고 있다.[2-4] 외부에서 침입하는 뇌서지에 대한 우수한 성능 및 경제성이 있는 서지억제회로를 설계에 적용할 수 있는 컴퓨터를 이용한 시뮬레이션기법의 제안을 목적으로 스파크 갭과 산화아연바리스터의 등가모델 회로를 구성하고, 이들 등가모델회로를 부회로화하여 2단 서지억제회로의 시뮬레이션에 적용이 간편하도록 하였다. 그리고 비선형 소자를 조합한 2단서지억제회로에 대해서 본 연구에서 제안한 시뮬레이션기법을 적용한 모의해석결과와 실측한 결과를 비교검토하여 Pspice시뮬레이션기법의 타당성을 확인하였다.

2. 비선형 소자의 모델링

2.1 스파크 갭의 모델링

스파크 갭(spark gap)은 크로버(crowbar)소자로서 양전극사이에 가스를 충전시킨 것으로 가스튜브(gas tube)라고도 하며, 기중방전현상을 이용한 것으로 동작은 글로우방전을 거쳐 아크방전에 이르는 과정의 특성을 이용한 것이다.

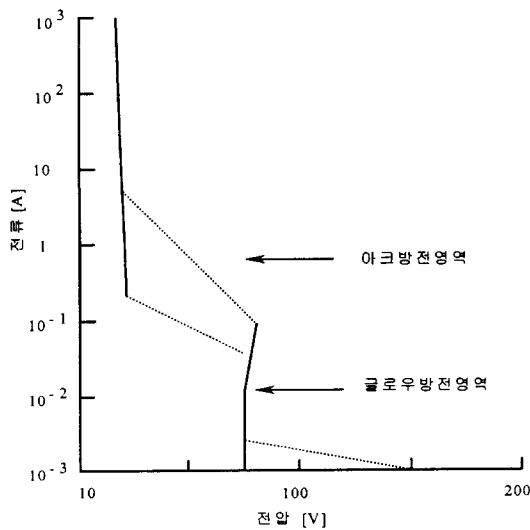


그림 1 스파크 갭의 V-I 특성 곡선
Fig. 1 The V-I characteristics for a spark gap

뇌서지 억제소자로 사용되는 소자 중에서 정전용량이 대단히 작으며, 전류용량이 가장 크므로 대전류의 방출이 요구

되는 경우에 주로 적용되며, 양극성 소자로 전형적인 V-I 특성은 그림 1과 같다.

스파크 갭의 동작특성을 간략화 하면 작은 정전용량(수 [pF])을 갖는 대칭적인 전압제어스위치로 비교할 수 있다. 방전개시전압(spark-over voltage)으로 인가전압이 상승하는 동안 실질적으로 전류는 흐르지 않는 높은 임피던스 상태였다가 도통 후 전극간 단자전압은 글로우 전압으로 급속히 떨어진다. 일반적으로 글로우영역에서 전류는 $10^{-5} \sim 10^{-1}$ [A] 정도이다. 그 후에 아크영역으로 이행하는데 아크방전시 전극간 단자전압은 10~35 [V]정도고, 아크전압은 전류의 크기에 거의 의존하지 않는다. 따라서, 스파크 갭의 전기적 특성은 개방상태(off-state)와 도통상태(on-state)로 표현할 수 있으며, 이를 등가화하면 그림 2와 같이 나타낼 수 있다.[5,6]

그림 2에서 R_{LEAK} 와 C_{LEAK} 는 스파크 갭 양단의 전압이 방전개시전압 보다 낮을 때 누설어드미턴스 성분을 나타낸 것이다. 또한 L_{LEAD} 는 리드선의 인덕턴스를 나타낸 것이며, R_{ARC} 와 C_{ARC} 는 아크방전상태의 저항과 정전용량을 나타낸 것이다. D는 스파크 갭이 도통할 때 아크전압을 크기를 결정한다. 스파크 갭은 인가되는 파형의 전압 상승률($V/\mu s$)이 클수록 방전개시전압이 높아지는 특성이 있고, 방전이 개시된 후 스파크 갭의 방전유지전류이하가 되면 다시 개방상태로 되돌아 간다. 이런 동작은 인가전압 파형의 상승률에 따라 선형적으로 방전개시전압이 결정되도록 하여 스위치 동작이 온-오프되게 전압제어스위치로 구성하였다[7]. 전압제어스위치의 동작은 식 (1)으로 표현할 수 있다.

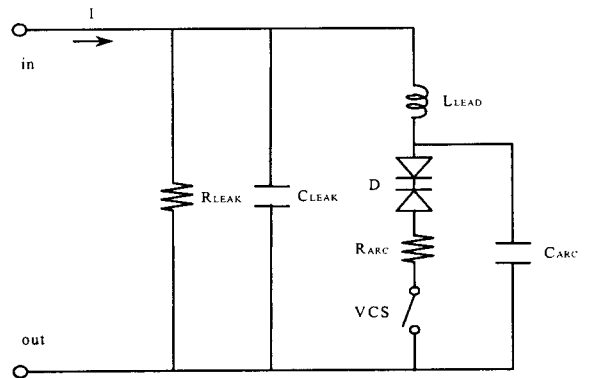


그림 2 스파크 갭의 등가회로
Fig. 2 The equivalent circuit for a spark gap

$$IF(ABS(V(in,out)) > V_s, V_{ARC}, IF(ABS(I) > I_{sus}, V_{ARC}, 10n)) \quad (1)$$

- V_s : 방전개시전압
- V_{ARC} : 아크전압
- I_{sus} : 방전유지전류

식 (1)은 입력전압이 방전개시전압보다 큰 경우는 아크전압 V_{ARC} 를 취하고, 그리고 통전전류가 방전유지전류보다 큰 경우는 아크전압 V_{ARC} 상태가 되며, 그렇지 않으면 종속제어전류원에는 10[nA]의 전류가 흐르는 것이 되어 개방상태로 본다. 직류방전개시전압이 250 [V]인 스파크 갭에 전압의 상승률이 10, 100 [$V/\mu s$], 1 [$kV/\mu s$]이고, 피크값이 1 [kV]인 직선상승파의 전압을 인가하여 스파크 갭이 동작할 때 즉,

글로우영역에서 아크영역으로 이행되기 직전의 스파크 갭 양단의 단자전압의 측정 결과를 그림 3에 나타내었다.

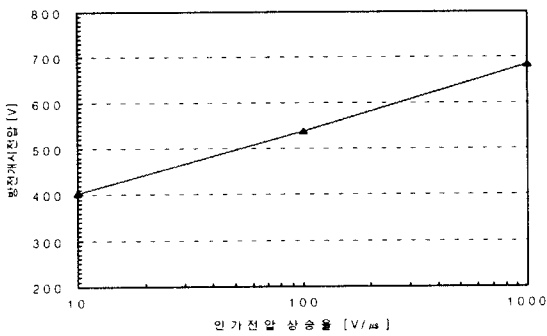


그림 3 스파크 갭의 인가전압 상승률에 따른 방전개시전압
Fig. 3 The spark-over voltage as a function of the rate of rise time for the spark gap

그림 3의 결과를 보면 인가되는 파형의 전압상승률이 커질수록 방전개시전압이 높아지며, DC 방전개시전압의 수배가 됨을 알 수 있다. DC 방전개시전압은 스파크 갭 양전극 사이에 글로우 및 아크방전에 필요한 이온화를 제공할 에너지가 충분하다. 그러나 과도전압에 대한 방전개시전압은 전자사태를 형성하기 위하여 필요한 에너지를 얻어야 하므로 짧은 시간내에 이온화를 일으킬 수 있는 충분한 에너지를 얻기 위해서는 높은 전압이 요구되므로 방전개시전압이 높아지는 것으로 생각할 수 있다. 따라서 스파크 갭 입력단에 발생될 수 있는 다양한 종류의 임펄스전압에 대해 방전개시전압을 결정해야 한다. 그림 3의 데이터로부터 Pspice내의 Table함수를 사용해 방전개시전압을 선형화하면 인가전압의 상승률에 따라 스파크 갭의 동작특성을 구현할 수 있다.

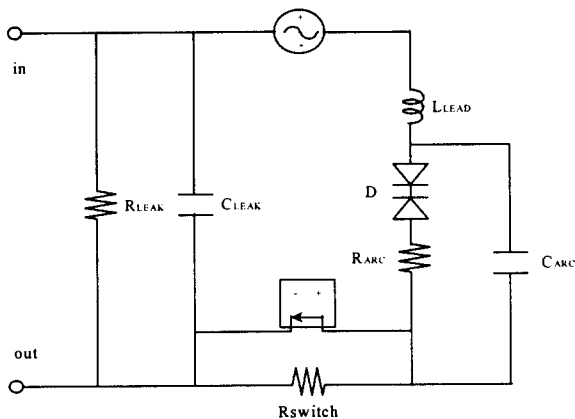


그림 4 스파크 갭의 Pspice모델
Fig. 4 The Pspice model of a spark gap

스파크 갭을 부회로(subcircuit)화 하여 하나의 소자 모델로 구성하고[9], 앞에서 설명한 결과를 기초로 하여 Pspice 등가회로로 나타내면 그림 4와 같으며, 제어전압 스위치는 종속 제어전류원 (voltage-controlled current source)으로 구현하였다.

2.2 산화아연바리스터의 모델링

산화아연바리스터(ZnO Varistor)의 구조는 P-N 접합 반도체 특성의 입계층(grain layer)에 의해 분리된 도전성 분인 산화아연(ZnO) 입자의 매트릭스 형상으로 이루어져 있다. 양방향성 비선형 소자인 산화아연바리스터의 V-I특성은 3개의 영역으로 세분화된다. 즉, 전류가 0.1 [mA]이 하인 누설전류 영역으로 누설저항 R_{leak} 가 주된 영향을 미치고, 마치 절연체로서 작용하게 된다. 100 [A]이상의 대전류 영역에서는 벌크저항(R_{bulk})에 의해 산화아연바리스터 응답이 지배되며, 금속 저항체와 같이 거의 선형 특성을 나타낸다. 그리고 전류가 0.1 [mA]와 100 [A] 사이의 영역에서 산화아연바리스터의 I-V 특성은 비선형 저항(R_{ideal})에 의존하며, 단자전압이 흐르는 전류의 크기에 거의 의존하지 않는 비선형의 전압-전류특성을 나타낸다. 이와 같은 비선형 전압-전류특성은 식 (2)으로 표현할 수 있으며[1], 서지억제소자로 사용하는 것이 바로 이 영역의 비선형 특성이다.

$$I = k V^{\alpha} \tag{2}$$

여기서, k 는 비례정수이고, α 는 비선형 지수로서 이 값이 클수록 성능이 양호하며, 그 크기는 약 25~60 정도의 값을 갖는다. 산화아연바리스터의 V-I특성을 나타내는 전기적 등가회로를 그림 5에 나타내었으며, 여기서 L은 산화아연바리스터 자체 및 리드선의 인덕턴스로 수~수십 [nH] 정도의 값이며, C는 산화아연바리스터 양단의 정전용량이다.

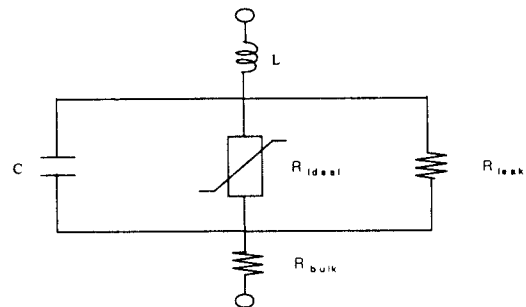


그림 5 산화아연바리스터의 등가회로
Fig. 5 The equivalent circuit for a ZnO varistor

산화아연바리스터의 동작특성에 대하여 본 연구에서 측정 한 그림 7의 실험결과를 분석해 보면, 상승시간이 빠른 임펄스전류를 인가하였을 경우가 느린 임펄스전류를 인가했을 때 보다 산화아연바리스터 양단의 단자전압은 상승한다. 이 전압의 상승률은 주로 인가되는 전류의 피크값과 상승시간에 관계된다. 위와 같은 동적 특성을 식 (3)으로 표현할 수 있다.

$$V = D I^{\gamma} \tag{3}$$

위 식에서 $D = D_0 + D_1 e^{-\beta t}$ 이고 D_0, D_1, β 는 실험으로 구해지는 정수이며, γ 는 비선형 지수의 역수이다. 따라서 산화아연바리스터의 리드선의 저항 R 과 인덕턴스 L 을 고려하였을 때의 차단전압은 식 (4)으로 나타낼 수 있다[8].

$$V = DI^\gamma + \left(L \frac{dI}{dt} + RI \right) \quad (4)$$

산화아연바리스터의 동작특성을 시뮬레이션하기 위해서는 리드선의 영향이 배제된 산화아연바리스터 자체만의 전압-전류특성과 응답특성의 측정과 분석이 필요하다. 따라서 시뮬레이션 대상으로 한 동작개시전압이 240 [V]인 산화아연바리스터에 대하여 임펄스전류의 피크치를 파라미터로 하여 인가전류의 파두시간에 대한 차단전압특성, 그리고 파두시간을 파라미터로 하여 인가전류의 피크치에 대한 차단전압특성을 측정하였다. 즉, 산화아연바리스터에 원점에서 피크치까지의 시간인 파두시간(time-to-crest)이 다르며, 피크값이 일정한 임펄스전류를 인가하였을 때 동작개시전압이 240 [V]인 산화아연바리스터의 양단에 나타난 차단전압의 피크값을 측정된 결과를 그림 6에 나타내었다.

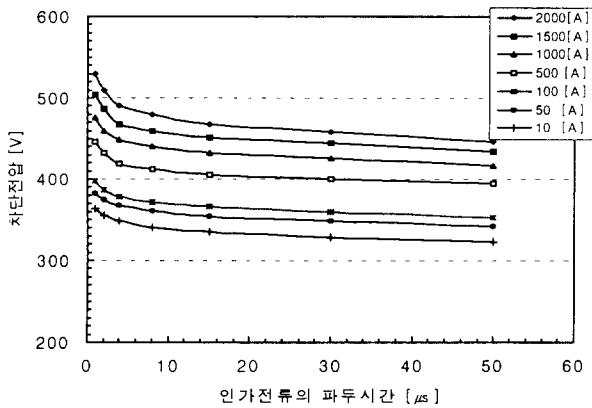


그림 6 산화아연바리스터의 임펄스전류의 파두시간에 대한 차단전압
Fig. 6 The clamping voltages of the ZnO varistor as a function of the time-to-crest of impulse current

그림 6의 측정결과를 보면 인가전류의 파두시간이 매우 짧은 영역에서는 차단전압이 상승하는 특성으로 나타났다. 따라서 실제 리드선을 접속한 산화아연바리스터에는 빠른 파두시간의 임펄스전류에 대해서 차단전압이 상승하는 성분 즉, 직렬로 인덕턴스 성분이 포함되어 있다고 생각할 수 있다. 이것은 그림 7에 나타낸 전류와 전압관계에서도 알 수 있다. 따라서 리드선의 영향이 배제된 측정결과를 적용하여야 이론적 시뮬레이션결과가 어느 정도의 정확도로 일치하는가를 평가할 수 있으며, 산화아연바리스터만의 특성을 파악하게 된다. 그림 7의 결과로부터 임펄스전류의 피크값이 작은 영역(10~100 A)에서는 비교적 차단전압의 값이 임펄스전류의 크기에 대해서 거의 직선적으로 증가하므로 그때의 비선형 지수의 역수 γ 를 구할 수 있으며, 대략 0.0375가 된다.

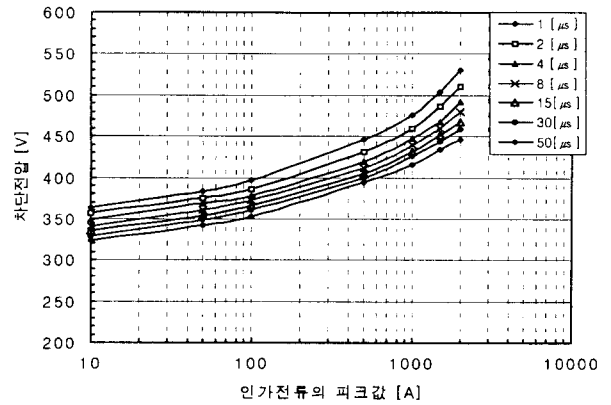


그림 7 임펄스전류의 파두시간을 파라미터로 하여 나타낸 산화아연바리스터의 전류와 전압특성
Fig. 7 The I-V characteristics of the ZnO varistor as a parameter of the time-to-crest of impulse current

산화아연바리스터 리드선의 인덕턴스 값은 대략 대략 1 [nH/mm]이고, 벌크저항(R_{bulk})은 그 값이 매우 작기 때문에 리드선 저항으로 대체해도 된다. 리드선의 저항값은 리드선 제질의 저항률과 길이, 단면적으로부터 산출할 수 있다. 비선형 저항성분을 증가화하기 위해서는 식 (3), 식 (4)을 기초로 하여 D 값을 구하여야 한다. 따라서, 그림 6에서 나타낸 전류의 파두시간과 차단전압의 관계를 나타낸 그래프로부터 식 (5)과 같이 리드선의 인덕턴스와 저항값에 의한 전압분을 빼주어야 산화아연바리스터 자체만의 특성을 해석할 수 있다.

$$V^* = V - \left(L \frac{dI}{dt} + RI \right) \quad (5)$$

V^* : 교정된 전압의 피크값

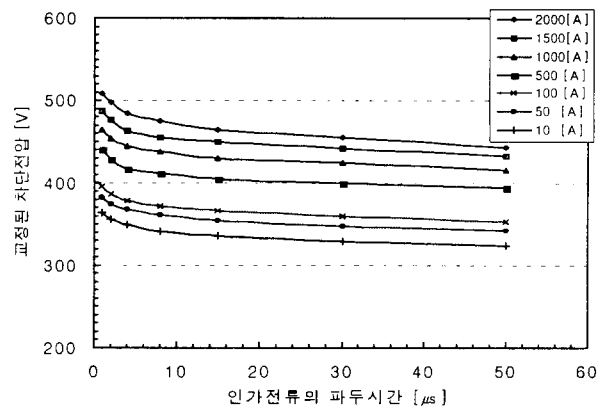


그림 8 임펄스전류의 파두시간과 교정된 차단전압의 관계
Fig. 8 The relationship between the time-to-crest of impulse current and the corrected clamping voltage

식 (5)을 기초로 하여 구한 교정된 전압 V^* 를 그림 8에 나타내었다. 측정된 전류의 파두시간과 제한전압의 관계를 나타낸 그림 6의 결과보다 훨씬 선형적임을 알 수 있다. 식

(3), 식 (5)과 그림 8의 그래프를 기초로 하여 식 (6)으로부터 D 값을 구할 수 있다.

$$\frac{V^*}{I^*} = (D_0 + D_1 e^{-\beta t}) \quad (6)$$

위에서 구한 값을 바탕으로 식 (4)을 적용하여 이론적으로 계산한 값과 실측한 결과의 전압의 크기의 편차분포를 그림 9에 나타내었다.

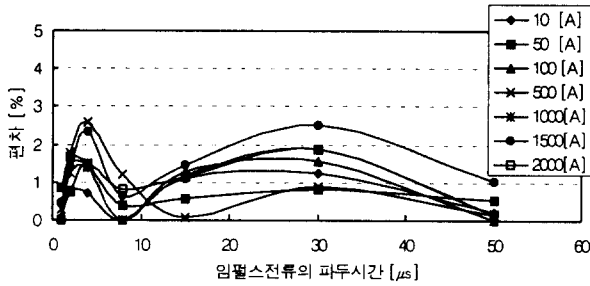


그림 9 측정결과와 계산결과의 편차
Fig. 9 The deviation between the measured data and the calculated results

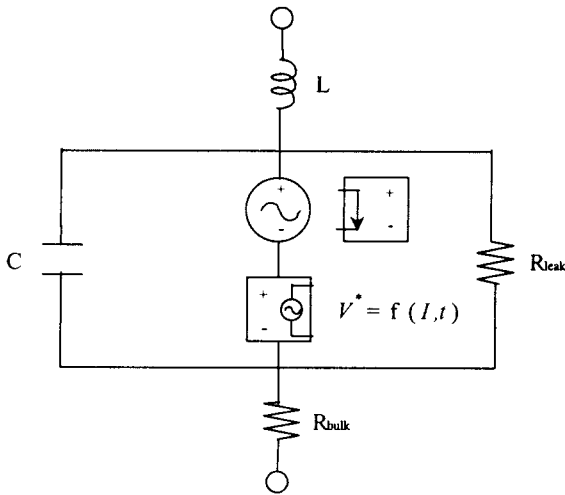


그림 10 산화아연바리스터의 Pspice 모델
Fig. 10 The Pspice model for a ZnO varistor

그림 9에서 임펄스전류의 파두시간과 전류 피크치에 따른 편차를 보면 1, 8, 50 [μs]의 파두시간을 갖는 임펄스전류에 대해서 상대적으로 편차가 작음을 알 수 있고 4, 30 [μs]의 파두시간을 갖는 임펄스전류에 대해서 상대적으로 편차가 크게 나타났다. 0.01~2.59 [%] 범위의 편차는 실측값의 모든 범위를 만족하는 수식의 해를 얻기가 실제적으로 어려워 근사화하였기 때문이라고 생각된다.

이상의 결과를 Pspice동기회로로 나타내면 그림 10과 같다. 리드선의 인덕턴스(L), 저항(R), 산화아연바리스터 양단의 정전용량(C), 누설저항(R_{leak})은 Pspice 라이브러리의 소

자로 하고, 비선형 저항성분은 식 (3)을 적용하여 1개의 독립 전압원과 2개의 종속 제어전압원(CCVS, VCVS)으로 대체한다. 또한 스파크 갭의 Pspice 모델과 같이 그림 10의 회로를 부회로화 하여 하나의 소자 모델로 구성하였다.

3. 실험장치 및 방법

3.1 실험회로의 구성

비선형 소자를 모델화시키기 위해서는 기본적으로 I-V 특성의 측정이 필요하므로 연구 대상의 비선형 소자에 대한 전류-전압특성의 정확한 파악을 위한 측정회로의 개략도를 그림 11에 나타내었다.

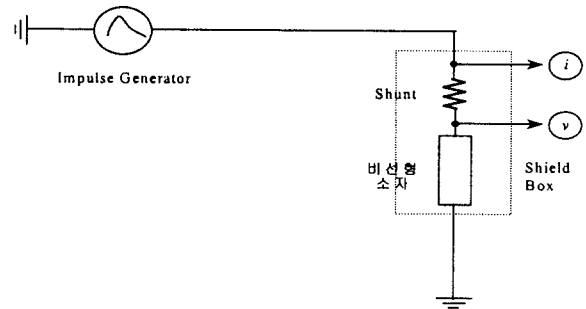


그림 11 측정회로
Fig. 11 The measurement circuit

표 1 실험기기 및 측정기기의 규격

Table 1 The experimental device and specifications of the measurement instruments

항 목	규격 및 특성
임펄스 발생기	최대 출력전압 : 10[kV]
디지털 오실로스코프	BW 500[MHz], 2.5[GS/s] 4 채널
Current Transformer	BW DC~17[MHz]
저항 분류기	BW DC~700[kHz]
고전압 차동프로브	DC+pkAC : 1300[V] BW : 25[MHz], 50[MHz]
Attenuator	감쇠비 : 5x

또한 산화아연바리스터와 스파크 갭 등 비선형 소자의 모델화를 위한 특성실험에 사용된 임펄스전압·전류발생기 및 측정기기의 규격을 표 1에 나타내었다.

3.2 실험 방법

3.2.1 비선형 소자의 특성실험

그림 11의 측정회로에서 비선형 소자의 단자전압은 차동 전압프로브를 이용하여 측정하였고, 임펄스전류는 분류기와 감쇠기를 사용하여 검출하고 디지털 축적형 오실로스코프로 관측하였다. 본 실험에서는 산화아연바리스터에 1~50 [μs] 범위의 상승시간을 갖는 2중 지수형 임펄스 전류를 흘려 차단

전압-전류특성을 측정하였다. 실험에 사용한 산화아연바리스터의 동작개시전압은 240 [V]이다. 또한 스파크 갭에 10, 100 [V/μs], 1 [kV/μs] 상승률을 갖는 임펄스전압을 인가시켜 방전개시전압 특성을 측정하였다. 실험에 사용한 스파크 갭의 DC 방전개시전압은 250 [V]이고, 신호 왜곡을 방지하고자 모든 계측기기를 차폐함 내에 설치하였다.

3.2.2 서지억제 회로의 평가실험

스파크 갭은 응답속도가 느리므로 동작하기 전에 매우 높은 잔류전압이 피보호회로에 남게 된다. 산화아연바리스터는 빠른 응답속도가 빠르며 차단전압이 거의 일정하지만 큰 서지전류에 의해 열화되기 때문에 이들의 조합에 의해 각 비선형 소자가 가지는 단점을 보완하여 복합적으로 우수한 성능을 가지는 회로를 구성하는 것이 효과적이다.

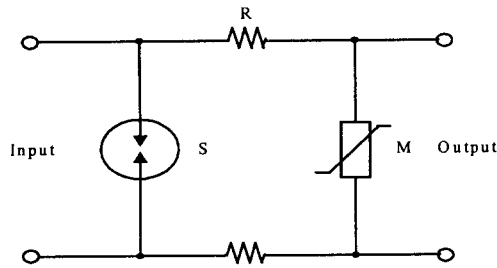


그림 12 산화아연바리스터와 스파크 갭을 조합한 2단 서지억제 회로

Fig. 12 The two-stage surge suppression circuit composed of a spark gap and a ZnO Varistor

산화아연바리스터와 스파크 갭으로 조합한 서지억제회로의 예를 그림 12에 나타내었으며, 이 2단 서지보호회로에서 저항 R의 역할은 다음과 같다. 서지전압이 입사하였을 때 산화아연바리스터가 동작하여 과도전압을 차단하게 되며, 이때 산화아연바리스터에 흐르는 전류를 제한시켜 보호하며, 저항에서의 전압강하에 의하여 스파크 갭의 방전개시를 돕는다. 저항값은 다음의 식 (7)을 적용하여 산출한다[1].

$$R = [(V_f / \pi) - V_z](V_z / P) \quad (7)$$

여기서 V_f 는 스파크 갭의 직류방전개시전압, V_z 는 산화아연바리스터의 동작개시전압, P 는 산화아연바리스터의 정격용량이다.

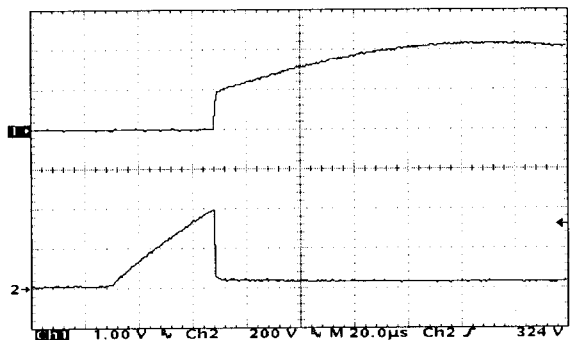
그림 12에서 후단의 산화아연바리스터는 스파크 갭이 동작하기 전에 과도과전압을 클램핑하며, 앞단의 스파크 갭이 도통 후에는 산화아연바리스터를 통해 흐르던 전류는 스파크 갭으로 거의 통전하게 되어 산화아연바리스터의 열화를 방지한다. 산화아연바리스터의 동작개시전압이 스파크 갭의 DC 방전개시전압보다 너무 낮으면 스파크 갭이 도통하지 않거나 산화아연바리스터에 흐르는 전류 부담이 커져 효과적이지 못하며, 산화아연바리스터의 동작개시전압이 스파크 갭의 DC 방전개시전압보다 높으면 산화아연바리스터는 동

작하지 않게 된다. 따라서 스파크 갭과 산화아연바리스터의 동작개시전압은 제한전압과 각 소자의 에너지 부담을 고려하여 선정하여야 한다. 이 회로에서 스파크 갭의 DC 방전개시전압은 250 [V]이고, 산화아연바리스터의 동작개시전압이 240 [V]이므로 산화아연바리스터에 흐르는 전류를 제한하면서 전압을 분담해 스파크 갭의 확실한 동작과 보호협조가 이루어지도록 저항을 삽입하였다[10].

4. 결과 및 고찰

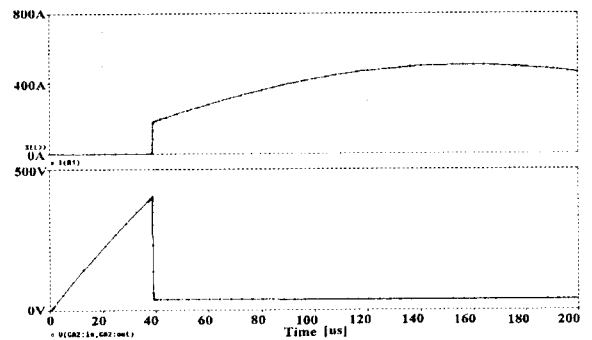
4.1 비선형 소자

본 연구에서 제안된 스파크 갭의 Pspice 모델을 평가하기 위하여 10, 100 [V/μs], 1 [kV/μs]의 임펄스전압 파형을 적용하였으며, 시뮬레이션한 결과와 실측값과의 비교를 그림 13~그림 15에 나타내었다.



상 : 통전전류 (250[A/div])
하 : 스파크 갭의 차단전압 (200[V/div])

(a) 실측 파형



상 : 통전전류
하 : 스파크 갭의 차단전압

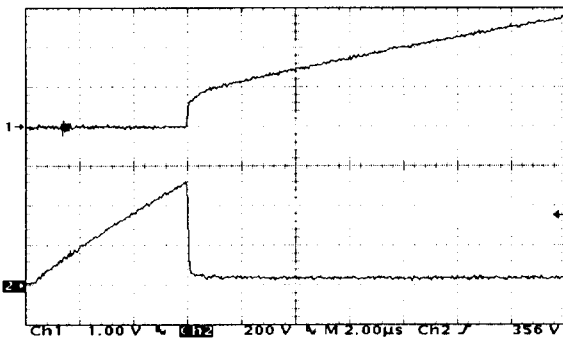
(b) 시뮬레이션 파형

그림 13 10 [V/μs] 임펄스전압에 대한 실측 파형과 시뮬레이션 결과의 비교

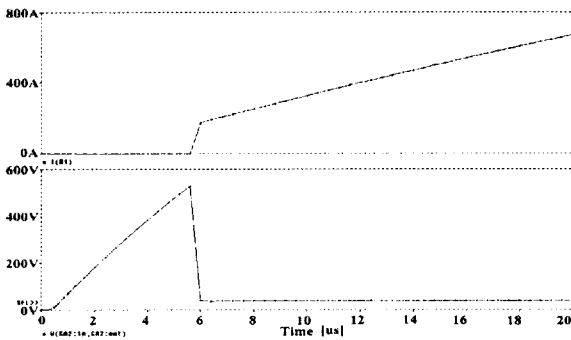
Fig. 13 The measured waveform and the simulated result to the impulse voltage with the rate of the time-to-crest of 10 V/μs

본 연구에 사용한 비선형 소자의 전기적 특성에 대한 규격은 다음과 같다. 스파크 갭의 직류방전개시전압은 250 [V]이며, 허용오차는 ±20 [%]이고, 임펄스특성으로서 1 [kV/

μs 의 상승률을 가지는 임펄스전압에 대한 섬락전압은 700 [V]이하이며, 8/20 [μs] 임펄스전류의 방전전류용량은 20 [kA]이고 상용 주파수 전류 20 [A]를 1초 동안 흘릴 수 있다. 산화아연바리스터는 AC 150 [V], DC 200 [V]이하의 선로에 사용이 가능하고, 동작개시전압은 240 [V]이며 허용오차는 ± 10 [%]이다. 임펄스특성으로서 표준뇌임펄스전압에 대한 최대 차단전압은 395 [V]이고, 8/20 [μs] 임펄스전류의 방전전류용량은 2.5 [kA]이다. 그림 13은 10 [$\text{V}/\mu\text{s}$] 임펄스전압 파형과 이에 대한 응답 파형으로 실측 파형에서는 시간지연이 39 [μs]에서 방전개시전압이 400 [V], 시뮬레이션 파형에서는 38.8 [μs]에서 방전개시전압 403 [V]를 나타내었다. 동작 이후 통전전류의 불연속점의 전류의 크기와 차단전압은 실측 파형에서는 240 [A], 35 [V]이며, 시뮬레이션 파형에서는 185 [A], 37 [V]를 나타내었다. 그림 14는 100 [$\text{V}/\mu\text{s}$] 임펄스전압 파형과 이에 대한 응답 파형으로 실측 파형에서는 시간지연이 5.9 [μs]에서 방전개시전압 532 [V], 시뮬레이션 파형에서는 5.5 [μs]에서 방전개시전압 538 [V]를 나타내었다.



상 : 통전전류 (250[A/div])
하 : 스파크 갭의 차단전압 (200[V/div])
(a) 실측 파형



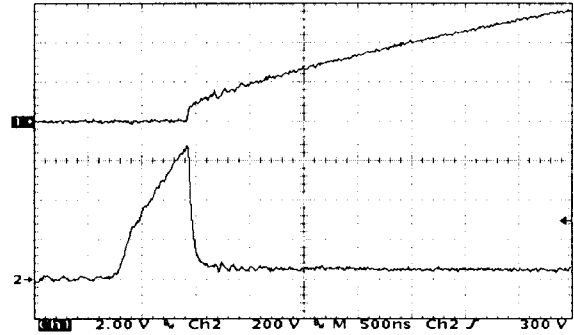
상 : 통전전류
하 : 스파크 갭의 차단전압
(b) 시뮬레이션 파형

그림 14 100 [$\text{V}/\mu\text{s}$] 임펄스전압에 대한 실측 파형과 시뮬레이션 결과의 비교

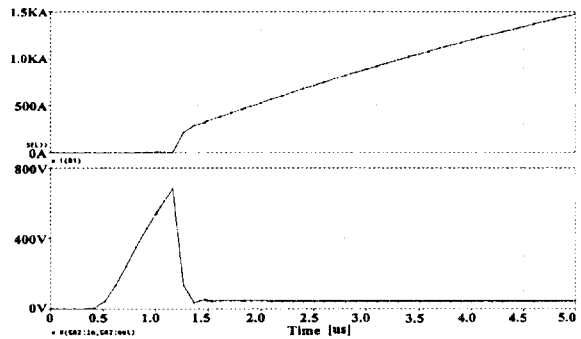
Fig. 14 The measured waveform and the simulated result to the impulse voltage with the rate of the time-to-crest of 100 $\text{V}/\mu\text{s}$

동작이후 통전전류의 불연속점의 전류의 크기와 차단전압은 실측한 파형에서는 150 [A], 35 [V]이며, 시뮬레이션 파형에서

는 154 [A], 38 [V]를 나타내었다. 그림 15는 1 [$\text{kV}/\mu\text{s}$] 임펄스 전압 파형과 이에 대한 응답 파형으로 실측 파형에서는 시간 지연이 650 [ns]에서 방전개시전압이 688 [V], 시뮬레이션 파형에서는 683 [ns]에서 방전개시전압 682 [V]를 나타내었다. 동작이후 통전전류의 불연속점의 전류값과 차단전압은 실측한 파형에서는 180 [A], 40 [V]이며, 시뮬레이션 파형에서는 214 [A], 44 [V]를 나타내었다.



상 : 통전전류 (250[A/div])
하 : 스파크 갭의 차단전압 (200[V/div])
(a) 실측 파형

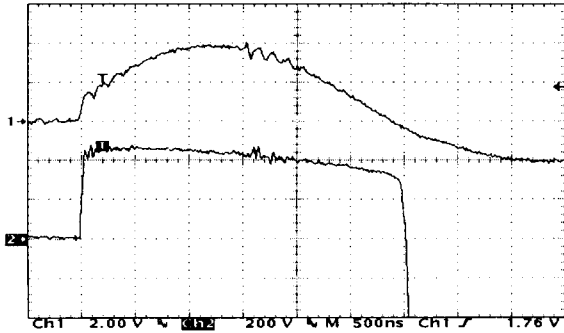


상 : 통전전류
하 : 스파크 갭의 차단전압
(b) 시뮬레이션 파형

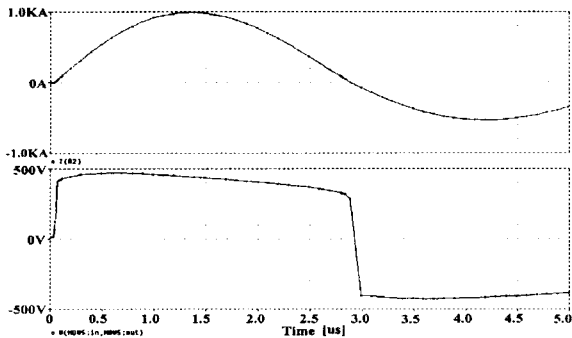
그림 15 1 [$\text{kV}/\mu\text{s}$] 임펄스전압에 대한 실측 파형과 시뮬레이션 결과의 비교

Fig. 15 The measured waveform and the simulated result to the impulse voltage with the rate of the time-to-crest of 1 $\text{kV}/\mu\text{s}$

이와 같은 결과는 스파크 갭의 방전개시전압의 편차 때문이며, 그리고 실제 스파크 갭의 방전전전메카니즘에서 글로우방전으로부터 아크방전으로 이행하는 특성을 완전하게 모델화하기가 어렵기 때문에 도통 순간의 전류 파형이 상대적으로 편차가 큼을 볼 수 있지만 전반적으로 스파크 갭의 차단전압 파형 및 통전전류 파형이 실측한 파형과 시뮬레이션 결과가 서로 잘 일치함을 알 수 있다. 또한 산화아연바리스터의 Pspice 모델을 적용시켜 1[kA] 피크값의 임펄스전류에 대하여 파두시간을 변화시켜 전류-전압특성을 측정된 결과와 시뮬레이션한 결과의 비교를 그림 16과 그림 17에 나타내었다. 이들 결과의 비교·평가에 있어 Pspice에서 임펄스 인가전류의 회로를 측정회로와 동일하게 하였다.



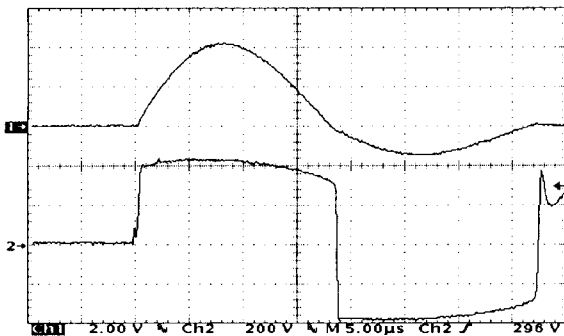
상 : 인가전류 (500[A/div])
 하 : 산화아연바리스터의 차단전압 (200[V/div])
 (a) 실측 파형



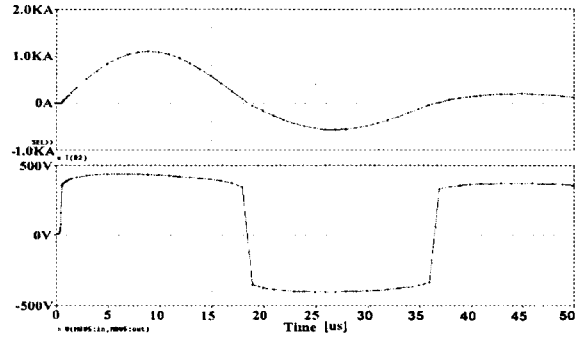
상 : 인가전류
 하 : 산화아연바리스터의 차단전압
 (b) 시뮬레이션 파형

그림 16 파두시간 1 [μs]인 임펄스전류에 대한 실측 파형과 시뮬레이션 결과

Fig. 16 The measured waveform and the simulated result to impulse current input with the time-to-crest of 1 μs



상 : 인가전류 (500[A/div])
 하 : 산화아연바리스터의 차단전압(200[V/div])
 (a) 실측 파형



상 : 인가전류
 하 : 산화아연바리스터의 차단전압
 (b) 시뮬레이션 파형

그림 17 파두시간 8 [μs]인 임펄스전류에 대한 실측 파형과 시뮬레이션 결과

Fig. 17 The measured waveform and the simulated result to impulse current input with the time-to-crest of 8 μs

실측한 파형과 시뮬레이션 결과로부터 인가전류를 거의 1 [kA]의 크기로 유지시켜 파두시간에 따른 차단전압을 비교한 내용을 표 2에 나타내었다. 또한 인가전류가 피크치에 도달하기 전 차단전압이 피크치에 도달하는 특성이 거의 일치하였다. 전체적으로 차단전압의 파형이 서로 잘 일치함을 알 수 있으며, 제안한 모델링 기법의 신뢰성을 확인할 수 있었다.

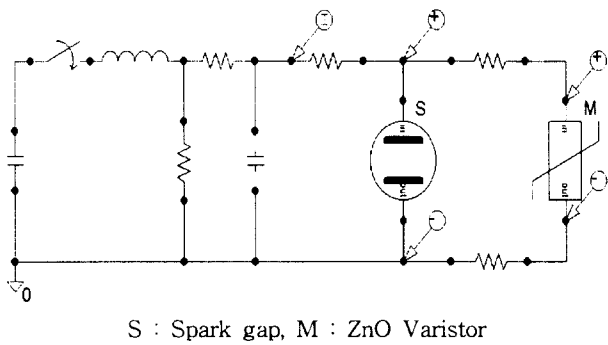
표 2 실측 파형과 시뮬레이션 결과의 차단전압

Table 2 The clamping voltage and the simulated data

파두시간 [μs]	1	8
차단전압 [V]		
실측 결과	476	444
시뮬레이션	475.8	443.7

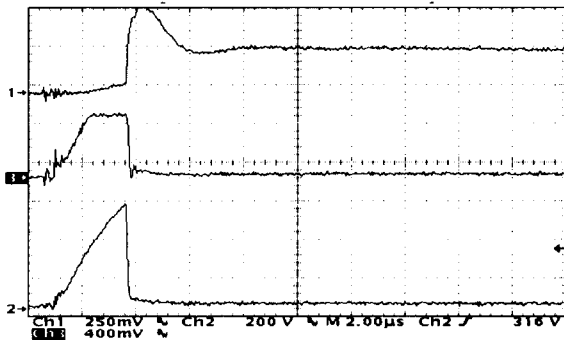
4.2 서지억제회로

제 3.2.2항에서 기술한 본 연구에서 제안한 스파크 갭과 산화아연바리스터 모델로 서지억제회로를 구성하였을 때의 동작특성을 10/1000 [μs] 파형의 임펄스전압을 인가하여 평가하였다. 이 때 시뮬레이션에 이용한 등가회로도를 그림 18에 나타내었으며, S와 M은 각각 스파크 갭과 산화아연바리스터의 Pspice 모델을 부회로화한 마크로모델 (macromodel)이다. 2단 서지억제회로에 10/1000 [μs] 임펄스전압을 인가했을 때 비선형 소자의 양단에서의 전압과 각 소자를 통하여 흐르는 전류의 실측 파형과 시뮬레이션 결과를 그림 19에 나타내었다. 그림 19의 결과에서 스파크 갭이 도통하기 전에 저항과 산화아연바리스터에 흐르는 전류는 실측 파형에서 12.5 [A]이고, 시뮬레이션에서 11.3 [A]이며, 도통 후 스파크 갭으로 흐르는 전류의 피크 값과 지속되는 전류 값은 실측한 파형에서 143.8 [A], 68.8 [A]이고 시뮬레이션한 결과에서 각각 149.8 [A], 59.4 [A]이다.

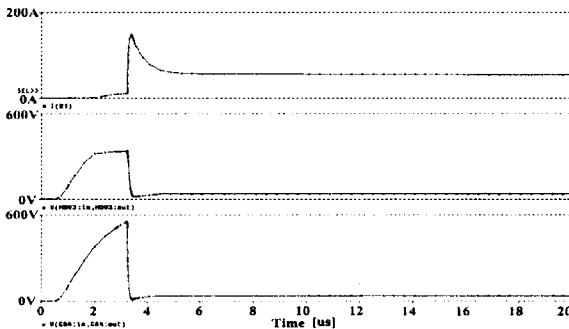


S : Spark gap, M : ZnO Varistor

그림 18 2단 서지억제회로의 시뮬레이션 모델
Fig. 18 The simulation model of the two-stage surge suppression circuit



상 : 인가(입력) 전류 (62.5[A/div])
중 : 산화아연바리스터의 차단전압 (200[V/div])
하 : 스파크 갭의 차단전압 (200[V/div])
(a) 실측 파형



상 : 인가(입력) 전류
중 : 산화아연바리스터의 차단전압
하 : 스파크 갭의 차단전압
(b) 시뮬레이션 파형

그림 19 10/1000 [μs] 임펄스전압에 대한 2단 서지억제회로의 실측 파형 과 시뮬레이션 결과
Fig. 19 The measured waveforms and the simulated results to the impulse voltage of 10/1000 μs

특히 스파크 갭의 도통 후 실측한 전류 파형에서 오버슈

트가 생기는데 이는 회로내의 인덕턴스 성분 때문이라고 생각된다. 앞단 스파크 갭의 실측한 파형에서는 시간지연이 2.8 [μs]에서 방전개시전압이 556 [V]이고, 시뮬레이션에서는 시간지연이 2.6 [μs]에서 559 [V]이며, 차단전압은 실측한 파형에서 36 [V]이고, 시뮬레이션에서는 37 [V]이다. 그리고, 후단 산화아연바리스터의 차단전압은 실측한 파형에서 332 [V]이고, 시뮬레이션에서는 335 [V]이다. 실측한 값과 시뮬레이션한 결과사이의 약간의 차이는 모두 측정회로의 리드선의 인덕턴스에 의한 영향으로 생각되며, 시뮬레이션에 측정회로의 인덕턴스의 값을 정확하게 적용하는 것은 용이한 일이 아니었다.

위의 결과로부터 스파크 갭과 산화아연바리스터 사이에 저항은 산화아연바리스터에 흐르는 전류를 제한하고 전압을 분담시켜 스파크갭의 동작을 확실히 함을 알 수 있으며, 앞서 기술한 바와 같이 비선형 소자를 단일로 했을 때의 문제점인 피보호회로에 스파크 갭의 도통 전의 높은 잔류전압과 산화아연바리스터의 큰 서지전류에 대한 열화가 보완됨을 알 수 있었다. 따라서 본 연구에서 제안한 비선형 소자의 모델링기법은 서지억제회로 설계에 잘 적용될 수 있음을 확인하였다.

5. 결 론

본 연구에서는 정보통신·제어·신호기기 및 전자회로의 서지에 대한 보호에 적용되는 비선형 소자와 이들을 조합한 2단 서지억제회로에 임펄스 전압·전류를 인가하였을 때의 동작특성을 실측 파형과 시뮬레이션 파형을 분석한 바 다음과 같은 결론을 얻었다. 산화아연바리스터에 1~50 [μs] 범위의 파두시간을 갖는 임펄스전류를 인가시켰을 때 실측한 파형과 시뮬레이션 결과의 차단전압의 편차는 2.6[%]로 소자 자체 특성의 허용오차범위보다 훨씬 작았다. 2단 서지억제회로에 10/1000 [μs]의 임펄스전압을 인가하였을 때, 각 소자에 흐르는 전류와 차단전압에 대한 실측 파형과 시뮬레이션 결과가 거의 일치하였으며, 제안된 비선형 소자의 모델링기법의 신뢰성을 확인하였다. 따라서 제안된 비선형 소자의 모델을 이용한 시뮬레이션기법은 서지억제회로의 설계에 유용하게 활용될 것으로 기대된다.

참 고 문 헌

- [1] R. B. Standler, "Protection of Electronic Circuits from Overvoltages", A Wiley-Interscience Pub., 1994, pp.34~54, 236~242, 434.
- [2] IEEE Working Group 3.4.11, "Modelling of Metal Oxide Surge Arresters", IEEE Trans., Vol.PD-7, No.1, pp.302~309, 1992.
- [3] 萩原豊久, 丹橋後久, 渡辺秀人, 竹内伸貴, 植田後明, "酸化亞鉛形避雷器動特性モデル", IEE Japan, Vol.116-B, No.12, pp.1562~1568, 1996.
- [4] K. Borgeest, J. L. Haseborg, "Measurement and Modeling of Nonlinear Components for SPICE Simulation of Signal Distortions by Protection Circuits", Proc. of Ninth Int. Sym. on EMC, Zurich, 1995.

- [5] A. Larsson, V. Scuka, K. Borgeest, J. L. Haseborg, "Nurimerical Simulation of Gas Discgarge Protectors - A Review" IEEE Trans., Vol.PD-14, No.2, pp.405~410, 1999
- [6] 길경석, 송재용, 박진길, "가스튜-브와 산화아연바리스터의 PSpice 모델", 한국박용기관학회지, Vol.23, pp.150~158, 1999. 3.
- [7] Chahners Publishing Com., EDN Access, Reed Properties Inc., 1997. 7.
- [8] J. A. Connelly, P. Choi, "Macromodeling with spice", Prentice-Hall, 1992, pp.15~30.
- [9] 倉田, 村野. "酸化亞鉛形避雷器のモデル化", 電氣學會 電力・エネスギー部門大會, No.400, pp.1~5, 1992.
- [10] R. B. Standler, "Coordination of Surge Arresters and Suppressors for Use on Low-Voltage Mains", Proc. of Ninth Int. Sym. on EMC, Zurich, pp.517~524, 1991.

저 자 소 개



이복희 (李福熙)

1954년 6월 29일생. 1980년 2월 인하대 공대 전기공학과 졸업. 1987년 동 대학원 전기공학과 졸업(공학). 1988~89년 동경대학 생산기술연구소 객원연구원. 1995년 호주 Queensland대학 방문교수. 1999년 4월~2000년 2월 신시내티대학 방문교수. 1990~현재 인하대 공대 전자전기컴퓨터공학부 교수
 Tel : 032-860-7398, Fax : 032-863-5822
 E-mail : bhlee@inha.ac.kr



최원규 (崔元奎)

1974년 7월 2일생. 1998년 3월 인하대 공대 전기공학과 졸업. 2000년 2월 동 대학원 전기공학과 졸업(석사). 2000~현재 LG전선(주) 전력연구소 전력연구실 시스템TG
 Tel : 02-3773-2738, Fax : 02-3773-2437
 E-mail : quick9@cable.lg.co.kr



공영훈 (孔永訓)

1971년 7월 18일생. 1998년 2월 인하대 공대 전기공학과 졸업. 2000년 2월 동 대학원 전기공학과 졸업(석사). 2000~현재 한국전기전자시험연구원 의료기기평가실 의료기기 시험팀
 Tel : 031-455-1747, Fax : 031-455-7307
 E-mail : yhkong@keeti.re.kr



전덕규 (全德圭)

1962년 2월 9일생. 1985년 2월 인하대 공대 전기공학과 졸업. 1993년 8월 동 대학원 전기공학과 졸업(공학). 1995~현재 국립서울산업대학교 공대 자동차공학과 조교수
 Tel : 02-970-6349, Fax : 02-979-7032
 E-mail : dukkyu@plaza1.snut.ac.kr