

# 트랩 주입의 구조적 설계에 따른 IGBT의 전기적 특성 개선에 관한 연구

論 文  
49C-8-6

## Study on the Characteristic Analysis and the Design of the IGBT Structure with Trap Injection for Improved Switching Characteristics

姜 二 求\*\* · 秋 教 奕\* · 金 相 植\*\*\* · 成 萬 永\*\*\*  
(Ey-Goo Kang · Kyo-Hyuck Choo · Sang-Sik Kim · Man-Young Sung)

**Abstract** - In this paper, the new IGBT structures with trap injection are proposed to improve switching characteristics of the conventional SOI IGBT. The Simulations are performed in order to investigate the effects of the position, width and concentration of trap injection region with a reduced minority carrier lifetime using 2D device simulator MEDICI. Their electrical characteristics are analyzed and the optimum design parameters are extracted. As a result of simulation, the turn off time for the model A with the trap injection is  $0.78\mu s$ . These results indicate the improvement of about 2 times compared with the conventional SOI IGBT because trap injection prevents minority carriers which is stored in the n-drift region during turn off switching. The latching current is  $1.5 \times 10^{-4} A/\mu m$  and forward blocking voltage is 168V which are superior to those of conventional structure. It is shown that the trap injection is very effective to reduce the turn off time with a little increasing of on-state voltage drop if its design and process parameters are optimized

**Key Words** : turn-off, trap, switching, carrier lifetime, IGBT, Latching current

### 1. 서 론

파워 IC소자인 IGBT는 구조에 따라 VIGBT, LIGBT, TIGBT로 분류되는데, VIGBT는 전력용 MOSFET과 동일한 공정에 의해 제조되며, 높은 전류 용량을 얻을 수 있어 고내압, 대용량의 소자를 필요로 하는 응용분야에 개별소자로서 폭 넓게 이용되고 있고, LIGBT는 평면상에 배치가 가능하고 격리가 용이하여 IPM이나 Smart Power IC와 같은 전력용 집적회로에 가장 적합한 소자로 주목받고 있다.[1-5] TIGBT는 기존의 MOS 게이트 구조를 트랜치 게이트 구조로 대체하여 온 상태 전압 강하를 감소시키고 채널 밀도를 증가시킬 수 있다. 또한 n+ 에미터 영역을 지나는 정공전류가 개선되어 래치 업 전류밀도가 증가하지만 공정상의 어려움이 단점으로 지적되고 있다. IGBT소자가 이상적인 특성에 접근한 소자임에도 불구하고 구조적으로 내재된 기생 사이리스터의 래치 업으로 인하여 MOS 게이트가 전류 제어 능력을 상실하게 되고 과도한 전류의 흐름에 의해 주변회로가 손상을 받게 되는 단점과 온 상태일 때 드리프트 영역으로 주입된 많은 양의 소수캐리어 축적으로 인한 상대적으로 느린 스위칭

특성 때문에 래치 업 억제와 빠른 스위칭 시간의 확보가 중요한 고려 사항이 되어 왔다.[6-7] 또 전력전자 시스템의 소형화, 경량화, 고효율화에 부응하기 위해 소자와 제어회로, 보호회로 사이에 전기적, 열적 격리가 매우 중요하게 되어 SOI에 의한 절연 격리를 이용한 소자가 각광을 받게 되었고 이는 집적화와 소자간 격리의 우수성 이외에도 빠른 스위칭 속도를 얻을 수 있는 장점을 가지고 있다.[8-9]

본 논문에서는 전력용 반도체로 주목받고 있는 IGBT의 스위칭 특성의 향상이라는 관점에서 소자내의 특정 위치에 트랩을 분포시켜 이에 따른 스위칭 특성을 분석하기 위해 새로운 IGBT 구조의 제안과 각 설계 파라미터를 제시하였고, 2-D 소자 시뮬레이터인 MEDICI에 의한 시뮬레이션 결과를 통해 전기적인 특성을 분석하여 소자의 타당성 입증과 최적의 설계조건을 추출하고자 하였다. 또한 논문에서 제시한 새로운 구조와 기존의 IGBT와의 특성을 비교 검증함으로써 활용가능성과 설계 방안을 제시하고자 하였다.

### 2. 소자의 동작특성

#### 2.1 소자의 구조 및 트랩의 위치 설정

그림 1은 본 논문의 시뮬레이션에 사용된 SOI IGBT 구조의 단면도로서 트랩을 4가지의 위치에 따라 구조를 설정하였으며, 이를 각각 A, B, C, D로 나타내었다. 이 구조의 여러 설계 변수값들은 표1에 나타내었고, 이를 2차원 시뮬레이터인 MEDICI를 이용하여 분석하였다. 기존의 IGBT와 본 논문에서

\* 準 會 員 : 高麗大 電氣工學科 碩士  
\*\* 正 會 員 : 高麗大 電氣工學科 博士課程  
\*\*\* 正 會 員 : 高麗大 電氣工學科 助教授 · 工博  
\*\*\* 正 會 員 : 高麗大 電氣工學科 教授 · 工博  
接受日字 : 2000年 6月 5日  
最終完了 : 2000年 7月 22日

서 스위칭 특성의 향상을 위해 제안된 구조는 트랩 분포 위치와 면적등 구조적 차이점 이외의 요소인 각 모델들의 게이트 산화막, 매립 산화막의 두께, 각 영역의 구조와 크기, 채널 길이, 셀 크기 등은 모두 동일하게 설정하였다.

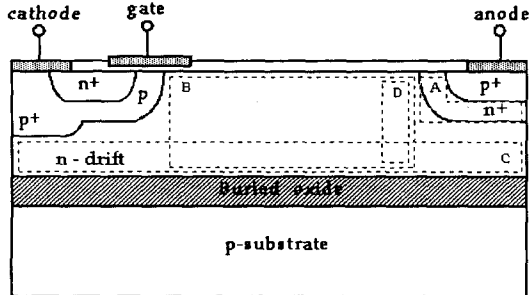


그림 1 SOI LIGBT 구조의 단면도와 트랩의 위치 설정  
Fig. 1 Structure of SOI LIGBT and position of trap distribution

표 1 시뮬레이션을 위한 제안된 구조의 설계 변수  
Table 1 Turn off switching characteristic with various trap distribution model

변수	깊이 / 두께	농도
n- 드리프트	4 $\mu$ m	$3 \times 10^{14} \text{cm}^{-3}$
n+ 버퍼층	2 $\mu$ m	$1 \times 10^{18} \text{cm}^{-3}$
p+ 애노드	0.5 $\mu$ m	$1 \times 10^{19} \text{cm}^{-3}$
p 베이스	1.5 $\mu$ m	$1 \times 10^{17} \text{cm}^{-3}$
p+ 베이스	2 $\mu$ m	$5 \times 10^{18} \text{cm}^{-3}$
n+ 캐소드	0.25 $\mu$ m	$1 \times 10^{19} \text{cm}^{-3}$
게이트 산화막 두께	300Å	
채널길이	3 $\mu$ m	
트랩의 농도	$1 \times 10^{14} \text{cm}^{-3}$	

2.2 시뮬레이션 결과 및 고찰

전체 n- 드리프트 영역에서 일정하게 고정된 소수캐리어 수명을 가지게 하고 그림 1과 같이 4개의 트랩 분포를 설정하여 시뮬레이션을 수행하였다. 트랩의 설정은 금의 확산을 적용하여 실리콘의 금지대 내에 깊은 불순물 준위를 형성해서 소수캐리어의 재결합율을 증가시키는 것으로 고려하였다. 트랩을 형성하여 소수캐리어 수명을 조절하는 방법으로는 금 (Au), 백금(Pt)등의 불순물을 확산시키는 방법, 높은 에너지의 전자를 조사하는 방법, 양성자나 중성자등의 이온을 조사하는 방법등이 있다. 최근에는 전자나 높은 에너지의 이온을 조사하는 방법이 많이 연구되고 있는데 본 논문의 결과를 제시한 금 이외에 다른 물질이나 방법으로 트랩을 형성한 경우에 적용하는 것도 가능하리라 판단된다.

모델 A는 p+ 애노드에서 정공이 주입되어 대부분이 통과 할 것으로 예상되는 p+ 애노드와 n+ 버퍼층의 경계면에 트랩을 분포시킨 모델이며, 모델 B는 n- 드리프트 영역 내부 전 반에 트랩을 위치시킨 모델이다. 또한, 모델 C는 실제로 소수 캐리어가 축적될 것으로 생각되는 n- 드리프트 영역 하부에 트랩을 분포시킨 모델이고 마지막으로 모델 D는 모델 B에 비해 트랩 영역을 p+ 애노드 부근에 가깝게 하고 트랩의 분포 면적을 작게 위치시켜 p+ 애노드에서 주입되는 정공을 재결합시키는 모델이다.

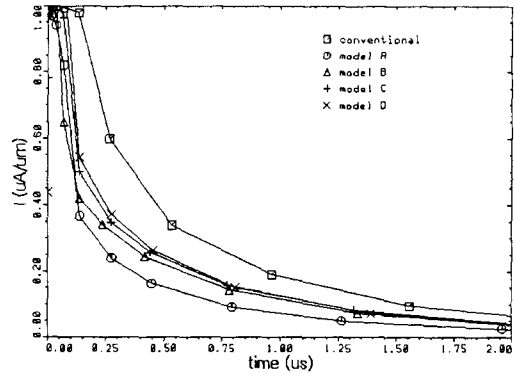


그림 2 모델 변화에 따른 턴 오프 스위칭 특성  
Fig. 2 Turn off switching characteristic with various trap distribution model

표 2 모델 변화에 따른 턴 오프 스위칭 시간  
Table 2 Turn off switching time with various trap distribution model

모델	기준	A	B	C	D
시간	1.6 $\mu$ s	0.8 $\mu$ s	1.1 $\mu$ s	1.2 $\mu$ s	1.1 $\mu$ s

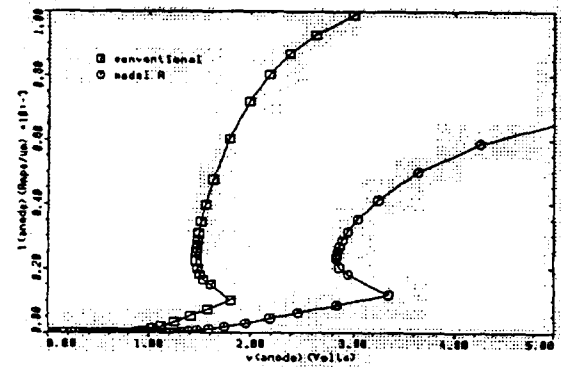


그림 3 기존의 구조와 트랩 분포 모델 A의 래치 업 특성  
Fig. 3 Latch up characteristics of the proposed and conventional LIGBT

그림 2는 기존의 SOI LIGBT와 본 논문에서 제안된 4개 트랩 분포의 턴 오프 스위칭 특성을 나타낸 것이다. 일반적으로 턴 오프 시간은 온 상태일 때 애노드 전류의 10%가 될 때까지의 시간으로 정의하므로, 각 모델의 턴 오프 시간을 정리해보면 표 2와 같다.

기존의 범용 IGBT 소자의 턴 오프 시간은 수  $\mu s$ 내외로 알려져 있고 본 논문에서는  $1.6\mu s$ 의 값을 가지는 것으로 나타나 있다. 제안된 모델 모두 트랩을 분포시키지 않은 기존의 구조보다 1.5~2배 빠른 스위칭 특성을 보여주고 있고, 특히 모델 A가  $0.78\mu s$ 로 가장 빠른 턴 오프 스위칭 특성을 보여주고 있는데 이는 트랩 분포 영역이 p+ 애노드와 n+ 버퍼층 경계부에 위치할 때 p+ 애노드에서 n- 드리프트 영역으로 넘어온 정공이 트랩분포 영역에서 재결합율의 증가로 인해 빠르게 소수캐리어가 감소하기 때문이다. 모델 A를 제외한 나머지 모델 B, C, D는 거의 비슷한 정도의 턴 오프 스위칭 시간을 보여주고 있다. 즉, p+ 애노드와 n+ 버퍼층 경계부 이외의 n- 드리프트 영역에서의 트랩분포는 그 위치에는 크게 상관되지 않음을 알 수 있다. 또한 모델 B와 D의 경우를 비교해보면 트랩분포 영역의 분포 면적도 턴 오프 스위칭 특성에 거의 영향을 미치지 않음을 알 수 있다. 따라서 n- 드리프트 영역에 트랩을 위치시키는 것보다는 p+ 애노드와 n+ 버퍼층 경계부에 트랩을 위치시키는 것이 가장 효과적인 스위칭 특성 향상책임을 알 수 있었다.

그림 3은 그림 2에서 가장 우수한 턴 오프 스위칭 특성을 보이는 모델 A를 선택하여 래치 업 특성을 나타낸 것이다. 기존의 구조에서는 순방향 전도시 애노드 전압 1.8V, 애노드 전류  $1.0 \times 10^{-4} A/\mu m$ 에서 래치 업이 발생한 반면에 모델 A는 애노드 전압 3.4V, 애노드 전류  $1.3 \times 10^{-4} A/\mu m$ 에서 래치 업이 발생하였다. 순방향 전도 영역에서 정제된 메카니즘에 의해 LIGBT 구조내의 두 트랜지스터의 전류 이득의 합  $\alpha_{pnp} + \alpha_{npn}$ 이 1을 넘게 되면 래치 업이 발생하는데 모델 A의 경우 n+ 버퍼층 내부에 위치한 트랩 분포 영역에서 소수캐리어의 재결합으로 인해 PNP 트랜지스터의 전류이득  $\alpha_{pnp}$ 가 감소하여 래치 업이 억제되므로 기존의 구조보다 1.6V 정도의 래치업 전압의 향상 결과를 얻었고, 래치 업 발생시 전류도 1.5배정도 증가하여 래치 업 특성에서도 우수한 특성을 보여주고 있다.

그림 4과 5는 기존의 구조와 순방향 전도 영역과 순방향 저지 영역에서의 전류-전압 특성을 비교한 것이다. 그림 4에서 기존의 구조와 모델 A의 순방향 전압 강하는 게이트 전압이 10V, 애노드 전류가  $5 \times 10^{-5} A/\mu m$ 일 때 기존의 구조는 1.35V이고 모델 A는 2.38V로 모델 A의 경우가 기존의 구조보다 큰 값의 순방향 전압 강하를 보이고 있다. 이는 앞서 언급한 바와 같이 턴 오프 시간과 온 상태 순방향 전압 강하의 트레이드 오프와 관련되는 것으로 스위칭 속도가 빨라지는 반면 순방향 전압 강하가 커지게 되는 것이다. 하지만 일반적으로 1~3V 정도의 전압 강하를 가지고 있어 큰 문제가 되지 않는 것으로 판단된다. 그림 5에서 순방향 저지 항복 전압은 기존의 구조가 163V, 모델 A가 168V로 모델 A가 약간 우수한 순방향 저지 항복 특성을 가진다는 것을 알 수 있다.

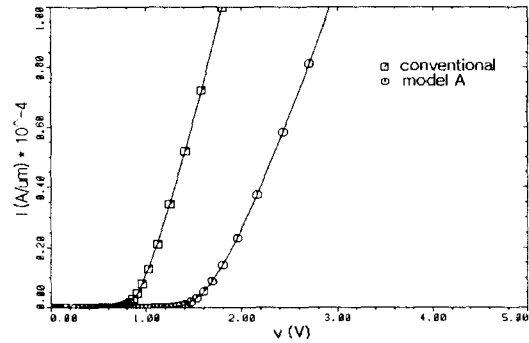


그림 4 기존의 구조와 모델 A의 순방향 전도 영역에서의 전류-전압 특성

Fig. 4 I-V Characteristics of conventional structure and trap distribution model A at forward conduction mode

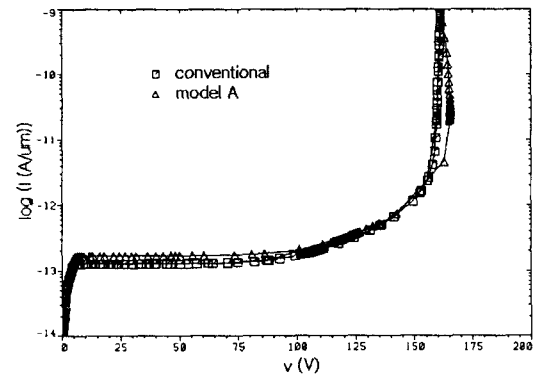


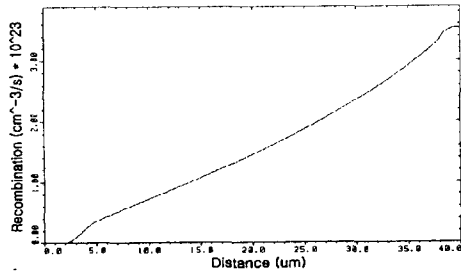
그림 5 기존의 구조와 모델 A의 순방향 저지 영역에서의 전류-전압 특성

Fig. 5 I-V Characteristics of conventional structure and trap distribution model A at forward blocking mode

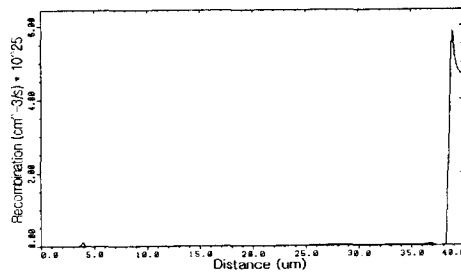
그림 6은 기존의 구조와 모델 A의 트랩 분포 영역에서 총 재결합 밀도 변화를 비교해 본 것이다.  $y=1.0$  위치에서 기존의 구조가 p+ 애노드 부근에서  $3.3 \times 10^{23} cm^{-3}/s$ 의 값에서부터 서서히 감소하는 반면 모델 A는 트랩이 분포하는  $x=38\mu m$ 의 위치에서 이보다 큰  $5 \times 10^{25} cm^{-3}/s$ 의 값을 가지다가 이후에는 그림 (a)와 비슷한 분포를 갖는다. 이것은 트랩을 주입한 결과라는 것을 알 수 있다.

그림 7은 모델 A에서 트랩의 농도를  $5 \times 10^{13} \sim 1 \times 10^{15} cm^{-3}$ 까지 변화시키며 소수 캐리어의 수명 시간 변화에 따른 턴 오프 스위칭 특성을 나타내었다. 대체적으로 트랩의 농도가 증가하면서 턴 오프 스위칭 시간은 감소하는 경향을 보였다. 이는 역시 트랩의 농도 증가에 따라 트랩 분포 영역에서의 재결합율의 증가에 기인한 것으로 생각되며, 그림 8은 턴 오프 시간과 온 상태 순방향 전압 강하의 트레이드-오프 관계를 보여주고 있는데, 이러한 트레이드 오프 관계에 의해 트랩의 농도를 적절하게 설정하는 것이 중요하다는 본 논

문의 시뮬레이션에 사용된 설계 변수 값을 가진 구조에서는 일반적인 허용치로 제시되고 있는 약 2~3V의 순방향 전압 강하를 야기하는  $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-3}$  정도의 트랩 농도가 적절한 공정변수가 될 것으로 사료된다.



(a)



(b)

그림 6 트랩 분포 영역  $y=1.0$  위치에서의 총 재결합 밀도

- (a) 기존의 구조
- (b) 모델 A

Fig. 6 Total recombination density at  $y=1.0\mu\text{m}$  of trap distribution region

- (a) Conventional LIGBT
- (b) The proposed LIGBT

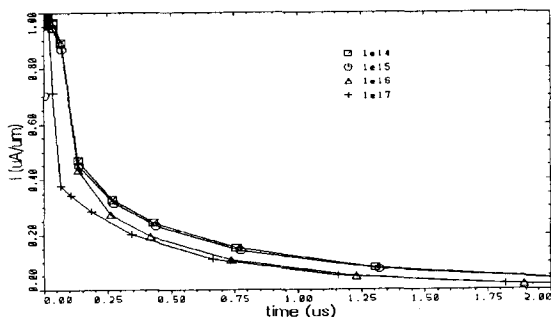


그림 7 트랩 농도에 따른 턴 오프 스위칭 특성

Fig. 7 Turn off switching characteristics with various trap concentration

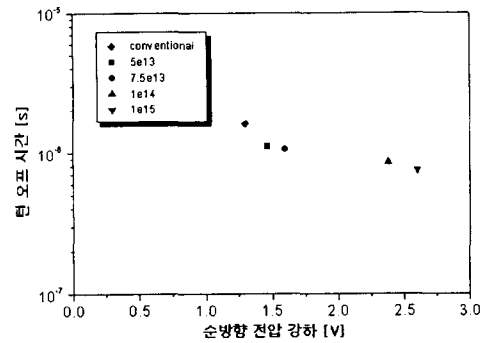


그림 8 턴 오프 시간과 순방향 전압 강하의 트레이드-오프 관계

Fig. 8 Trade-off between forward voltage drop and Turn off time

### 3. 결 론

LIGBT의 턴 오프 스위칭 특성의 개선을 위해 위치에 따른 트랩을 설정하여 시뮬레이션을 수행하고 각각의 특성을 비교 분석하였다. 본 논문에서 제안된 4개의 트랩 분포 모두가 기존의 구조에 비해 향상된 턴 오프 스위칭 특성을 보였다. 이중에서도 A가 기존의 구조보다 약 2배 정도 빠른 턴 오프 스위칭 특성과 우수한 래칭 특성을 보였고, 이때 순방향 저지 항복 전압도 우수한 특성을 나타내었다. 제안된 모델을 비교해볼 때 트랩 분포를 p+ 애노드와 n+ 버퍼층의 경계면에 위치시키는 것이 가장 효과적이며 n- 드리프트 영역에서 트랩 분포의 두께 등은 크게 영향을 미치지 않음을 알 수 있었다.

또한, 트랩의 농도가 증가함에 따라 턴 오프 스위칭 시간도 감소하는 경향을 보였다. 그러나, 턴 오프 스위칭 시간의 감소와 더불어 순방향 전압 강하가 증가하므로 이를 고려하여 적절한 설계 조건을 수립하는 것이 필요한데 본 논문에서 시뮬레이션에 사용한 구조에서는 약 2~3V의 순방향 전압 강하를 야기하는  $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-3}$  정도의 트랩 농도가 적절한 공정변수라고 사료된다.

### 참 고 문 헌

- [1] B. J. Baliga, "Power Semiconductor Devices", PWS Publishing Company, 1996
- [2] B. J. Baliga, "Trends in Power Semiconductor Devices", vol. 43, No. 10, pp. 1717-1731, 1996
- [3] B. K. Bose, "Power Electronics - A Technology Review", proc. of IEEE, vol. 76, No. 8, pp. 1303-1334, 1992
- [4] P. L. Hower, "Power Semiconductor Devices : An Overview", proc. of IEEE, vol. 76, No. 4, pp. 335-342, 1988

- [5] Hirofumi Akagi, "The State of the Art of Power Electronics in Japan", IEEE Trans. on Power Electronics, vol. 13, No. 2, pp. 345-356, 1998
- [6] M. R Simpson, "Analysis of Negative Differential Resistance in the I-V Characteristics of Shorted-Anode LIGBT's", IEEE Trans. Electron Devices, Vol. 38, No. 7, July, 1991
- [7] D. M. Boisvert, "The Complementary Insulated-Gate Bipolar Transistor (CIGBT) - A New Power Switching Device", IEEE Electron Device Letters, vol. 11, No. 9, pp. 368-370, 1990
- [8] B. J. Baliga, "Comparison of Gold, Platinum, and Electron Irradiation for Controlling Lifetime in Power Rectifiers", IEEE Trans. Electron Devices, Vol. 24, No. 6, June, 1977
- [9] D. Disney, "Fast Switching LIGBT Devices Fabricated in SOI Substrates", proc. of ISPSD 92, pp. 48-51, 1992

## 저 자 소 개



**강 이 구 (姜 二 求)**

1967년 7월 24일생. 1993년 고려대 전기공학과 졸업. 1995년 동 대학원 전기공학과 졸업(석사). 현재 고려대 전기공학과 박사과정. 주관심분야는 파워 반도체, 파워 IC

Tel : 3290-4267

E-mail : keg@elec.korea.ac.kr



**김 상 식 (金 相 植)**

1962년 5월 20일생. 1985년 고려대 물리학과 졸업. 1987년 동 대학원 졸업. 1996년 Columbia University 공학 박사. 2000년 현재 고려대 전기공학과 조교수. 주관심분야는 GaN, LED, PL

Tel : 3290-3245

E-mail : sangsig@kuccnx.korea.ac.kr

**추 교 혁 (秋 敎 奕)**

1975년생 1998년 고려대 전기공학과 졸업. 2000년 동 대학원 전기공학과 졸업(석사). 현재 (주)신도리코 연구원. 주관심분야는 파워 반도체, 파워 IC

Tel : 3290-4267

E-mail : ckh@elec.korea.ac.kr



**성 만 영 (成 萬 永)**

1974년 고려대 공대 전기공학과 졸업. 1976년 동 대학원 전기공학과 졸업(석사). 1980년 동 대학원 전기공학과 졸업(공학). 1986년-1988년 일리노이 주립대학 전기공학과 Associate Professor. 현 고려대학교

전기공학과 교수. 연구 분야는 반도체 소자 모델링, Power MOS 소자, GaAs on Si, GaN소자 및 강유전체

Tel : 02-3290-3221

E-mail : semicad@kuccnx.korea.ac.kr