

SOI 트랜치-모스 바이폴라-모드 전계효과 트랜지스터 구조의 설계 및 수치해석

論 文
49C-5-3

Design and Numerical Analyses of SOI Trench-MOS Bipolar-Mode Field Effect Transistor

金杜泳* · 吳在根** · 韓民九*** · 崔然益§
(Doo-Young Kim · Jae-Keun Oh · Min-Koo Han · Yearn-Ik Choi)

Abstract - A new Lateral Trench-MOS Bipolar-Mode Field-Effect Transistor (LTMBMFET) is proposed and verified by MEDICI simulation. By using a trench MOS structure, the proposed device can enhance the current gain without sacrificing other device characteristics such as the breakdown voltage. The channel region of the proposed device is formed between the trench MOS structure. So the effect of the substrate voltage is negligible when compared with the conventional device which has a channel region between the gate junction and the buried oxide layer.

Key Words : trench-MOS, BMFET, current gain

1. 서 론

BMFET (Bipolar Mode Field Effect Transistor)는 게이트에서의 정공 주입 (hole injection)에 의한 전도도 변조가 발생하여 온-저항(on-resistance)이 작고, 다수 반송자 (majority carrier) 소자이므로 스위칭 속도가 빨라 전력용 소자에의 응용이 기대된다[1,2]. BMFET은 전계효과 트랜지스터와 바이폴라 기술을 병합한 소자로 순수 바이폴라 소자에서 나타나는 전류 불균일에 의한 소자 파괴를 극복하였으며, 매우 낮은 온-저항 특성을 보여 매우 높은 전압 수준에서의 사용이 가능하다. BMFET을 집적회로에 이용하기 위하여 SOI 기판을 사용하여 제작된 수평형 BMFET이 제안되었으며[3], 수평형 전력용 스위치로서의 특성에 대한 연구가 진행되었다[4, 5].

기존의 SOI 수평형 BMFET 구조에서는 전위 장벽의 크기가 게이트 확산층의 크기, p' 게이트와 매몰산화층과의 거리, 기판물질의 불순물 유형과 매몰산화층의 두께 등의 영향을 받는다. 이러한 전압 장벽의 크기는 순방향 차단 특성 및 도통상태에서의 소자특성을 결정한다. 따라서 기존의 소자에서는 그 특성이 매몰산화층 아래의 기판물질의 불순물 유형과 매몰산화층의 두께 등에 매우 민감하므로 소자 설계상의 안정성이 적다. 또한, 채널영역이 p' 게이트 확산영역과 매몰산화층 사이에 형성되므로, 높은 전류 수준을 얻기 위하여 두꺼운 SOI 층을 갖는 기판을 사용하는 경우, p' 게

이트의 접합 깊이와 소오스 형성을 위한 트랜치 깊이가 상당히 증가하므로 제조공정이 용이하지 않다.

본 논문에서는 트랜치 게이트를 갖는 새로운 구조의 수평형 SOI BMFET를 제안하였으며, 순방향 전압저지 능력, 전류이득률 등의 소자특성을 MEDICI[6]를 이용한 2차원 소자 시뮬레이션을 통하여 검증하였다. 제안된 구조는 기존의 SOI 수평형 BMFET과 비교하여 전류이득률과 순방향 전압저지능력이 개선됨을 볼 수 있었다. 제안된 구조는 기판의 불순물 유형에 의한 소자특성의 변화를 거의 나타나지 않았으며, 매몰산화층의 두께에 의한 영향도 감소함을 확인하였다.

2. 소자 구조 및 동작

제안된 소자와 기존의 SOI BMFET의 단면도는 그림 1과 같다. 일반적인 구조와 제안된 구조는 베이스 폭 증가 효과를 억제하고 항복전압을 높이기 위해서 RESURF(Reduced Surface Field) 구조를 이용하였다.

일반적인 수평형 SOI BMFET은 채널이 매몰산화층 (buried oxide layer)과 p' 게이트 접합간에 형성되는 수평형 JFET 구조를 갖는다. 드레인에 양의 전압이 걸려 있는 상태에서 게이트-소오스 간 전압이 0 일 때 ($V_{gs} = 0 V$), 전압 저지 특성은 p' 게이트/n' 채널의 자생 전위 (built-in potential)에 의하여 채널영역이 완전히 핀치-오프 (pinch-off)됨으로써 나타난다. 이때, 채널영역에 전위 벽이 형성되어 소오스에서 채널 및 유동 영역 (drift region)으로 전자가 주입되지 못하는데, 이 전압 장벽의 크기가 소자 특성에 영향을 미친다. 크기는 채널 깊이 (d)와 길이, 매몰산화층 두께 등의 소자 변수에 의하여 결정된다.

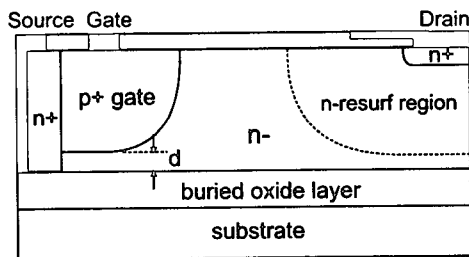
드레인에 양의 전압이 걸려 있는 상태에서 게이트-소오스 간 전압이 0 V 이상이면 채널영역의 전위장벽의 크기가

* 正 會 員 : 서울대 電氣工學部 博士課程
** 準 會 員 : 서울대 電氣工學部 碩士課程
*** 正 會 員 : 서울대 電氣工學部 教授 · 工博
§ 正 會 員 : 亞洲大 分子技術學科 教授 · 工博
接受日字 : 1999年 11月 6日
最終完了 : 2000年 3月 30日

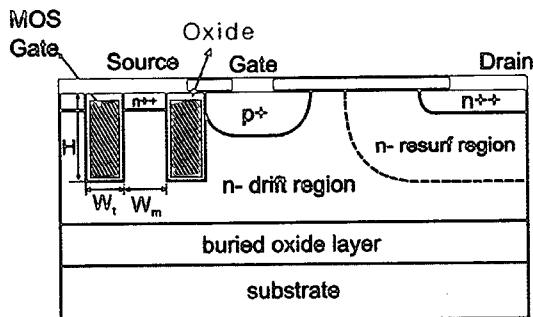
인가된 게이트 전압에 의하여 감소한다. 이 동작 영역에서는 주로 전계 유동 (field drift) 효과에 의하여 동작하고 게이트 전류가 매우 작으므로, 매우 높은 전류이득률을 보인다. 게이트-소오스 간 전압이 계속 증가하면, p' 게이트에서의 소수반송자인 정공의 채널 영역과 유동 영역으로의 고주입 (high injection)이 발생한다. 주입된 전자-정공 플라즈마는 채널 영역과 유동영역의 전도도 (conductivity)를 변화시켜 온-저항을 감소시킨다. 전자-정공의 고주입이 발생하는 영역이 확장됨에 따라, 마치 바이폴라 트랜지스터의 고주입 현상 시 발생하는 베이스 영역 확장의 경우와 동일하게 전류이득률이 감소한다.

제안된 TMBMFET의 음극 구조는 n' 소오스 영역과 트랜치 MOS로 둘러싸인 n- 채널 영역으로 구성된다. 트랜치 MOS의 전극 물질로는 P형 다결정 실리콘을 사용하여 정상-오프 (normally-off) 동작이 가능하도록 한다. P+ 접합 게이트는 트랜치 MOS 게이트 부근에 위치한다.

드레인에 양의 전압이 걸려 있는 상태에서 p' 게이트에 양의 전압을 인가하면 p' 게이트에서 n 유동 영역으로 정공이 주입된다. 주입된 정공 중 일부는 트랜치 MOS 구조의 산화막 표면으로 이동하여 정공 반전층을 형성함으로써 트랜치 MOS 전극에 의한 자생전계를 차폐한다. 나머지 정공들은 n 유동 영역으로 주입되어 n 유동 영역의 전도도를 변조시킴으로써 소자의 온-저항을 감소시킨다.



(a)



(b)

그림 1 SOI BMFET의 단면도

(a) 기존의 소자 (b) 제안된 TMBMFET

Fig. 1 Cross sections of

(a) the conventional SOI BMFET device and
(b) the proposed TMBMFET

소자를 턴-오프 시키기 위해서 p' 접합 게이트를 소오스에 전기적으로 연결하면, p' 접합 게이트에 정공이 수집되므로 트랜치 MOS 게이트에 둘러싸인 n' 채널 영역에 도달하는 정공의 양은 매우 적다. 접지된 p' 다결정 실리콘 트랜치 MOS 전극의 전위에 의해 형성된 횡방향 전계에 의해 공핍 영역이 n' 채널 영역에 형성된다. 이 공핍영역에 의해 전위 장벽이 형성되고, n' 소오스 영역에서 n' 유동영역 (drift region)으로의 전하이동이 차단된다.

3. 소자 시뮬레이션

소자 특성의 검증을 위해 2차원 소자 시뮬레이터인 MEDICI를 사용하였다. 기관물질로는 5 μm 두께의 n' 실리콘층과 1 μm 두께의 매물산화막을 갖는 SOI 웨이퍼를 가정하였다. P' 게이트 영역의 표면 불순물 농도는 10¹⁹ cm⁻³ 이고, 수평 방향 확산 계수가 0.8 인 가우시안 불순물 분포를 가정하였다. 저농도 n' 유동영역의 길이와 농도로는 각각 20 μm 와 10¹⁴ cm⁻³ 를 사용하였다. 트랜치 MOS 전극은 p형 다결정 실리콘으로 가정하였다.

표면 불순물 농도가 2×10¹⁵ cm⁻³ 인 n-RESURF 영역을 드레인 접합 부근에 형성시키는데, 이를 통하여 RESURF 조건을 만족시킴으로써 항복전압을 증가시킨다. MOS 산화막의 두께는 너무 두꺼울 경우 n' 영역의 전위 장벽을 낮춤으로써 누설전류 증가의 원인이 되며, 너무 얇으면 저전류 영역에서의 전류 이득을 감소시키는 변수로 본 시뮬레이션에서는 1000Å의 값을 이용하였다. 소자 시뮬레이션을 위한 주요 소자 변수를 표-1에 나타내었다.

표 1 TMBMFET 시뮬레이션을 위한 소자 변수
Table 1 Device parameters for TMBMFET simulation

소자 변수	수치
SOI 층 두께	5 μm
매물 산화막 두께	1 μm
P' 게이트 접합 깊이, X _{i,P-gate}	13 μm
트랜치 MOS 깊이, H	1~3 μm
트랜치 폭, W _t	1 μm
채널 영역 폭, W _m	13 μm
유동영역 길이	20 μm
N' 유동영역 불순물 농도	1×10 ¹⁴ cm ⁻³
N-RESURF 불순물 농도	2×10 ¹⁵ cm ⁻³
SRH 수명시간 계수	
정공 수명시간	4 μs
전자 수명시간	7 μs
N _{SRHb}	1×10 ¹⁶ cm ⁻³
N _{SRHn}	4×10 ¹⁶ cm ⁻³

4. 정상 - 오프 특성

TMBMFET 소자의 채널영역 구조는 채널의 폭과 채널의 길이 - 트랜치 깊이 - 등의 소자 변수에 의하여 결정되는데, 이들 소자변수는 채널영역의 전위분포를 결정한다. SOI 층의 불순물 농도로 1×10¹⁴ cm⁻³ 의 저농도를 사용한 것은 트랜치 MOS의 전극에 의한 자생 전계가 채널 영역 전체에 존재함으로써 정상-오프 동작을 유지하기 위한 것이다.

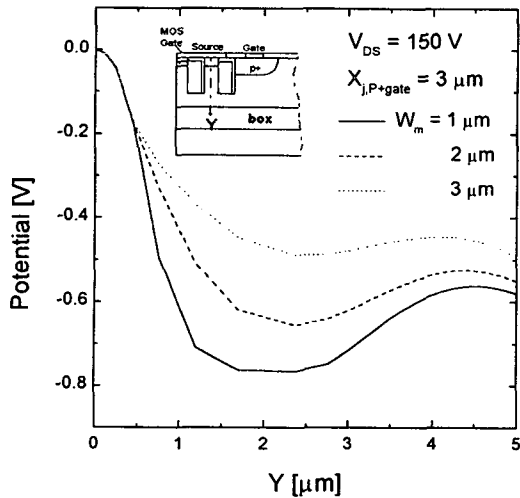


그림 2 $V_{ds} = 150\text{ V}$, $V_{gs} = 0\text{ V}$ 일 때, 채널 폭에 따른 TMBMFET의 채널 영역에서의 전위 분포

Fig. 2 Potential distribution in the channel region of TMBMFET at $V_{DS} = 150\text{ V}$ and $V_{GS} = 0\text{ V}$ as a function of channel region width.

게이트-소오스 간 전압 (V_{gs})과 드레인-소오스 간 전압 (V_{ds})이 각각 0 V, 150 V일 때, TMBMFET 채널 영역의 중앙선에서의 전위분포는 그림 2와 같다. 소오스 전극의 전위를 기준 전위로 간주하였다. 기준 전위와 최저 전위치와의 전압 차이가 소오스에서의 전자 방출을 결정하는 전위 장벽에 해당하는데, 채널 폭 (W_m)이 1 μm 에서 3 μm 로 증가함에 따라 전위 장벽의 높이가 감소함을 볼 수 있다. 이는 트랜치 MOS의 p형 다결정 실리콘 전극에 의해 발생하는 자생 전위의 크기가 채널 폭이 증가함에 따라 채널 중앙에서 감소하기 때문이다. 여기서 주목할 것은 조사된 채널 폭 범위에서는 V_{ds} 가 150 V인 경우에도 전위 장벽의 높이가 모두 0.5 V 이상으로 나타나 정상-오프 동작이 유지되고 있다는 것이다.

그림 3에서는 V_{gs} 가 0 V인 경우의 채널영역 폭의 변화에 따른 전류 순방향 전압 저지 능력을 드레인 전압 (V_{ds})-드레인 전류 (I_{ds}) 특성으로 p^+ 게이트의 접합 깊이 (X_{j,p^+gate})가 1 μm , 3 μm 인 경우에 대하여 나타내었다. 각각의 경우에 대하여 채널 폭이 증가할수록 누설전류가 증가하는 것을 알 수 있는데, 그 정도는 X_{j,p^+gate} 가 1 μm 인 경우 심하게 나타난다. 이는 X_{j,p^+gate} 가 큰 경우 매물 산화막과 접합 게이트 간의 n^- 영역에 전압 장벽이 형성되어 전자의 이동을 억제하기 때문이다. X_{j,p^+gate} 가 3 μm 인 경우에는 채널 폭의 변화에 대해 항복전압이 변화하지 않는 반면, X_{j,p^+gate} 가 1 μm 인 경우, 채널 폭이 감소함에 따라 항복전압이 크게 감소하는 것을 알 수 있다. 이는 X_{j,p^+gate} 가 큰 경우에는 p^+ 게이트/ n^- 유동영역 접합에서의 전계에 의한 충돌 이온화로 인해 항복 현상이 발생하고, X_{j,p^+gate} 가 작은 경우에는 드레인-소오스 간의 전압에 의해 채널영역의 자생 전위가 감소하고 항복전압에 도달하면 전위 장벽이 소멸하여 전류가 급격히 증가하기 때문이다.

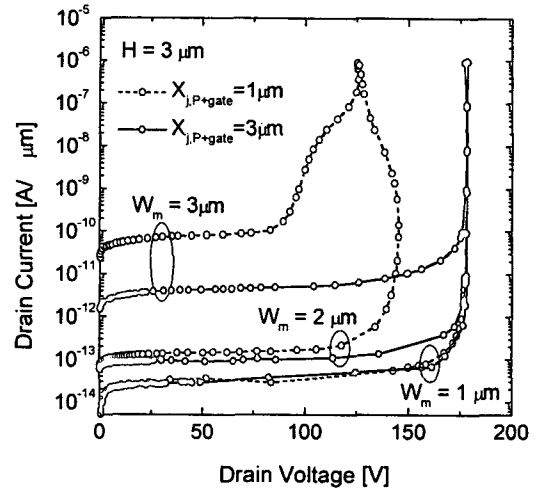


그림 3 $V_{gs} = 0\text{ V}$ 일 때, 채널 영역의 폭과 p^+ 접합 깊이에 따른 순방향 전압 저지 특성

Fig. 3 Forward blocking characteristics for the different channel region width (W_m) and junction depth of p^+ gate (X_{j,p^+gate}) at $V_{GS} = 0\text{ V}$.

누설 전류의 크기는 채널 영역에서의 전위 장벽의 높이에 의존한다. 트랜치 MOS의 p형 다결정 실리콘 전극의 자생전위는 음의 값을 가지므로 n^- 채널 영역의 자생전위보다 낮은 값을 갖는다. 그러므로, 트랜치 MOS 전극에 의해 발생하는 횡단방향의 전계에 의하여 채널 영역의 반송자들이 공핍된다. 이 공핍영역에 형성되는 전위 장벽에 의해 n^- 소오스에서 채널영역으로의 전자 방출이 억제된다.

채널 폭이 증가하면, 전위 장벽의 크기는 감소하게 된다. 누설전류의 크기는 채널영역에서의 전위 장벽의 높이에 의존하며 지수함수의 관계를 갖는다. 따라서, 채널 폭이 증가하면 전위 장벽의 높이가 감소하고 누설 전류는 증가한다.

P 게이트의 접합 깊이는 순방향 전압 저지 능력을 결정하는 또 다른 소자 변수이다. X_{j,p^+gate} 가 3 μm 인 경우의 누설전류는 X_{j,p^+gate} 가 1 μm 인 경우에 비하여 낮다. 이는 p^+ 게이트/ n^- 유동 영역 접합의 자생전위에 의해 공핍영역이 형성되고 게이트 접합이 깊은 경우 게이트와 매물 산화막 간의 n^- 영역이 완전히 공핍되어 채널 영역에서의 전위 장벽 외에 또다른 전위 장벽을 형성하기 때문이다. X_{j,p^+gate} 가 3 μm 인 경우 항복 전압은 채널 폭에 관계없이 180 V이다. 이는 항복전압이 채널 영역에서의 전위 장벽과는 무관하며, n^- 드레인 접합 부근에서의 최고 전계에 의하여 결정되기 때문이다. 반면, X_{j,p^+gate} 가 1 μm 인 경우에는 채널 폭이 감소함에 따라 항복 전압 역시 감소하는 것을 볼 수 있다. 즉, 항복 전압이 채널영역에서의 전위 장벽의 영향을 받게 된다. 이는 p^+ 게이트의 접합 깊이가 작은 경우, 채널 영역에서의 전위 장벽의 크기가 드레인 전압이 증가함에 따라 감소하기 때문이다.

트랜치 MOS의 깊이 (H)에 따른 채널 영역에서의 전위 분포를 그림 4에 나타내었다. 채널 폭 1 μm , $V_{ds} = 150\text{ V}$, $V_{gs} = 0\text{ V}$ 의 조건에서 트랜치 깊이를 1 μm 에서 4 μm 로

변화시켰다. 트렌치 깊이가 $1 \mu\text{m}$ 인 경우 채널 영역의 전위 장벽의 높이는 약 0.5 V 이다. 트렌치 깊이가 $1.5 \mu\text{m}$ 이상인 경우, 0.7 V 이상의 전위 장벽을 얻을 수 있다.

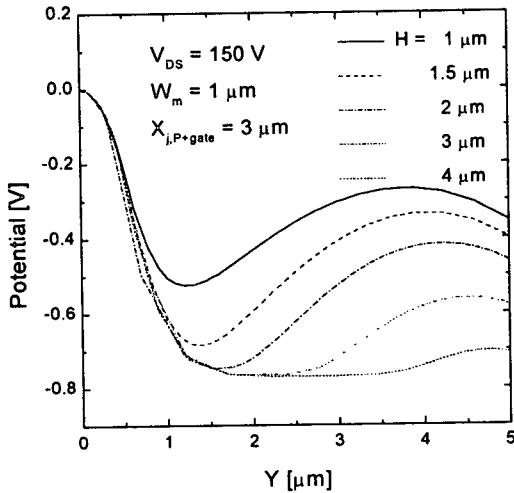


그림 4 $V_{ds} = 150 \text{ V}$, $V_{gs} = 0 \text{ V}$ 일 때, 트렌치 깊이에 따른 채널 영역에서의 전위 분포
 Fig. 4 Potential distribution in the channel region of TMBMFET at $V_{ds} = 150 \text{ V}$ and $V_{gs} = 0 \text{ V}$ as a function of trench depth.

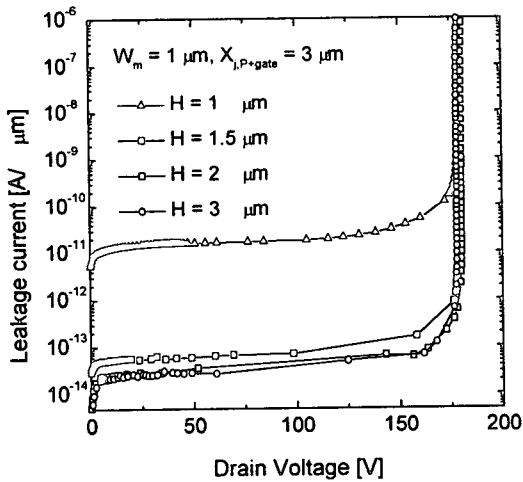


그림 5 $V_{gs} = 0 \text{ V}$ 일 때, 트렌치 깊이에 따른 누설전류와 드레인 전압 특성
 Fig. 5 Leakage current versus drain voltage for the different trench depth at $V_{gs} = 0 \text{ V}$.

트렌치 깊이에 따른 순방향 전압저지 능력을 그림 5에 나타내었다. 트렌치 깊이가 증가할수록 누설전류가 감소하는 것을 볼 수 있는데, 이는 그림 4에서와 같이 n^- 채널 영역에서의 전위 장벽의 높이가 증가하기 때문이다. 누설전류의 감소 정도는 트렌치 깊이가 $1 \mu\text{m}$ 에서 $1.5 \mu\text{m}$ 로 증가하였을 때 가장 크고, $1.5 \mu\text{m}$ 이상에서는 감소 정도가 작은 것

을 볼 수 있는데, 이는 그림 4에서 알 수 있듯이 $1.5 \mu\text{m}$ 이상에서는 트렌치 깊이 증가에 따른 전위 장벽의 변화가 작고 전위 장벽의 폭만이 증가하기 때문이다.

BMFET 소자에서는 누설전류의 원인 또는 경로로 두 가지를 언급할 수 있다. 첫째는 드레인 전극에서 소오스 전극 간의 전계 효과에 의하여 나타나는 전류로 채널 영역의 전위 장벽의 높이 등에 의해 결정된다. 둘째는 드레인 전극과 게이트 전극 간에서 p' 게이트/ n^- 유동영역 접합에서의 전계에 의한 충돌 이온화로 인해 발생하는 전류이다. 트렌치 깊이가 $1.5 \mu\text{m}$ 이상의 경우 TMBMFET 소자의 누설 전류는 p' 게이트/ n^- 유동영역 접합에서 발생하는 이온화 전류가 우세한 것을 알 수 있다.

5. 전류 이득 특성

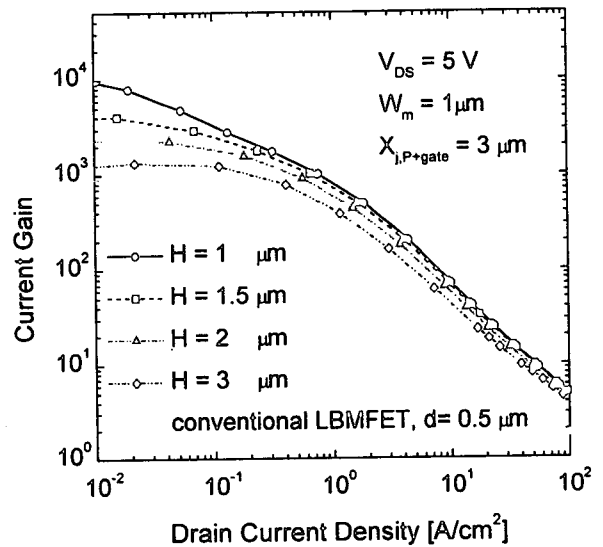


그림 6 $V_{ds} = 5 \text{ V}$ 일 때, 트렌치 깊이에 따른 전류 이득 특성
 Fig. 6 Current gain characteristics for the different trench depth (H) at $V_{ds} = 5 \text{ V}$.

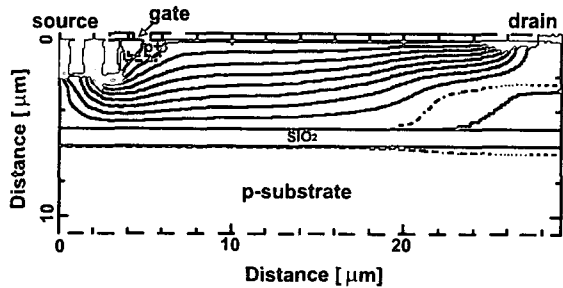
전류 이득 또는 소오스 공통회로에서의 전류 증대율은 게이트 전류에 대한 드레인 전류의 비로 정의된다. TMBMFET의 전류 이득 특성은 전류 영역에 따라 나뉜다. 게이트-소오스 간 전압이 0 V 이상이고 게이트에서의 정공 주입이 낮은 수준인 경우, 주입된 정공은 트렌치 MOS의 산화막 주위에 정공 반전층을 형성시킨다.

트렌치 MOS의 p 형 다결정 실리콘 전극으로 인한 횡방향 전계는 반전층의 차폐 효과에 의하여 제거되고 채널 영역의 전위 장벽의 높이는 감소한다. 그러므로, 소자 전류는 드레인-소오스 간 전압에 의한 전계-유동 효과가 주로 나타나고 게이트 전류는 매우 낮으므로 큰 전류이득을 보인다. 모든 전류 영역에서, 전류 이득은 채널 영역의 전위 장벽에 의해 결정되므로 채널 구조가 중요한 소자 변수이다.

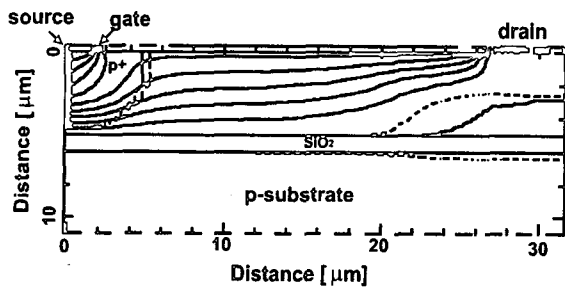
게이트-소오스 간 전압이 0.7 V 이상이면, p' 게이트에서

n- 유동 영역으로의 정공 주입량이 매우 크다. 이러한 고수준 주입 (high-level injection) 상태에서는 전자-정공 플라즈마에 의해 n⁻ 유동 영역과 n⁻ 채널 영역의 전도도가 변조되어 온-저항이 감소한다. 유동 영역 내에서의 전자-정공 플라즈마가 확장될수록 바이폴라 트랜지스터의 구조적 효과에 의한 베이스 확장 현상 등에 의해 전류 이득이 크게 감소한다. 이러한 고전류 영역에서는 전도도 변조에 의하여 전류 이득이 결정되므로, n⁻ 유동 영역의 충전하량이 중요한 소자 변수가 된다.

트렌치 깊이 (H)에 따른 TMBMFET의 전류 이득 특성을 기존의 SOI BMFET과 비교하여 그림 6에 나타내었다. P+ 게이트의 접합 깊이와 채널 영역의 폭은 각각 3 μm, 1 μm로 두었다. 저전류 영역에서의 트렌치 깊이 변화에 따른 전류 이득의 변화를 명확히 볼 수 있다.



(a)



(b)

그림 7 드레인 전류 100 A/cm² 에서의 전류흐름도 (a) TMBMFET (b) 기존의 SOI BMFET

Fig. 7 Current flow lines at drain current density 100 A/cm² for (a) the TMBMFET and (b) the conventional BMFET.

트렌치 깊이가 증가함에 따라 전위 장벽의 높이와 n⁻ 채널 영역의 저항이 증가하게 된다. 반면, 고전류 영역에서는 전도도 변조 현상에 의하여 전류 이득이 결정되므로, 드레인 전류가 증가함에 따라 채널 구조와는 무관하게 거의 동일한 전류 이득을 보인다.

또한, TMBMFET의 전류 이득은 모든 드레인 전류 범위에 대하여 기존의 SOI BMFET보다 크게 나타난다. 이러한 전류 이득의 증가는 소자 내부에서의 전류 분포로 설명할 수 있다.

그림 7에서는 드레인 전류밀도 100 A/cm²에서 TMBMFET와 기존의 SOI BMFET의 전류 흐름을 비교하였다. 기존

소자의 경우 p⁺ 게이트와 n⁺ 소오스 영역이 접합을 이루고 있으므로 게이트 전극에서 주입된 정공의 많은 양이 접합에서 전자와 재결합한다.

이들 정공들은 n⁻ 채널 영역과 n⁻ 유도영역의 전도도 변조에 영향을 미치지 못하므로 전류 이득이 작다. 반면, TMBMFET에서는 게이트에서 주입되는 정공 대부분이 n⁻ 영역을 거쳐 n⁺ 소오스로 수집되므로 전도도 변조 효과가 기존 SOI BMFET에 비하여 크다. TMBMFET의 게이트에서 주입된 정공 중 트렌치 측벽의 반전층에서 소오스에서 주입된 전자와 재결합하는 정공들은 전도도 변조에 기여하지 못한다.

그림 8에서는 TMBMFET와 기존의 SOI BMFET에서의 전류 이득과 누설 전류 간의 트레이드-오프 관계를 비교하였다. TMBMFET의 경우 트렌치 깊이, H를 변화시켰으며, 기존의 SOI BMFET 채널 깊이 (d)를 변화시키면서 전류 이득 및 누설전류 특성을 조사하였다. 전류 이득은 I_{ds} = 10 A/cm², V_{ds} = 5 V의 조건에서, 누설 전류는 V_{ds} = 150 V에서의 드레인 전류를 기준으로 삼았다. 기존 소자의 경우 큰 전류 이득을 얻기 위해서는 누설 전류가 크게 증가하는 단점이 있는데, 이는 채널 영역의 구조에 의해 전류 이득과 누설 전류가 동시에 결정되기 때문이다.

TMBMFET의 경우, 기존의 소자에 비하여 개선된 트레이드-오프 특성을 보인다. 이는 게이트에서 주입된 정공 중 n⁻ 채널과 n⁻ 유도 영역의 전도도 변조에 기여하는 부분이 기존의 소자에 비하여 증가하기 때문이다. 또한 P형 다결정 실리콘 전극을 갖는 트렌치 MOS 구조를 이용함으로써 채널 구조가 누설 전류에 미치는 영향을 감소시킴으로써 전류 이득과 드레인 누설전류 간의 의존 관계가 감소하였다.

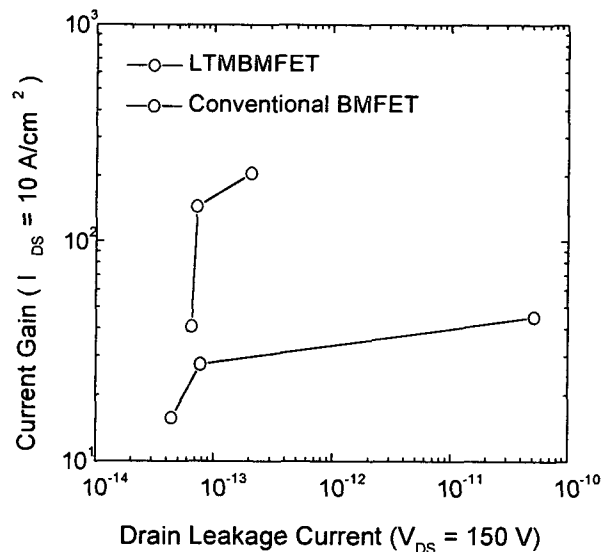
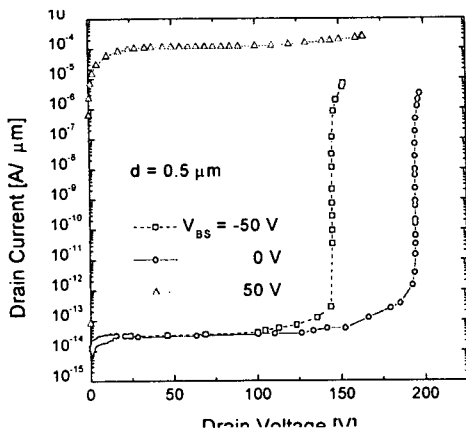
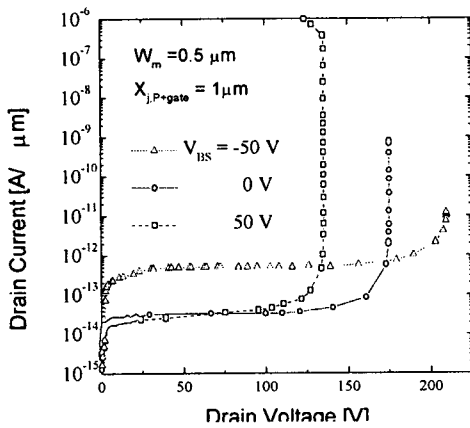


그림 8 누설전류와 전류 이득 간의 트레이드-오프 특성 비교

Fig. 8 Comparison of the trade-off characteristics between leakage current and current gain.



(a)



(b)

그림 9 기판 전압에 따른 순방향 전압 지지능력 (a) 기존의 SOI BMFET (b) TMBMFET

Fig. 9 Forward blocking characteristics of (a) a conventional BMFET and (b) a TMBMFET as a function of substrate-source bias.

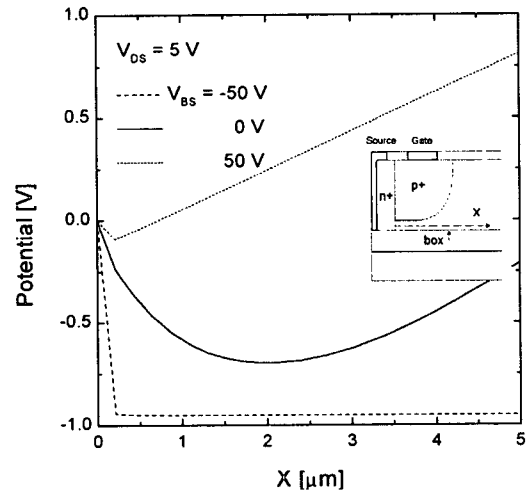
6. 기판-소오스 전압이 소자 특성에 미치는 영향

고전압 전력용 집적회로를 SOI 상에 구현하기 위해서는 전력 소자에 대한 기판 전압 효과가 최소화되어야 한다. 일반적으로 기판 전압 효과는 전력 소자의 전류 구동 능력을 감소시킨다.

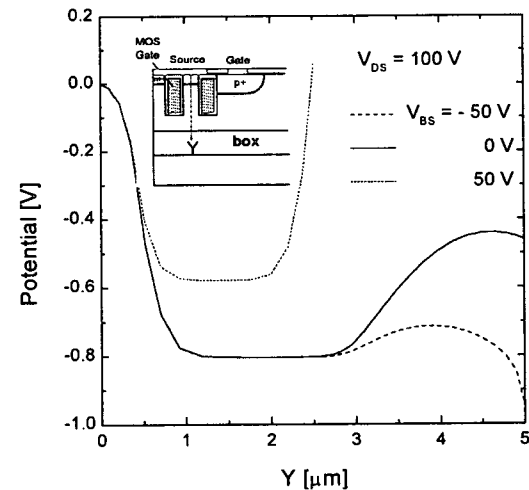
기판 전압에 의한 바디 효과가 작다는 것은 SOI 소자의 장점 중 하나이다. SOI 층의 두께가 유효 반전층의 두께보다 큰 경우, 음의 기판 전압에 대응하여 매물산화막 위에 p 채널이 형성됨으로써 차폐한다. 이는 비교적 두꺼운 SOI 층을 갖는 SOI MOSFET 소자의 경우 부하 위 스위칭 소자로 사용될 수 있다. 다이리스터나 IGBT 등의 바이폴라 소자의 경우 전자-정공 플라즈마가 존재하므로 도통 시에는 기판 전압 효과가 나타나지 않는다.

그림 9에서는 TMBMFET과 기존 SOI BMFET에 대하여 순방향 저지 전압 능력과 기판 전압 간의 관계를 나타내었

다. 기판 전압으로는 -50, 0, 50 V를 사용하였다. 그림에서 알 수 있듯이 음의 기판전압은 항복 전압을 감소시키는데, 이는 음의 기판 전압으로 인해 드레인과 기판 간의 전압이 기판 전압의 절대치만큼 증가함으로써 드레인 접합 부근의 전계가 증가하기 때문이다. 기판 전압으로 50 V가 인가된 경우, -50 V의 경우와 비교하여 100 V 정도 항복전압이 증가한 것을 볼 수 있는데, 이는 드레인 접합에서의 전계가 감소하기 때문이다. 양의 기판 전압이 인가된 경우, 기존의 소자에서는 누설 전류가 10^8 배 이상 증가된 반면, TMBMFET에서는 10 배 정도 증가한 것을 볼 수 있다.



(a)



(b)

그림 10 기판 전압에 따른 채널영역에서의 전위 분포 (a) $V_{ds} = 5$ V일 때, 기존 SOI BMFET (b) $V_{ds} = 100$ V일 때, TMBMFET

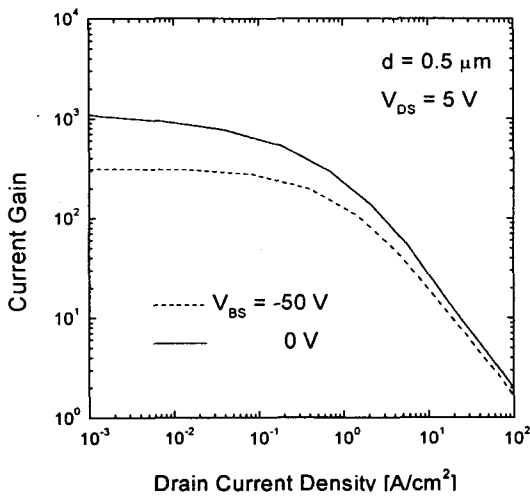
Fig. 10 Potential distribution in the channel region of (a) a conventional BMFET at $V_{ds} = 5$ V and (b) a TMBMFET at $V_{ds} = 100$ V as a function of substrate-source bias.

이는 그림 10에 나타난 기관 전압에 따른 채널 영역의 전위 분포의 변화를 통해 설명할 수 있다. 기관 전압이 5 V 인 경우, 드레인-소오스 전압 5 V 조건에서 기존 SOI BMFET의 채널 영역의 전위 장벽은 0.1 V 밖에 되지 않음을 알 수 있다. 반면, TMBMFET에서는 드레인-소오스 전압 100 V에 대하여 0.58 V로 0.5 V 이하를 유지한다.

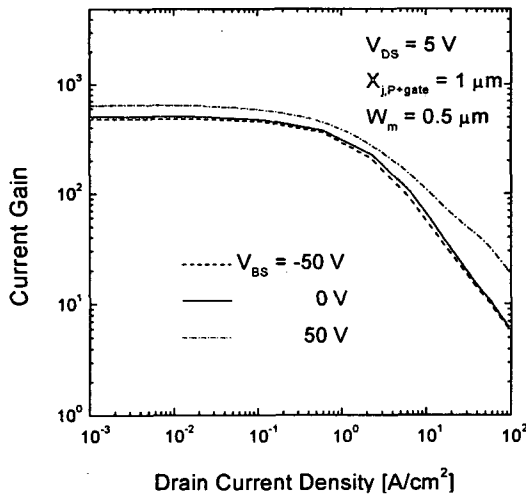
기존 소자의 경우 채널 영역이 매몰산화막과 p' 게이트 접합 간에 형성되므로 소자 특성이 기관 전압의 영향이 크다. 양의 기관 전압을 인가한 경우 매몰 산화막 위에 전자 축적층 (accumulation layer)이 형성되어 전위 장벽이 크게 감소한다. 반면, TMBMFET의 경우, 채널 영역이 전극이 접지된 트렌치 MOS 간에 형성되므로 기관 전압에 의해 형성되는 매몰 산화막 위의 반전층이나 축적층의 영향이 적다.

기존 소자와 제안된 TMBMFET의 전류 이득에 대한 기관 전압의 영향을 그림 11에 나타내었다. 기존 소자의 경우 음의 기관 전압이 인가된 경우 전류 이득이 상당히 감소하는 것을 볼 수 있다. 이는 음의 기관 전압을 인가함으로써 형성되는 정공 반전층에 의해 유효 채널 깊이가 반전층 두께만큼 감소하게 되어 전위 장벽이 증가하기 때문이다.

전류 이득의 감소는 저전류 영역에서 더욱 심각한데, 이는 저전류 영역에서의 전류 이득은 전위 장벽의 높이에 의해 결정되고, 고전류 영역에서는 전도도 변조 효과에 의해 전위 장벽의 전류 이득에 대한 영향이 감소하기 때문이다. TMBMFET의 경우, 기관 전압의 영향이 적은 것을 알 수 있는데, 이는 채널영역과 매몰 산화막이 격리된 구조이기 때문이다. 기관 전압의 영향을 적게 받는 TMBMFET은 전력 집적회로용 소자로 적합하다.



(a)



(b)

그림 11 기관 전압에 따른 전류 이득 특성 (a) 기존 SOI BMFET (b) TMBMFET

Fig. 11 Current gain characteristics of (a) a conventional BMFET and (b) a TMBMFET as a function of substrate-source bias.

7. 결 론

새로운 구조의 트렌치 모스 구조를 갖는 수평형 바이폴라 모드 전계효과 트랜지스터를 제안하고 소자 시뮬레이션을 통하여 검증하였다. 제안된 소자에서는 접지된 P형 다결정 실리콘을 전극으로 갖는 트렌치 모스 구조를 사용하여 채널 영역과 P형 접합 게이트를 격리시킴으로써 전도도 변조 효과를 증대시켜 전류 이득을 6배 이상 향상시켰다. 또한 채널 영역이 수직 방향으로 형성되므로 기관 전압에 의한 영향을 최소화시킬 수 있는 장점을 가지며, 이것은 전력용 집적회로 소자로 사용하기에 매우 좋은 특성이다.

감사의 글

본 연구는 한국 과학기술부 후원으로 98-N5-01-01-A-02 로 수행되었다.

참 고 문 헌

- [1] S. Bellone, A. Caruso, P. Spirito, G. Vitale, G. Busatto, G. Cocorullo, G. Ferla and S. Musumeci, "High-voltage Bipolar Mode JFET with Normally-off Characteristics," IEEE Electron Dev. Lett., vol. EDL-6, pp. 522-524, 1985.
- [2] A. Caruso, P. Spirito, G. Vitale, G. Busatto, G. Ferla and S. Musumeci, "Performance Analysis of a Bipolar Mode FET (BMFET) with Normally-off Characteristics," IEEE Trans. on Power Electron., vol. 3, pp. 157-163, 1988.
- [3] S. D. Kim, D. S. Byeon, K. Yang, O. K. Kwon, M. K. Han and Y. I. Choi, "A Lateral SOI BMFET with High Current Gain," Proc. of ISPSD'95, pp. 288-292, 1995.

[4] S. D. Kim, J. H. Kim, C. M. Yun, M. K. Han and Y. I. Choi, "An SOI Lateral BMFET for Power IC Applications," Proc. of EPE, pp. 240-244, 1995.

[5] S. D. Kim, D. Y. Kim, M. S. Lim, M. K. Han and Y. I. Choi, "Effects of Drift Region Doping on

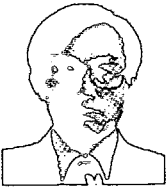
Current Characteristics in SOI BMFET," Physica Scripta, vol. T69, pp. 181-184, 1997.

[6] MEDICI two dimensional device simulation program user's manual, Technology Modeling Associates INC., 1994.

저 자 소 개



김 두 영 (金 杜 泳)
 1970년 10월 14일생. 1993년 서울대 공대 전기공학과 졸업. 1995년 동 대학원 전기공학과 졸업(석사). 1997년 현재 동 대학원 전기공학부 박사과정



한 민 구 (韓 民 九)
 1948년 7월 21일생. 1971년 서울대 공대 전기공학과 졸업. 1979년 미국 Johns Hopkins Univ. 졸업(공학). 1979년 미국 뉴욕 주립대 조교수. 현재 서울대 공대 전기공학과 교수



오 재 근 (吳 在 根)
 1975년 6월 30일생. 1998년 서울대 공대 전기공학부 졸업. 현재 동 대학원 전기공학부 석사과정
 Tel : 02-880-7254, Fax : 02-873-9953
 E-mail : worms1@snu.ac.kr



최 연 익 (崔 然 益)
 1953년 11월 23일생. 1976년 서울대 공대 전자공학과 졸업. 1981년 한국과학기술원 졸업(공학). 1982년 UC Berkeley 전기 및 전산공학과 Research Associate. 현재 아주대 분자과학기술학과 교수. 주관심분야 : 전력반도체소자, TFT