

도통 시간 제어형 승압형 역률보상회로의 모델링과 소신호 해석

論 文
49B-5-11

Modeling and Small-Signal Analysis of Controlled On-time Boost Power Factor Correction Circuit

朴孝吉* · 洪成洙** · 崔柄朝***
(Hyokil Park · Sung-Soo Hong · ByungCho Choi)

Abstract - A large-signal average model for the controlled on-time boost power factor correction(PFC) circuit is developed and subsequently linearized resulting in a small-signal model for the PFC circuit. Ac analyses are performed using the small-signal model, revealing new results on small-signal dynamics of the PFC circuit. The analysis results and model predictions are confirmed with experimental measurements on a 200W prototype PFC circuit.

Key Words : Controlled on-time boost PFC circuit, Averaged model, Small-signal modeling and analysis

1. 서 론

도통시간 제어형 승압형 역률보상회로(controlled on-time boost power factor correction circuit)[1], [2]는 저전력 분야에서 광범위하게 사용되고 있지만, 이 회로의 모델링(modeling)과 소신호 해석(small-signal analysis)에 대한 연구는 충분히 이루어지지 않고있다. 특히, 역률보상회로의 시간영역 동특성을 예측할 수 있는 평균화 모델(averaged model)과 소신호 해석에 필요한 소신호 모델(small-signal model)은 아직 학계에 발표된 예가 없다. 따라서, 역률보상회로의 시간영역 특성을 연구 할 때는 스위칭 모델(switching model)을 사용하고 있는데 스위칭모델은 매우 긴 계산 시간을 필요로 하기 때문에 비효율적이다. 또한, 역률보상회로의 소신호 해석과 제어회로 설계에는 전력평형 조건을 바탕으로 유도한 소신호 모델[3]이 사용되고 있다. 그러나, 이 모델은 고주파 영역에서 신뢰성이 급격히 떨어질 뿐만 아니라, 위상정보를 정확하게 제공하지 못한다. 따라서 지금까지 사용되고 있는 모델을 이용하여 역률보상회로 제어를 설계하면 위상여유(phase margin)를 정확히 추정하지 못해 역률보상회로가 쉽게 불안정해 질 우려가 있다.

본 논문에서는 도통시간 제어형 승압형 역률보상회로의 평균화 모델과 그 모델로부터 유도한 소신호 모델, 그리고 이 소신호 모델을 이용하여 수행한 소신호 해석 결과를 제시한다.

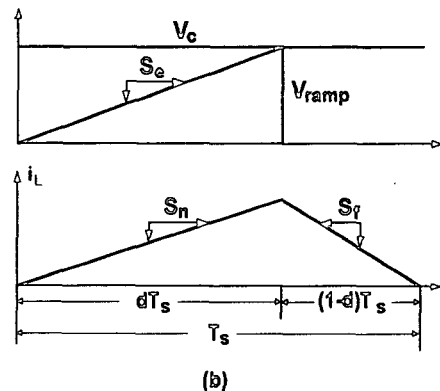
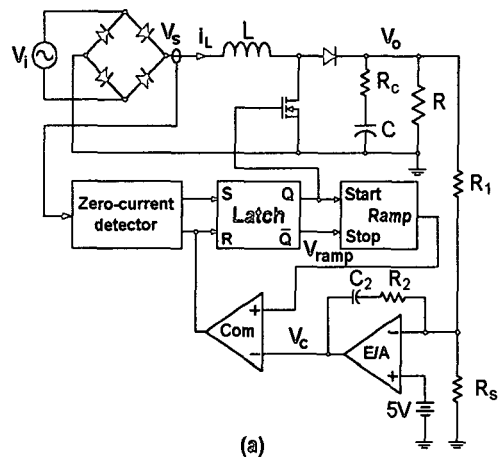


그림 1 도통시간 제어형 승압형 역률보상회로
(a) 개략도 (b) 주요 파형

Fig. 1 Controlled on-time boost PFC circuit
(a) Schematic diagram (b) Major waveforms

* 正 會 員 : 三星電子 ODD 事業部 研究員
** 正 會 員 : 國民大 電子工學科 專任講師 · 工博
*** 正 會 員 : 慶北大 電子電氣工學部 助教授 · 工博
接受日字 : 2000年 2月 17日
最終完了 : 2000年 3月 23日

우선, 역률보상회로의 시간영역 동특성을 예측할 수 있는 평균화 모델을 제시한다. 이 모델을 PSpice와 같은 회로 시뮬레이터에 적용하면 빠른 시간내에 역률보상회로의 과도상태 및 정상상태 응답을 매우 정확하고 효율적으로 해석할 수 있다. 두 번째로 평균화 모델을 선형화(linearize)하여 소신호 모델을 유도하였다. 이 새로운 소신호 모델은 과거의 모델[3]과는 달리 저주파 대역뿐만 아니라 고주파 대역까지 역률보상회로에 주파수 특성을 정확히 예측한다. 마지막으로 소신호 모델을 이용하여 역률보상회로의 소신호 특성을 해석하였다. 해석 결과에 의하면 역률보상회로의 제어신호-출력전압 전달함수는 같은 주파수에 위치한 복소평면 좌반면 극점과 복소평면 우반면 영점을 포함하고 있다. 이 극점과 영점은 역률보상회로 주파수 특성에 180° 위상 지연을 초래하여 위상여유에 결정적인 영향을 끼친다. 따라서 제어 회로를 설계할 때 본 논문에서 제시하는 소신호 모델을 사용하면 주파수 특성을 정확히 예측할 수 있어 만족한 설계 결과를 얻을 수 있다. 논문에서 제안된 모델의 정확성과 소신호 해석결과는 PSpice를 이용한 시뮬레이션과 200W급 역률보상회로의 실험을 통해 증명하였다.

2. 평균화 모델

그림 1(a)은 도통시간 제어형 승압형 역률보상회로의 개략도이다. 초기에 스위치가 열려 있다고 가정하면 인덕터 전류가 감소하여 영이 되는 순간 영전류 감지기(zero-current detector)가 래치(latch)를 셀(set)시키고, 이로 인해 스위치가 닫힌다. 스위치가 닫히면 톱니파전압(v_{ramp})이 증가하게 되고, 톱니파전압과 제어전압(v_c)이 같아지는 순간 비교기(Comparator)의 출력단자에 높은 전압이 인가되어 래치를 리셋(reset)시키고 이로 인해 스위치가 열리게 된다. 스위치가 열리면 인덕터 전류가 감소하여 위에서 설명한 동작을 반복한다.

그림 1(b)에 인덕터 전류(i_L), 톱니파전압(v_{ramp})과 제어전압(v_c)을 한 주기(T_s)동안 표시하였다. 그림 1(b)에서, s_e 는 톱니파의 기울기, s_n 은 인덕터 전류의

온-시간(on-time) 기울기이며, s_f 는 인덕터 전류의 오프-시간(off-time) 기울기이다.

스위칭 주파수가 선주파수(line frequency)보다 훨씬 크기 때문에 스위칭 주기 내에서 입력전압, 출력전압 그리고 제어전압이 일정하다고 가정하여 전원단(power stage)과 변조기(modulator)의 평균화 모델을 다음과 같이 유도할 수 있다.

2.1 전원단 평균화 모델

그림 2는 인덕터를 포함한 PWM(Pulse Width

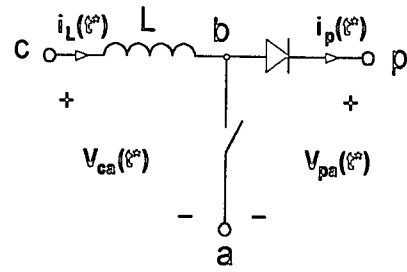


그림 2 인덕터를 포함한 PWM 스위치
Fig. 2 PWM switch with inductor

Modulation) 스위치를 나타낸다. 이 PWM 스위치의 평균 전압·전류를 기술하는 관계식으로 구하고 이 관계식을 전원단에 적용하면 평균화 모델을 유도할 수 있다.

그림 1(b)과 2로부터 인덕터 양단의 순시 전압($v_{cb}(t^*)$)을 다음과 같이 표현할 수 있다.

$$v_{cb}(t^*) = \begin{cases} v_{ca}(t^*) & t \leq t^* \leq t + dT_s \\ v_{ca}(t^*) - v_{pa}(t^*) & t + dT_s \leq t^* \leq t + T_s \end{cases} \quad (1)$$

여기서, t^* 는 순간적인 시간이고, T_s 는 스위칭 주기이다.

식 (1)을 한 스위칭 주기동안 적분하면 인덕터 양단의 평균 전압을 구할 수 있고,

$$V_{cb}(t) = \frac{1}{T_s} \left[\int_t^{t+dT_s} v_{ca}(t^*) dt^* + \int_{t+dT_s}^{t+T_s} (v_{ca}(t^*) - v_{pa}(t^*)) dt^* \right] \quad (2)$$

이 식을 간단히 하면

$$V_{cb}(t) = V_{ca}(t) - (1-d)V_{pa}(t) \quad (3)$$

이 된다. 여기서, $V_{ca}(t)$ 와 $V_{pa}(t)$ 는 해당 전압의 평균치를 나타내며, d 는 활성 스위치(active switch)의 듀티비(duty ratio)이다.

그림 2의 $b-a$ 양단전압의 평균값($V_{ba}(t)$)은 다음과 같이 표현할 수 있다.

$$V_{ba}(t) = V_{bc}(t) + V_{ca}(t) \quad (4)$$

식 (3)과 (4)을 결합하면,

$$V_{ba}(t) = (1-d)V_{pa}(t) \quad (5)$$

을 얻을 수 있다.

그림 2에 전력평형조건(power balance condition)을 적용하면,

$$V_{ba}(t) \cdot I_L(t) = V_{pa}(t) \cdot I_p(t) \quad (6)$$

가 되고 이 결과를 (5)와 결합하면

$$I_p(t) = (1-d)I_L(t) \quad (7)$$

를 얻을 수 있다. 식 (6)과 (7)에서 $I_p(t)$ 와 $I_L(t)$ 는 해당 전류의 평균치를 나타낸다.

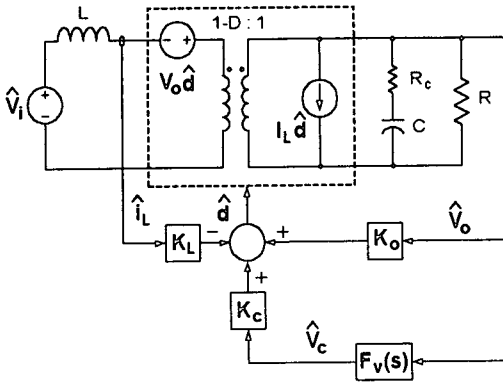


그림 3 도통시간 제어형 승압형 역률보상회로의 평균화 모델
Fig. 3 Averaged model for controlled on-time boost PFC circuit

2.2 변조기 평균화 모델

듀티비와 스위치의 상태를 결정하는 회로 변수 사이의 관계식으로부터 변조기의 평균화 모델을 유도할 수 있다. 그림 1(b)에서 톱니파의 기울기는

$$s_e = \frac{v_c}{dT_s} \tag{8}$$

로 주어지는 값으로 한 스위칭주기내에서는 상수로 취급할 수 있다.

인덕터 전류의 온-시간 기울기 (s_n)와 오프-시간 기울기 (s_f)는 각각

$$s_n = \frac{v_s}{L} \tag{9}$$

$$s_f = -\frac{|v_s - v_o|}{L} \tag{10}$$

이다. 그림 1(b)로부터

$$s_n dT_s = s_f (1-d)T_s \tag{11}$$

이고 이 결과를 간단히 하면

$$(s_n + s_f) d = s_f \tag{12}$$

이 된다.

또한, 그림 1(b)로부터 인덕터 전류의 평균치는

$$i_L = 0.5 (s_n d^2 + s_f (1-d)^2) T_s \tag{13}$$

로 표시됨을 알 수 있다. 식 (8)-(10)과 (12)를 식 (13)에 대입하면

$$v_c v_o d \left[d + \frac{2Ls_e i_L}{v_c v_o} - 1 \right] = 0 \tag{14}$$

을 얻을 수 있고, 이 식으로부터

$$d = 1 - \frac{2Ls_e i_L}{v_c v_o} \tag{15}$$

와 같이 변조기의 평균화 모델을 유도할 수 있다.

식 (5), (7)과 (15)를 회로 모델로 변환되고, 이 회로모델을 PSpice와 같은 시뮬레이터에 입력하면 그림 3에 도시

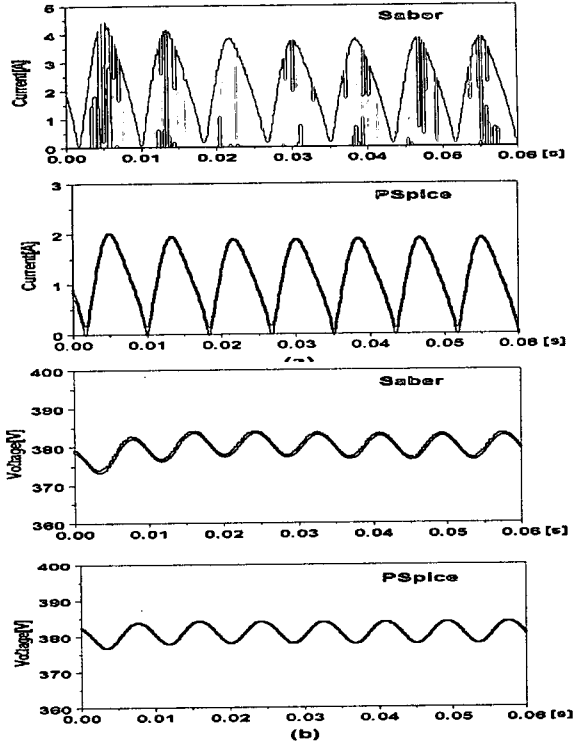


그림 4 평균화 모델과 스위칭 모델의 시뮬레이션 비교
(a) 인덕터 전류 (b) 출력 전압

Fig. 4 Comparison between prediction of PSpice averaged model and Saber simulation using switching model
(a) Inductor current (b) Output voltage

된 도통시간 제어형 승압형 역률보상회로의 평균화 모델을 얻을 수 있다. 그림 4에 평균화 모델을 이용한 시뮬레이션 결과와 스위칭 모델을 이용한 Saber 시뮬레이션 결과를 비교하였다.

3. 소신호 모델

역률보상회로의 소신호 모델은 평균화 모델을 선형화 하여 구할 수 있다. 그러나, 직류-직류 변환기(dc-dc converter)와 달리 역률보상회로의 동작점은 매 주기마다 크게 변화한다. 이 동작점 변화때문에 역률보상회로의 소신호 모델 개발은 쉽게 이루어지지 않았다. 이 문제점의 해결책은 역률보상회로를 직류-직류 변환기로 가정하고 선전압(line voltage)의 실효치를 직류-직류 변환기의 입력전압으로 취급하는 것이다. 이 개념의 타당성은 여러 연구에서 이미 입증된 바 있다 [4], [5]. 본 논문에서는 위에서 설명한 개념을 앞절에서 유도한 평균화 모델에 적용하여 소신호 모델을 유도하였다.

3.1 전원단 소신호 모델

정류된 선전압의 실효치를 입력전압으로 가정하고, (5)과 (7)을 선형화하면,

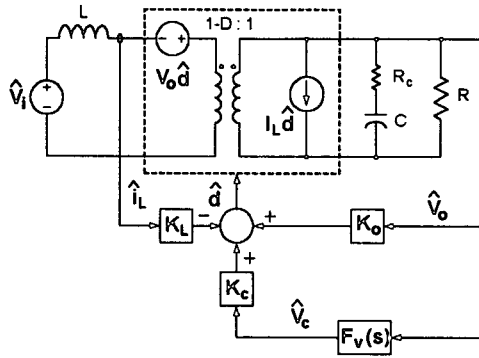


그림 5 도통시간 제어형 승압형 역률보상회로의 소신호 모델

$$F_V = -sC_2R_2 / (R_1(1+sC_2R_2)) \quad K_c = (1-D)/V_c$$

$$K_o = (1-D)/V_o, \quad K_L = (1-D)/I_L$$

Fig. 5 Small-signal model of controlled on-time boost PFC circuit

$$\hat{v}_{ba} = (1-D) \hat{v}_{pa} - V_{pa} \hat{d} \quad (16)$$

$$\hat{i}_p = (1-D) \hat{i}_L - I_L \hat{d} \quad (17)$$

가 된다.

여기서, \hat{v}_{ba} 등은 해당신호의 소신호 교류성분을 나타낸다.

또한, $D = 1 - (V_{rms}/V_o)$, $V_{pa} = V_o$, $I_L = I_o / (1-D)$ 이며, V_o 는 출력전압의 평균치, I_o 는 부하전류의 평균치,

V_{rms} 는 정류된 선전압의 실효치를 나타낸다.

3.2 변조기 소신호 모델

앞 절에서 유도한 식 (15)을 선형화 한 후 \hat{d} 에 대하여 정리하면,

$$\hat{d} = \frac{1-D}{V_c} \hat{v}_c + \frac{1-D}{V_o} \hat{v}_o - \frac{1-D}{I_L} \hat{i}_L \quad (18)$$

가 된다. 여기서,

$$V_c = \frac{2Ls_c I_L}{(1-D)V_o} \quad (19)$$

이다. 식 (16), (17)과 (18)을 회로 모델로 바꾼 후 이 회로 모델을 역률보상회로의 선형회로 부분과 결합하면 그림 5에 도시된 소신호 모델을 얻을 수 있다.

3.3 제어신호-출력전압 전달함수

앞절에서 유도한 역률보상회로의 소신호 모델을 이용하여 제어신호와 출력전압사이의 전달함수를 유도하고 이를 과거의 모델과 [3] 비교하였다. 그림 5로부터 다음과 같은 관계식을 유도할 수 있다.

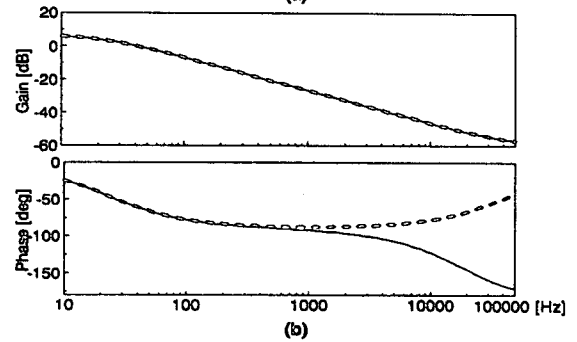
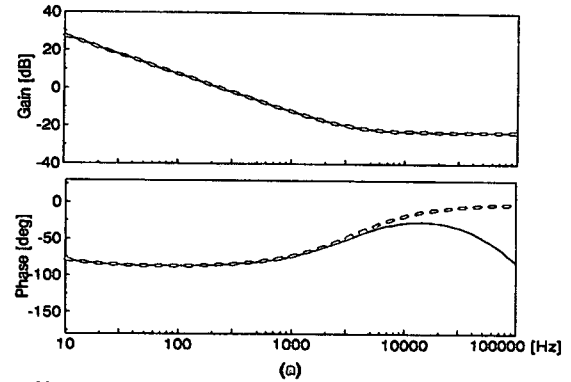


그림 6 제어신호-출력전압 전달함수 비교(실선:새로운 소신호 모델, 점선:기존의 소신호 모델)

(a) $V_i = 160 [V_{rms}], R = 1.44 [k\Omega]$

(b) $V_i = 180 [V_{rms}], R = 412 [\Omega], L = 610 [\mu H]$

Fig. 6 Comparison of control-to-output transfer functions. (Solid line : the proposed model, dash line : the conventional model)

$$\hat{v}_o = \frac{R(1+sCR_c)}{1+sC(R+R_c)} \hat{i}_o \quad (20)$$

$$\hat{i}_o = (1-D) \hat{i}_L - \frac{V_o}{R(1-D)} \hat{d} \quad (21)$$

$$\hat{i}_L = \frac{V_o}{sL} \hat{d} - \frac{1-D}{sL} \hat{v}_o \quad (22)$$

식 (18)을 다시 정리하면

$$\hat{d} = \frac{1-D}{V_c} \hat{v}_c + \frac{1-D}{V_o} \hat{v}_o - \frac{2Ls_c}{v_c v_o} \hat{i}_L \quad (23)$$

이 된다. 부록에 설명된 바와 같이 식 (20)-(23)으로부터 제어신호-출력전압 전달함수를

$$\frac{\hat{v}_o(s)}{\hat{v}_c(s)} = \frac{V_o}{V_c} \frac{(1+sCR_c)}{(2+sC(R+2R_c))} F_{pz}(s) \quad (24)$$

와 같이 유도할 수 있다.

여기서,

$$F_{pz}(s) = \frac{1 - \frac{sL}{(R(1-D))^2}}{1 + \frac{sL}{(R(1-D))^2}} \quad (25)$$

이다. $F_{pz}(s)$ 는 같은 주파수에 위치한 우반면 영점과

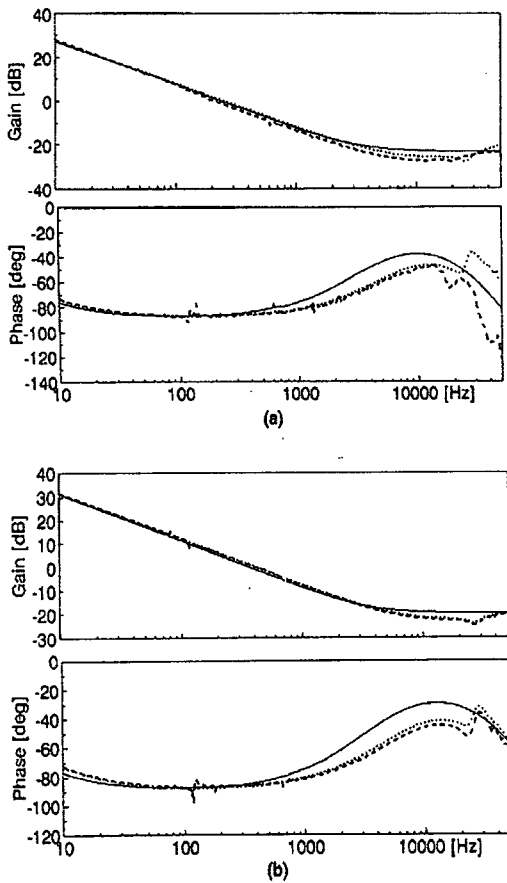


그림 7 제어신호-출력전압 전달함수 (실선:새로운 모델, 짧은 점선:교류전압인가 실험파형, 긴점선:직류전압인가 실험파형)

- (a) $V_i = 160 [V_{rms}], R = 1.44 [k\Omega]$
- (b) $V_i = 200 [V_{rms}], R = 1.44 [k\Omega]$

Fig. 7 Control-to-output transfer functions

좌반면 극점으로 구성되어 있다. 따라서, $F_{pz}(s)$ 는 제어신호-출력전압 전달함수의 이득특성(gainresponse)에는 영향을 주지 않지만, 위상특성(phase response)에는 $\omega_{pz} = R(1-D)^2/L$ 를 중심으로 180° 위상 지연을 초래한다. $F_{pz}(s)$ 는 다른 역률보상회로나 직류-직류 변환기에서는 찾아볼 수 없는 함수로써 도통시간 제어형 승압형 역률보상회로의 특성을 잘 나타내고 있다.

지금까지 사용되었던 소신호 모델[3]에서는 $F_{pz}(s)$ 의 존재를 무시했기 때문에 전달함수의 위상특성을 정확히 예측할 수 없었다.

그림 6에 (24)의 보드 선도(Bode plot)와 과거의 소신호 모델을 사용하여 유도한 제어신호-출력전압 전달함수를 비교하였다. 그림 6(a)은 실험에 사용된 소자값을 사용한 시뮬레이션 결과이다. 그림 6(a)의 경우 $F_{pz}(s)$ 의 영향은 고주파수 대역에서 나타나지만, 전원단의 소자값을 다르게 선택하면 그림 6(b)와 같이 $F_{pz}(s)$ 의 영향이 중간 주파수

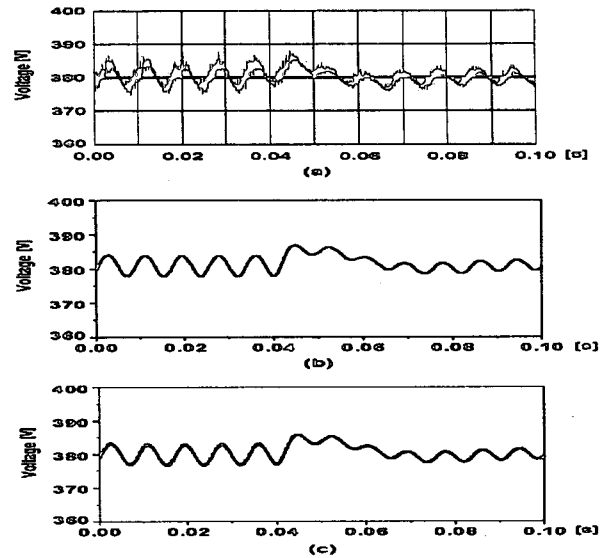


그림 8 부하 변동시 출력전압 파형 (a) 실험 파형. (b) PSpice 평균화 모델 (c) 스위칭 모델의 Saber 시뮬레이션

Fig. 8 Step load response of output voltage (a) Experimental waveform (b) PSpice averaged model. (c) Saber simulation of switching model

대역부터 발생한다. $F_{pz}(s)$ 의 영향을 고려하지 않고 제어 회로를 설계하면 역률보상회로가 불안정해질 우려가 있다.

그림 7에 식(24)를 이용한 제어신호-출력전압의 시뮬레이션 결과(실선), 교류 전압을 인가한 실험파형(짧은 점선)과 교류 전압의 실효치에 해당하는 직류 전압을 인가한 실험파형(긴 점선)을 비교하였다. 그림 7은 (24)의 정확성 뿐만 아니라 유도과정에 사용된 가정의 정당성을 증명한다.

4. 모델의 정확성

본 논문에서 제안한 평균화 모델과 소신호 모델의 정확도를 증명하기 위해 실험 결과와 시뮬레이션 결과를 비교하였다. 그림 8은 역률보상회로의 부하가 $0.7 [k\Omega]$ 에서 $1.44 [k\Omega]$ 으로 변화할 때 출력전압 파형을 나타낸다. 그림 8.(a)은 실험 파형이고, 그림 8.(b)은 평균화 모델을 이용한 PSpice 시뮬레이션 결과이다. 그림 8.(c)은 스위칭 모델의 Saber 시뮬레이션 파형이다.

그림 9는 입력 전압의 실효치가 $190[V]$ 에서 $130[V]$ 로 변화할 때 파형을 나타낸다. 그림 10은 제안한 소신호 모델의 루프 이득 시뮬레이션 결과(실선)와 교류 입력 전압을 인가했을때의 실험파형(짧은 점선)과 실효치에 해당하는 직류 전압을 인가한 경우의 실험 결과(긴 점선)를 비교한다. 제안한 소신호 모델의 루프 이득은 실험 결과와 잘 일치하지만, 교류 입력 전압을 인가한 경우는 $120[Hz]$ 부근에서 피킹(peaking)이 발생한다.

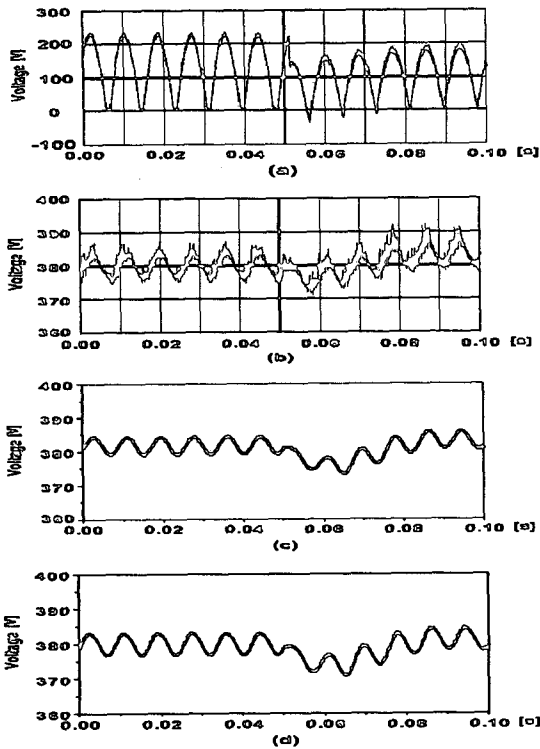


그림 9 입력전압 변동시 출력전압 파형 (a) 정류된 선전압. (b) 실험 파형 (c) PSpice 평균화 모델 (d) Saber 스위칭 모델
 Fig. 9 Step line response of output voltage (a) Rectified line voltage (b) Experimental waveform (c) PSpice averaged model (d) Saber simulation of switching model

이 피킹은 정류 다이오드의 스위칭과 출력전압에 포함된 120[Hz] 리플성분에 기인한 것으로 판단된다.

5. 결 론

도통시간 제어형 승압형 역률보상회로는 소전력 분야에서 광범위하게 사용되고 있지만, 모델링과 소신호 해석에 대한 연구는 충분히 이루어지지 않았다. 이에 대한 한가지 이유는 현재까지 사용되고 있는 모델이 역률보상회로의 해석과 설계에 적합하다는 일반적인 생각 때문일 것이다. 그러나 과거의 모델은 고주파 영역에서 신뢰성이 급격히 떨어질 뿐만 아니라 위상정보를 부정확하게 예측하므로, 역률보상회로의 제어회로 설계에 이용하기는 적절치 않다.

본 논문에서는 과거의 모델의 단점을 개선하는 새로운 소신호 모델을 제시하였고 이 소신호 모델을 사용해서 역률보상회로의 주파수 특성을 해석하였다. 역률보상회로의 제어신호-출력전압 전달함수는 동일 주파수에 위치한 우반면 영점과 좌반면 극점을 포함하고 있다. 이 극점과 영점은 역률보상회로의 위상특성에 큰 영향을 주므로 제어회로 설계시 반드시 고려되어야 한다.

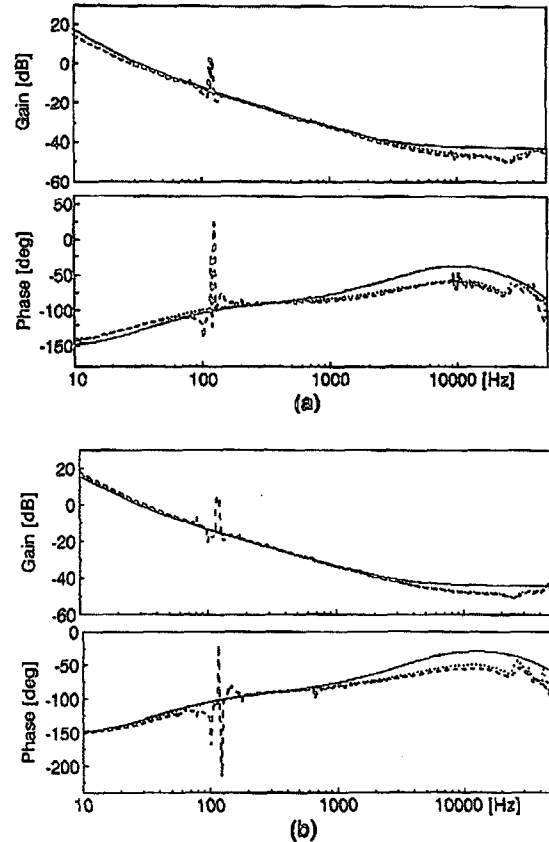


그림 10 루프 이득 (실선:새로운 모델, 짧은 점선:교류전압인가 실험파형, 긴 점선:직류전압인가 실험파형)
 (a) $V_{in} = 160 [V_{rms}]$, $R = 1.44 [k\Omega]$
 (b) $V_{in} = 200 [V_{rms}]$, $R = 1.44 [k\Omega]$

Fig. 10 Loop gain

또한 본 논문에서는 역률보상회로의 시간 영역 동특성을 예측할 수 있는 평균화 모델을 제시하였다. 제안한 모델의 정확성과 소신호 해석 결과를 200W급 역률보상회로를 이용한 실험 측정값과 시뮬레이션 결과를 통해 증명하였다.

6. 부 록

6.1 실험용 역률보상회로의 회로 정수

입력 및 출력

$$\text{전압} : V_i = 110 - 220 [V_{rms}], V_o = 380 [V]$$

$$\text{전원단 정수} : L = 323 [\mu H], C = 235 [\mu F],$$

$$R_c = 0.2 [\Omega],$$

$$R = 0.723 - 1.44 [k\Omega]$$

$$\text{톱니파의 기울기} : s_e = 2.7 \times 10^5 [V/S]$$

$$\text{전압보상회로} : R_1 = 750 [k\Omega], R_5 = 10 [k\Omega],$$

$$R_2 = 73 [k\Omega], C_2 = 0.089 [\mu F]$$

6.2 제어신호-출력전압 전달함수

참 고 문 헌

식(20)-(22)를 결합하면

$$\frac{(1+sC(R+R_c))}{R(1+sCR_c)} \hat{d} = \frac{(1-D)V_o}{sL} \hat{d} - \frac{(1-D)^2}{sL} \hat{v}_o - \frac{V_o}{R(1-D)} \hat{d} \quad (26)$$

이 되고 (26)을 간단히하면

$$\hat{d} = \frac{(1-D)}{V_o} \frac{(sL + s^2LC(R+R_c) + R(1-D)^2(1+sCR_c))}{(1+sCR_c)} \times \frac{1}{(R(1-D)^2 - sL)} \hat{v}_o \quad (27)$$

이 된다. 또한 (22)와 (23)을 결합하면

$$\frac{sL + R(1-D)^2}{sL} \hat{d} = \frac{(1-D)}{v_c} \hat{v}_c - \frac{(1-D)}{V_o} \frac{sL + R(1-D)^2}{sL} \hat{v}_o \quad (28)$$

이 된다. 최종적으로 (27)과 (28)을 결합한 후 그 결과를 간단히 하면 본문에 있는 (24)을 얻을 수 있다.

감사의 글

본 연구는 1998년도 경북대학교 공모과제 연구비에 의하여 연구되었습니다.

[1] J. S. Lai, and D. Chen, Design Consideration for Power Factor Correction Boost Converter Operating at the Boundary of Continuous Conduction Mode and Discontinuous Conduction Mode." IEEE APEC Conference Proc., pp.267-273, 1993.

[2] Saeed Ahmed, "Controlled On-Time Power Factor Correction Circuit with Input Filter," M.S.Thesis, Virginia Polytechnic Institute and State University, Blacksburg, May 1990.

[3] RBRidley, "Average Small-Signal Analysis of the Boost Power Factor Correction Circuit," VPEC Seminar Proc., 1989, pp.108-120.

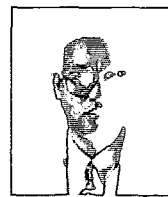
[4] F. A Hlilich, F. C Lee, and B H Cho "Small-Signal Modeling of the Single-Phase Boost High Power Factor Converter with Constant Frequency Control," IEEE PESC Rec., pp. 475-482, 1992.

[5] G Zhu, H Wä, P Kometzky, and I Batarseh, "Small-Signal Modeling of the Single-Phase Boost High Power Factor Converter with Constant Frequency Control," IEEE Power Electron. Spec. Conf. Rec., 1992, pp.475-482.

저 자 소 개



박 효 길 (朴孝吉)
1998년 2월 경북대 전기공학과 졸업. 1998년 2월 동 대학원 졸업. 2000년 2월 동 대학원 전기공학과 졸업(석사). 2000년 현재~삼성 전자ODD사업부 소속.
Tel : 016-518-3184
E-mail : girie@hanmail.net



최 병 조 (崔柄朝)
1957년 10월 12일생. 1980년 한양대 전자공학과 졸업. 1992년 Virginia Tech. 전기공학과 졸업(공학). 1993년 1월~1996년 2월 삼성전자 수석연구원. 현재~경북대 전자전기 공학부 조교수
Tel : 053-950-6603, Fax : 053-950-5505
E-mail : bchoi@ee.kyungpook.ac.kr



홍 성 수 (洪成洙)
1961년 1월 25일 생. 1984년 서울대 공대 전기공학과 졸업. 1992년 한국과학기술원 전기 및 전자공학과 졸업(공학). 1992년 7월~1993년 6월 VPEC 방문연구원. 1994년 1월~1999년 2월 현대전자 책임 연구원.

현재~국민대 전자공학부 전임강사
Tel : 02-910-4701, Fax : 02-910-4449
E-mail : hongss@kmu.kookmin.ac.kr