

A SOI Lateral Hybrid BMFET with High Current Gain

金杜泳* · 田正勳** · 金成東* · 韓民九*** · 崔然益§
 (Doo-Young Kim · Jung-Hoon Chun · Seong-Dong Kim · Min-Koo Han · Yearn-Ik Choi)

Abstract - A hybrid SOI bipolar-mode field effect transistor (BMFET) is proposed to improve the current gain. The device characteristics are analyzed and verified numerically for BMFET mode, DMOS mode, and hybrid mode by MEDICI simulation. In hybrid-mode operation, DMOS, lateral bipolar transistor, and BMFET currents flow simultaneously. The proposed SOI BMFET exhibits 30 times larger current gain in hybrid-mode operation by connecting DMOS gate to the p⁺ gate of BMFET structure as compared with the conventional structure without sacrifice of breakdown voltage and leakage current characteristics. This is due to the DMOS-gate-induced hybrid effect that lowers the barrier of p-body and reduces the charge in p-body.

Key Words : hybrid BMFET, SOI, bipolar-mode field effect transistor(BMFET), current gain, barrier lowering

1. 서 론

전계효과와 바이폴라 효과를 동시에 이용하는 반도체 소자는 높은 전류 구동 능력과 전류 이득률 (current gain), 낮은 전력 소비량 등의 장점을 가지고 있어 아날로그, 디지털, 전력용 집적회로(Power IC) 등의 응용분야에서 주목을 받고 있다.[1] 이러한 전력용 소자 중 바이폴라 모드 전계효과 트랜지스터 (bipolar mode field effect transistor, BMFET)는 최근 많은 연구를 통해 다른 전력용 반도체 소자와 대등한 특성을 가지게 되었다. BMFET은 열적 안정성이 뛰어나고, 바이폴라 트랜지스터의 문제인 전류의 에미터 집중효과가 없으며, 낮은 전류 수준에서도 높은 전류 이득률을 얻을 수 있다.

또한, SOI 기판을 사용한 바이폴라 모드 전계효과 트랜지스터 (Bipolar Mode Field Effect Transistor, BMFET)의 수평형 구조가 제안된 바 있다.[2,3] 이 소자는 기존의 반도체 공정을 통해 용이하게 집적화시킬 수 있으며, 수평형 바이폴라 트랜지스터와 비교하여 높은 전류 구동능력과 전류 이득률, 빠른 스위칭 속도 등의 장점을 보인다. 그러나, SOI BMFET에서는 채널의 깊이와 길이, 도핑 농도 등의 소자 변수가 채널에서의 전자에 대한 전위 장벽의 높이에 큰 영향을 미치고, 순방향 전압 저지 용량과 도통 상태의 소자 특

성에 동시에 영향을 준다. 즉, 전위 장벽의 높이가 증가하면, 전류 이득률은 감소하고, 순방향 전압 저지 능력은 증가한다. 이와 같은 전류 이득률과 누설 전류 특성 간의 현저한 trade-off 특성으로 인해 소자의 최적설계가 용이하지 않다.

본 논문에서는 혼성 모드 (hybrid mode) SOI BMFET을 제안하고 그 동작 특성을 MEDICI 소자 시뮬레이션을 통하여 검증하였다. 혼성 모드 BMFET은 수평형 바이폴라 트랜지스터와 DMOS 구조가 SOI BMFET과 결합된 구조로 동일한 누설 전류 특성에 대하여 전류 이득률이 기존의 BMFET에 비하여 30 배 이상 증가하였다.

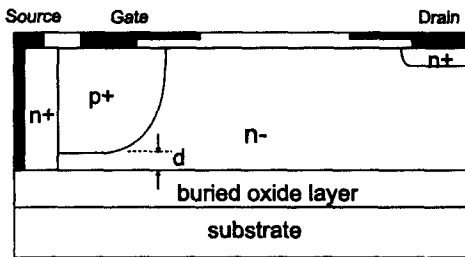
2. 소자의 구조 및 동작

제안된 혼성 모드 SOI BMFET과 기존의 수평형 구조의 단면도는 그림 1과 같다. 수평형 SOI BMFET은 채널이 매몰 산화층(buried oxide layer)과 p⁺ 게이트 접합 간에 형성되는 수평형 JFET 구조를 갖는다. 게이트-소오스 간 전압이 0 V일 때 ($V_{gs} = 0 V$), 전압 저지 특성은 p⁺ 게이트/n⁻ 채널의 자생 전위차 (built-in potential)에 의하여 채널영역이 완전히 핀치-오프 (pinch-off)됨으로써 나타난다. 이때, 채널영역에 전위 장벽이 형성되어 소오스에서 채널 및 유동영역 (drift region)으로 전자가 주입되지 못하는데, 이 전위 장벽의 크기가 소자 특성에 영향을 미치며 그 크기는 채널 깊이 (d)와 길이 (L_g), 매몰 산화층 두께 등의 소자 변수에 의하여 결정된다.

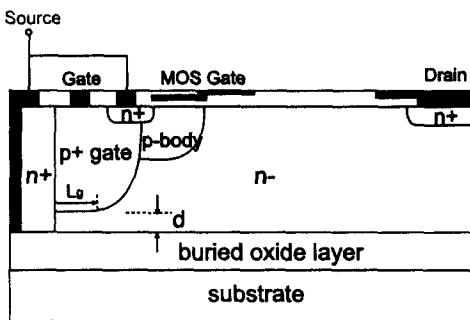
게이트-소오스 간 전압이 0 V 이상이면 채널영역의 전위 장벽의 크기가 인가된 게이트 전압에 의하여 감소한다. 이 동작 영역에서는 주로 전계 유동 (field drift) 효과에 의하여 동작하고 게이트 전류가 매우 작으므로, 매우 높은 전류 이

* 正 會 員 : 서울대 電氣工學部 博士課程
 ** 準 會 員 : 서울대 電氣工學部 碩士課程
 *** 正 會 員 : 서울대 電氣工學部 教授 · 工博
 § 正 會 員 : 亞洲大 分子技術學科 教授 · 工博
 接受日字 : 1999年 11月 6日
 最終完了 : 1999年 12月 21日

독률을 보인다. 게이트-소오스 간 전압이 계속 증가하면, p⁺ 게이트에서의 소수반송자인 정공의 채널 영역과 유동 영역으로의 고주입 (high level injection)이 발생한다. 주입된 전자-정공 플라즈마는 채널 영역과 유동영역의 전도도 (conductivity)를 변조시켜 온-저항을 감소시킨다. 전자-정공의 고주입이 발생하는 영역이 확장됨에 따라, 마치 바이폴라 트랜지스터의 고주입 현상 시 발생하는 베이스 영역 확장 경우와 동일하게 전류 이득률이 감소한다.



(a)



(b)

그림 1 소자의 단면도 (a) 기존의 BMFET (b) 제안된 소자
Fig. 1 Cross-sectional views of (a) the conventional BMFET and (b) the proposed BMFET.

제안된 혼성 모드 BMFET은, 그림 1. (b)와 같이, 기존의 BMFET 구조와, 수평형 NPN 트랜지스터, DMOS 구조가 결합된 형태이다. DMOS 구조의 p 바디 (body)는 NPN 트랜지스터의 베이스에 해당되고 n⁺ 소오스와 드레인 은 각각 NPN 트랜지스터의 에미터와 콜렉터 역할을 한다.

제안된 소자는 DMOS 동작, BMFET 동작, 혼성 모드 동작의 세 가지 유형으로 동작한다. DMOS 동작은 p⁺ 접합 게이트와 소오스를 전기적으로 연결시키는 경우이다. 이 동작 유형에서는 BMFET 채널 영역이 p⁺ 게이트/n⁻ 채널 접합의 자생 전위차에 의해 펀치-오프되므로 전류 흐름이 DMOS 채널에 국한된다.

BMFET 동작은 DMOS 절연 게이트를 소오스와 전기적으로 연결시킴으로써 얻어진다. P⁺ 접합 게이트 전압에 의해 드레인 전류가 제어되는데, 이때 인가된 게이트 전압은 NPN 트랜지스터 구조의 베이스 전압이기도 하다. 따라서 BMFET 동작 유형에서는 전류 흐름 경로에 따라 전류를

BMFET 성분과 바이폴라 성분의 두가지로 분류할 수 있다. BMFET 전류 성분은 BMFET 구조의 채널 영역을 거쳐 BMFET 소오스로 유입되는 것이고, 바이폴라 전류 성분은 NPN 트랜지스터 구조의 베이스인 p 바디를 거쳐 n⁺ 에미터에 유입되는 것이다. 바이폴라 전류 성분은 NPN 트랜지스터의 베이스에 해당되는 p 바디의 접합 깊이와 도핑 농도에 의해 조절된다.

혼성 모드 동작은 p⁺ 게이트와 MOS 게이트를 전기적으로 연결함으로써 이루어진다.[4] MOS 게이트에 인가된 전압은 게이트 산화층/p 바디 계면에서의 전하와 전위 분포를 변화시킴으로써 DMOS 구조의 n⁺ 소오스에서의 전자 방출을 향상시킨다. 이 혼성 모드 효과는 DMOS 게이트에 의한 에미터/베이스 전위 장벽 감소와 베이스 전하의 감소 효과에 의한 것이며, 이로 인하여 바이폴라 전류의 전류 이득률이 증가한다.

2. 시뮬레이션 결과 및 토의

3. 1. 순방향 저지 특성

소자의 특성을 검증하기 위해 MEDICI를 이용하여 2차원 시뮬레이션을 수행하였다. 시뮬레이션에 사용된 소자 변수를 표 1.에 상세하게 나타내었다.

표 1 소자 시뮬레이션에 사용된 소자 변수
Table 1 Device parameters used in the simulation

N ⁺ 소오스, 드레인 농도		$1 \times 10^{20} \text{ cm}^{-3}$
P ⁺ 접합 게이트의 농도		$1 \times 10^{19} \text{ cm}^{-3}$
P 바디 농도		$2.5 \times 10^{16} \text{ cm}^{-3}$
N ⁻ 유동 영역의 농도		$5 \times 10^{15} \text{ cm}^{-3}$
N-resurf 영역의 농도		$2 \times 10^{19} \text{ cm}^{-3}$
SOI 층의 두께		4 μm
매물 산화층의 두께		2 μm
게이트 산화막의 두께		500 \AA
P 바디의 접합 깊이		3 μm
N ⁺ 소오스의 접합 깊이		0.5 μm
유동영역의 길이		20 μm
채널 길이		0.5-1 μm
채널 길이 (L_g)		1 μm
SRH lifetime Coefficients	τ_{no}	$4 \times 10^{-10} \text{ sec}$
	τ_{po}	$7 \times 10^{-10} \text{ sec}$
	NSRH _n	$4 \times 10^{16} \text{ cm}^{-3}$
	NSRH _p	$1 \times 10^{16} \text{ cm}^{-3}$

제안된 구조의 누설 전류 특성은 그림 2와 같다. 소자의 누설 전류는 전위 장벽의 분포에 의존하는데, BMFET 채널 깊이가 증가함에 따라 p⁺ 접합 게이트/n⁻ 채널/매물 산화층/p형 기판 구조의 자생 전위에 의해 n⁻ 채널영역에 나타나는 전자 전위 장벽의 크기가 증가하므로, 누설 전류 수준은 감소한다. BMFET 채널을 통한 누설 전류의 양과 BMFET 채널에서의 전위 장벽의 크기는 지수적 관계에 있다.[5] 또

한 누설 전류의 크기는 DMOS 채널 길이가 증가함에 따라 감소하는데, 이는 DMOS 채널 길이가 증가함에 따라 p 바디와 매몰 산화층 사이의 n^- 유동 영역의 전위 분포를 변화시켜 실질적으로 BMFET 채널 길이가 증가하게 되므로 전위 장벽의 크기 또한 증가하기 때문이다. DMOS 채널 길이가 $1 \mu\text{m}$ 이하인 경우에는 DMOS의 p 바디의 중성 영역(neutral region)의 폭이 상당히 작으므로 누설 전류가 크게 증가한다.

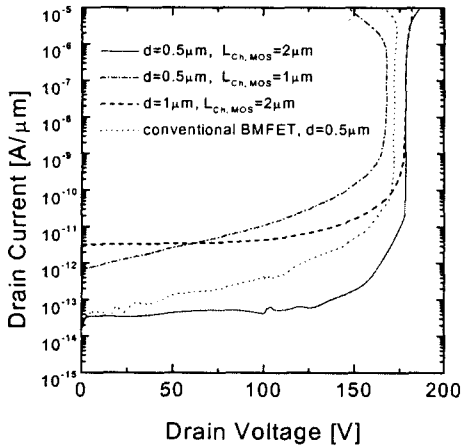


그림 2 제안된 소자와 기존 소자의 드레인 전압에 대한 누설 전류 특성

Fig. 2 Leakage current versus drain voltage for the proposed device and the conventional BMFET.

3. 2. 도통 상태 특성

혼성 모드, BMFET 모드, DMOS 모드에서의 Gummel 특성도는 그림 3과 같다. 그림 3에서 알 수 있듯이 혼성 모드 동작에서의 전류 수준은 BMFET 모드와 DMOS 모드에서의 전류 수준의 합보다 크게 나타난다. 이는 DMOS 게이트에 대한 전압 인가로 인해 p 바디 영역의 전하량이 감소하고 n^+ 소오스에서 주입되는 전자에 대한 전위 장벽이 DMOS 게이트 산화막 하단에서 감소하기 때문이다. 이러한 혼성 효과로 인하여 드레인 전류가 1 A/cm^2 에서 혼성 모드 동작에서의 전류 이득률은 2×10^4 으로 동일 전류 수준에서의 BMFET 모드 동작의 전류 이득률의 30 배에 이른다.

제안된 소자의 전류 이득률은 그림 4에서 기존의 구조와 비교하였다. 혼성모드 동작 시 제안된 소자의 전류 이득률은 30000에 이른다. 제안된 소자는 혼성모드 동작에서 기존의 BMFET에 비하여 30배 이상의 최고 전류 이득률을 나타냄을 볼 수 있다. DMOS 채널 길이 역시 전류 이득률 특성에 영향을 준다. 이는 DMOS 채널 길이가 NPN 트랜지스터 구조의 베이스 폭에 해당되기 때문이며, DMOS 채널 길이가 작을수록 전류 이득률 향상 정도는 증가한다.

그림 4에서 알 수 있듯이 전류 밀도가 높아질수록 전류 이득률의 크기는 거의 동일하게 나타난다. 이는 전류 밀도가 높은 영역에서의 전류 이득률은 전위분포나 베이스 영역의 전하 분포의 영향보다는 소수반송자인 정공의 SOI 층으

로의 고주입 효과에 의한 전도도 변조에 영향을 받게 되기 때문이다. 따라서 높은 전류 밀도 영역의 전류 이득률에 대해서는, 전위 장벽의 크기를 결정하는 소자의 채널 구조 등의 영향은 거의 나타나지 않으며, SOI 층의 불순물 농도 등이 큰 영향을 미친다. 낮은 전류밀도 영역에서의 전류 이득률에 비하여 높은 전류 밀도에서의 전류 이득률이 작은 것은, 고주입 상태에서 주입된 과잉 반송자들(excess carriers)에 의해 나타나는 베이스 영역 폭 증가 효과(base widening effect)에 원인이 있다.

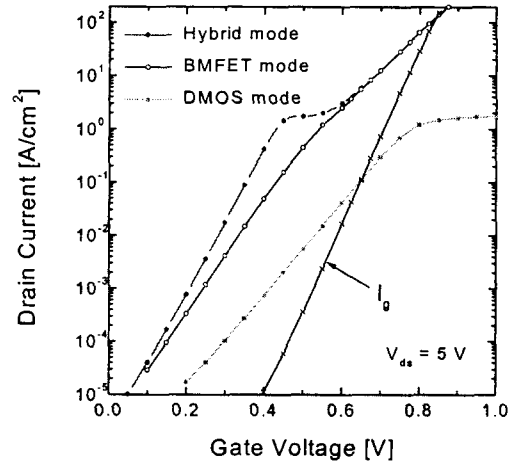


그림 3 제안된 구조의 혼성 모드 ($V_{g,MOS} = V_{g,p^+}$), BMFET 모드 ($V_{g,MOS} = 0 \text{ V}$), DMOS 모드 ($V_{g,p^+} = 0 \text{ V}$)에 대한 Gummel 특성곡선 ($V_{ds} = 5 \text{ V}$)

Fig. 3 Simulated Gummel plots of the proposed device at $V_{ds} = 5 \text{ V}$. Hybrid mode at $V_{g,MOS} = V_{g,p^+}$, BMFET mode at $V_{g,MOS} = 0 \text{ V}$, DMOS mode at $V_{g,p^+} = 0 \text{ V}$.

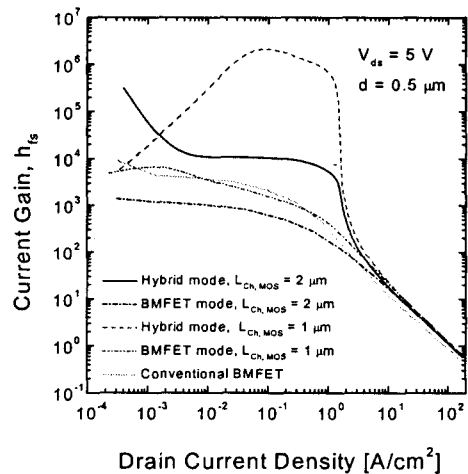


그림 4 제안된 소자와 기존 소자의 전류 이득률 비교 ($V_{ds} = 5 \text{ V}$)

Fig. 4 Comparison of current gain for various conditions at $V_{ds} = 5 \text{ V}$

4. 결 론

DMOS 구조를 이용한 혼성 SOI BMFET을 제안하고 그 특성을 MEDICI 소자 시뮬레이션을 통하여 분석하였다. 제안된 소자의 특성을 혼성 모드, BMFET 모드, DMOS 모드 동작에 대하여 조사하였다. 시뮬레이션 수행 결과, 제안된 소자는 혼성 모드 동작에서 기존의 구조에 비하여 전류 이득률을 크게 향상시키는데, 이는 DMOS 절연 게이트의 혼성 효과에 의한 전위 장벽의 감소와 p 바디 영역의 전하 감소 때문이다. 제안된 소자는 30000 이상의 전류 이득률을 나타내는데, 이는 기존의 BMFET 전류 이득률에 비해 30 배 증가한 것이다. 제안된 소자는 큰 전류 이득률을 가지므로 전력 집적회로 등의 응용 분야에 적합한 소자이다.

감사의 글

본 논문은 1998년도 한국학술진흥재단의 학술 연구비(ISRC 98-E-1510)에 의하여 지원되었음

참 고 문 헌

- [1] Giovanni Breglio, Roberto Casavola, Antonello Cutolo, and Paolo Spirito, "The Bipolar Mode Field Effect Transistor (BMFET) as an Optically Controlled Switch: Numerical and Experimental Results," IEEE Trans. Power Electron., v. 11, pp. 755-767, 1996.
- [2] S. D. Kim, D. S. Byeon, K. Yang, O. K. Kwon, M. K. Han, and Y. I. Choi, "A Lateral SOI BMFET with High Current Gain," Proc. of 7th ISPSD, pp. 288-292, 1995.
- [3] S. D. Kim, D. Y. Kim, M. S. Lim, M. K. Han, and Y. I. Choi, "Effects of Drift Region Doping on Current Characteristics in SOI BMFETs," Physica Scripta, vol. T69, pp. 181-184, 1997.
- [4] J. Olsson, B. Edholm, A. Soderbarg, and K. Bohlin, "High Current Gain Hybrid Lateral Bipolar Operation of DMOS Transistors," IEEE Trans. Electron Devices, vol. ED-42, pp. 1628-1635, 1995.
- [5] A. G. M. Strollo and P. Spirito: IEEE Trans. Electron Devices, "A Self-Consistent Model for the SIT DC Characteristics," IEEE Trans. Electron Devices, vol. ED-38, pp. 1943-1951, 1987.