

변형된 게이트 절연막 구조를 갖는 몰리브덴 팁 전계 방출 소자

論 文
49C - 1 - 10

Mo-tip Field Emitter Array having Modified Gate Insulator Geometry

朱炳權* · 金勳* · 李南良**
(Byeong-Kwon Ju · Hoon Kim · Nam-Yang Lee)

Abstract - For the Mo-tip field emitter array, the method by which the geometrical structure of the gate insulator wall could be modified in order to improve field emission properties (turn-on voltage and gate leakage current). The device having a gate insulator of complex shape, which means the combined geometrical structure with round shape made by wet etching and vertical shape made by dry etching processes, was fabricated and the field emission properties of the three kinds of devices were compared. As a result, the electric field applied to tip apex could be increased and gate leakage current could be decreased by employing the gate insulator having geometrical wall structure of mixed shape. Finally, the obtained empirical results were analyzed by simulation of electric field distribution at/near the tip apex and gate insulator using SNU-FEAT simulator.

Key Words : field emitter array, gate insulator, gate leakage current, geometry, field emission display

1. 서 론

전계 방출 표시 소자(FED: field emission display)는 그림 1(a)에 보인 바와 같이 전계 방출 현상을 기본 메카니즘으로 하여 동작하는 표시기로서, 전계 방출 소자 어레이(FEA: field emitter array)와 양극, 스페이서 등으로 구성되며 그 구조는 그림 1(b)와 같다. 따라서 본 연구에서는 팁 끝의 전계도 증가시키고 누설 전류도 감소시킬 수 있도록 게이트 절연막의 벽면 모양을 변형하여 보았다. 즉, 습식 식각을 한 뒤 연속적으로 건식 식각을 함으로써 절연막의 상부는 둥근 모양을, 하부는 수직 모양을 띄는 복합 모양을 이루도록 하였다. 이를 이용한 소자와 함께 둥근 모양 및 수직 모양의 게이트 절연막 벽면을 갖는 소자들에 대하여 절연막의 전기적 항복 및 누설 전류 특성, 전계 방출 특성, 전류 표동 특성을 비교, 분석하였다. 또한, SNU-FEAT (Seoul National University field emission analysis tool) 시뮬레이터를 이용하여 세 종류의 구조들에 대해 팁의 끝 부분과 게이트 절연막 부분에 인가되는 전계의 크기를 모사하여 보았다. 마이크로 팁을 이용한 전계 방출 소자의 게이트 절연막의 경우 현재까지는 주로 습식 식각이나 건식 식각을 이용하여 가공됨으로써 게이트 절연막의 벽면이 둥근 모양이나 수직 모양을 띄고 있다. 둥근 모양의 경우 게이트 절연막의 벽면을 통한

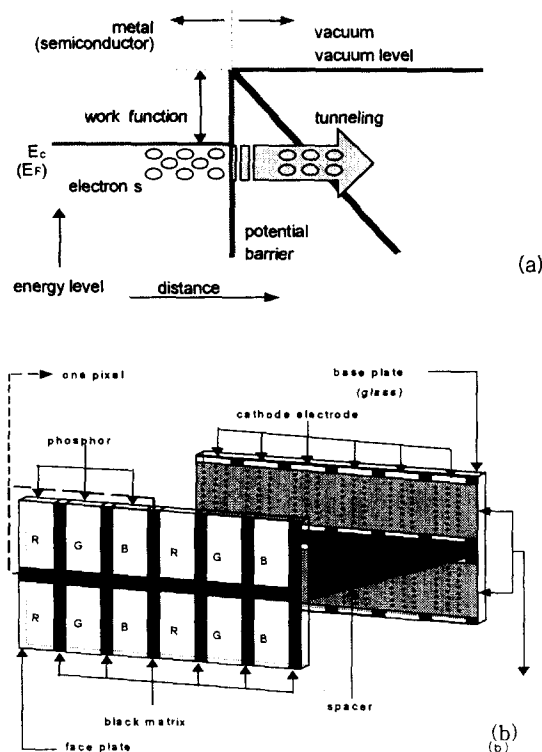


그림 1 전계 방출 현상(a) 및 전계 방출 표시 소자의 기본 구조(b)

Fig. 1 Field emission phenomena(a) and basic structure of FED(b)

* 正 會 員 : KIST 情報材料素子센터 研究員/先任/責任研究員

** 正 會 員 : 大宇高等技術研究院 電子材料研究室 責任研究員

接受日字 : 1999年 8月 6日

最終完了 : 1999年 12月 8日

누설 전류는 적으나 팁 끝에 걸리는 전계도 적은 반면에 수직 모양의 경우 전계는 상대적으로 증가하나 누설 전류도 역시 증가한다는 단점이 있다.

2. 실험 방법

몰리브덴 팁을 갖는 전계 방출 소자(FE: field emitter)의 제조 공정은 그림 2에 보인 바와 같이 일반적인 공정을 따랐다[1].

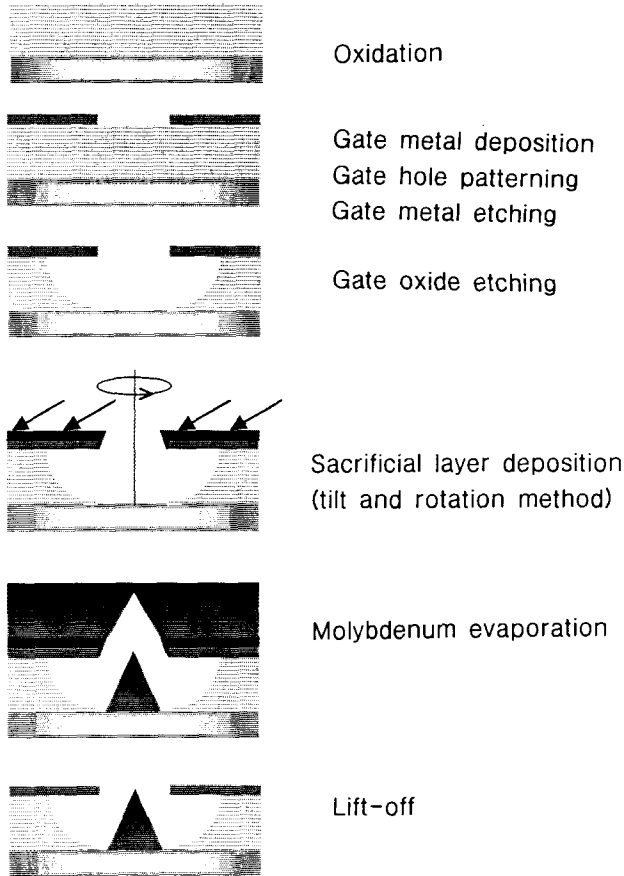


그림 2 몰리브덴 팁 전계 방출 소자의 제조 공정
Fig. 2 Fabrication process of Mo-tip field emitter device

즉, 직경 4인치의 실리콘 기판 위에 1 μ m 두께의 열 산화막을 성장시키고, 크롬 게이트 전극을 스퍼터링에 의해 300 nm 두께로 증착하였다. 다음으로, 사진 식각 공정에 의하여 게이트 전극과 게이트 절연막을 식각하는데, 게이트 전극의 경우 반응성 이온 식각을 이용하였으며, 게이트 절연막의 경우에는 절연막의 벽면 모양을 변형시킬 수 있도록 습식과 건식 식각 방법을 함께 이용하였다. 즉, 둥근 모양의 벽면을 만들기 위해서는 BOE (buffered oxide etchant)를 사용하였고, 수직 모양을 위해서는 아르곤과 CHF₃를 2 : 1로 혼합한 기체에 의하여 건식 식각을 하였으며, 두 모양이 어우러진 복합 모양을 만들기 위해서는 습식 식각을 5 분 동안 한 다음에 건식 식각을 진행하였다. 다음으로, 200 nm 두께의 알루미늄 희생층을 전자선으로 증착하였는데, 게이트 홀의 내부에 증착되는

것을 피하고 게이트 전극의 측면과 윗면에만 증착되도록 기판을 기울여서 회전시키면서 증착하였다. 알루미늄 희생층 증착이 끝난 후에 기판을 증착 방향에 대해 수직하게 놓고 팁 물질인 몰리브덴을 약 1.6 μ m 두께로 증착하였다. 마지막으로 습식 식각 용액에 의해 알루미늄을 제거하면 희생층과 그 위에 증착되어 있는 몰리브덴 층이 함께 제거되면서 소자가 완성된다.

한 개의 팁에 36개의 전계 방출 소자 어레이가 만들어졌으며, 한 어레이의 크기는 300 μ m \times 300 μ m로 10 μ m의 간격을 두고 30 \times 30개(900개)의 전계 방출 소자가 집적되어 있다. 전계 방출 소자의 규격을 살펴보면 팁의 높이는 1.4 μ m, 게이트 홀의 직경은 1.5 μ m, 그리고 게이트 절연막의 두께는 1 μ m이다. 이상과 같은 공정을 거쳐 만들어진 세 종류의 전계 방출 소자의 단면 모양을 그림 3에 나타내었다.

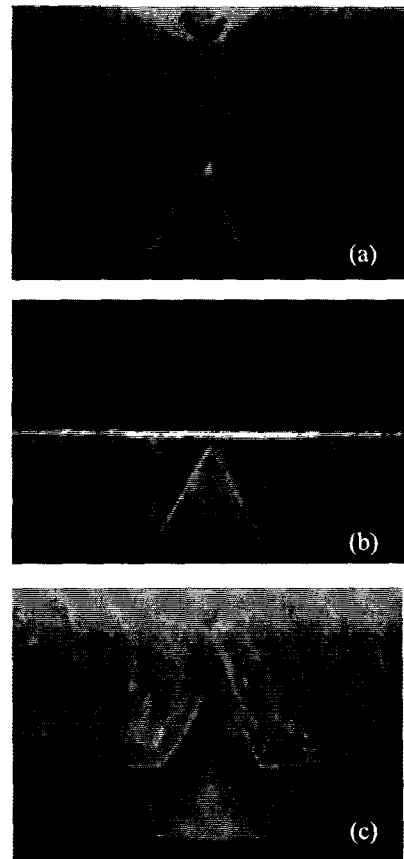


그림 3 둥근 모양(a), 수직 모양(b), 그리고 복합모양(c)의 게이트 절연막 벽면을 갖는 몰리브덴 팁 전계방출소자의 단면 모양

Fig. 3 Cross-sectional view for the Mo-tip field emitters having round-shaped(a), vertical-shaped(b), and complex-shaped(c) of geometrical wall structures of gate insulators

3. 특성 평가 및 분석

3.1 게이트 절연막의 전기적 특성 평가

게이트 절연막에 대해 각각의 공정을 거치면서 항복 전계

가 변화하는 값을 그림 4에 도시하였다. 습식 식각, 건식 식각, 혹은 습식+건식 식각 과정을 통하여 소자가 제조되는 경우를 비교하였는데, 초기의 게이트 절연막(실리콘 산화막)은 약 6.7 MV/cm의 항복 전계를 보였으며, 크롬 게이트 전극을 건식 식각한 뒤에는 세 경우 모두 약 6.3 MV/cm으로 약간 감소하였다. 이는 크롬 식각에 이용된 플라즈마가 산화막에 영향을 미친 것으로 추측된다. 아울러 게이트 절연막을 식각한 후에는 식각 방법, 즉 절연막 벽면의 모양에 따라 항복 전계가 다르게 나타났는데, 습식 식각만을 이용한 둥근 모양의 벽면의 경우에는 약 3.8 MV/cm, 건식 식각만을 이용한 수직 모양의 경우에는 약 2.6 MV/cm, 그리고 습식 식각+건식 식각을 이용한 복합 모양의 경우에는 3.3 MV/cm으로 얻어졌다.

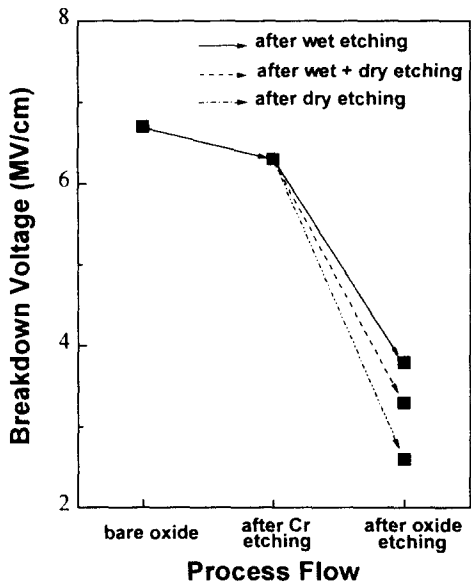


그림 4 공정에 따른 게이트 절연막의 절연 파괴 전계의 변화
 Fig. 4 Dependence of dielectric breakdown field strength of the gate insulator upon the process sequence

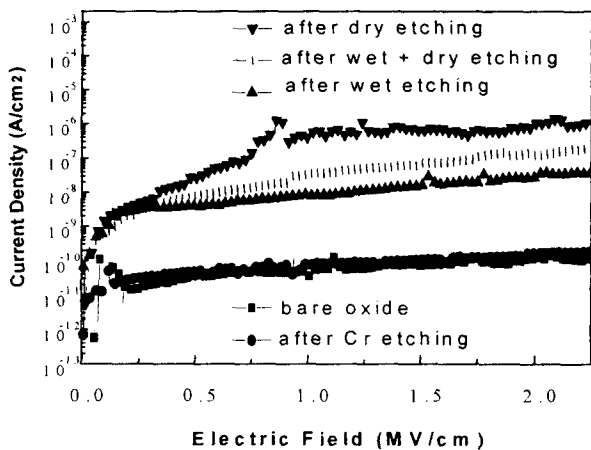


그림 5 인가 전계에 따른 게이트 절연막의 누설 전류의 변화
 Fig. 5 Variation of leakage current of gate insulator according to applied electric field

그림 5는 게이트 절연막의 누설 전류를 평가한 결과로 역시 공정 진행 과정 및 게이트 절연막의 식각 방법, 즉 벽면 모양에 따른 의존성을 나타낸 것이다. 초기 절연막과 크롬을 건식 식각 한 후에 측정된 데이터 간에는 큰 차이가 보이지 않았으며, 게이트 누설 전류는 2.0 MV/cm의 인가 전계에 이르기까지 10^{-10} A/cm² 이하로 측정되었다. 게이트 절연막을 식각한 후에 나타난 결과들을 살펴보면, 습식 식각을 이용한 둥근 모양의 경우가 가장 낮고, 건식 식각에 의한 수직 모양의 경우가 가장 높으며, 두 방법을 병용한 복합 모양의 경우에는 두 값 사이의 값을 보이고 있음을 알 수 있다. 이상과 같이 게이트 절연막을 복합 모양이 되도록 가공할 경우 항복 전계와 누설 전류 면에서 둥근 모양과 수직 모양의 중간 정도에 이르는 값을 가지는 것으로 나타났다.

3.2 전계 방출 소자의 동작 특성 평가

서로 다른 게이트 절연막의 벽면 모양을 갖는 몰리브덴 팁 전계 방출 소자들의 동작 특성을 평가하였다. 전계 방출 특성을 평가하기 위하여 진공 시스템 내에 소자를 넣었다. 즉, 팁과 형광체가 도포된 양극 기관 간의 거리는 500 μ m로 하였고, 챔버 내부는 1×10^{-8} Torr로 유지하였으며, 양극에 300 V의 전압을 인가하였다. 게이트 전압을 0 V에서 100 V에 이르기까지 1V 간격으로 증가시키면서 양극 쪽으로 흐르는 전계 방출 전류와 게이트 전극으로 흐르는 누설 전류를 측정하였다.

그림 6은 각각 다른 모양의 게이트 절연체 벽면을 가진 세 종류의 소자들에 대한 전계 방출 특성 곡선을 나타낸 것이다. 동작 개시 전압의 경우 게이트 절연막의 벽면 구조가 둥근 모양의 경우 56 V로 나타났으며, 수직 모양의 경우가 46 V, 복합 모양의 경우가 49 V로 얻어졌다. 게이트 전압을 100 V로 고정한 상태에서 양극 전류를 살펴 보면, 게이트 절연막의 벽면 구조가 둥근 모양이 53 μ A이고, 수직 모양과 복합 모양이 각각 119 μ A와 107 μ A로 수직 모양 복합 모양 둥근 모양 순으로 나타났다. 또한, 역시 100 V의 게이트 전압에 대해 게이트 누설 전류의 크기를 비교해 보면, 둥근 모양, 수직 모양, 그리고 복합 모양의 경우 각각 4.5 μ A, 76.5 μ A, 그리고 16.7 μ A로서 역시 수직 모양 복합 모양 둥근 모양의 순서를 가지고 있다.

그림 7은 그림 6으로부터 얻어진 결과들에 대한 Fowler-Nordheim plot (F-N plot)의 직선성으로 보아 고전계에서의 양극 전류는 $E = \beta V$ 의 관계를 만족하는 전계 방출에 의한 전류임을 알 수 있다. 이들 직선의 기울기에 몰리브덴의 일함수 = 4.5 eV를 대입하면, 전계 증배 계수를 구할 수 있는데 [2], 둥근 모양의 게이트 절연막 벽면 구조를 갖는 소자를 기준으로 할 때, 수직 모양의 경우에는 5.8 %, 복합 모양의 경우에는 3.4 %가 증가하였다. 여기서는 전계 증배 계수로서 에미터의 구조에 따라 그 값이 변화되며, 수 %의 변화에 따라 전계 방출 특성은 매우 큰 변화를 보이는 것으로 알려져 있다[3]. 따라서 본 실험에서는 F-N plot의 기울기를 이용하여 β 를 구함으로써 구조적 변화에 따른 전계 분포의 차이를 확인 할 수 있었으며, 전계의 제곱이 전계 방출 전류에 비례하므로($J \approx E^2$), 이러한 전계 분포의 차이가 전계 방출 전류에 미치는 영향을 실험적으로 확인 할 수 있었다.

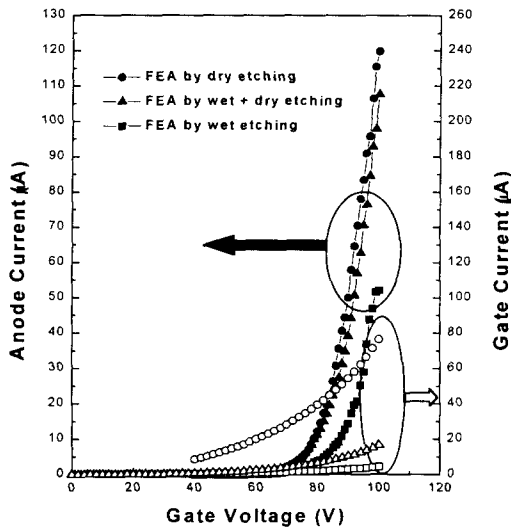


그림 6 세 종류의 게이트 절연막의 벽면 구조를 갖는 소자들의 전계 방출 특성

Fig. 6 Field emission properties of the devices having three kinds of gate insulator wall structures

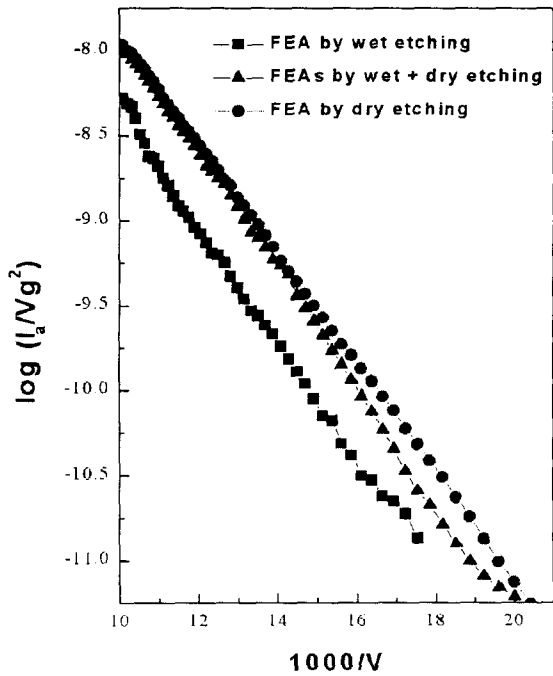


그림 7 측정된 전계 방출 특성의 Fowler-Nordheim plot

Fig. 7 Fowler-Nordheim plot of the measured field emission properties

3.3 팁 및 게이트 절연막에서의 전계 분포의 시뮬레이션

이상으로부터 얻어진 실험 결과들을 해석하기 위해 전계 방출용 팁과 게이트 절연막에 인가되는 전계 분포를 모사하여 보았다. njj사용된 시뮬레이터는 SNU-FEAT로 시뮬레이션 흐름도를 나타내면 그림 8과 같다[4]. 이때 사용된 소자의 기하학적 치수는 제조된 소자의 규격을 따랐으며, 양극 전압은 300 V로, 게이트 전압은 100 V로 고정하였다.

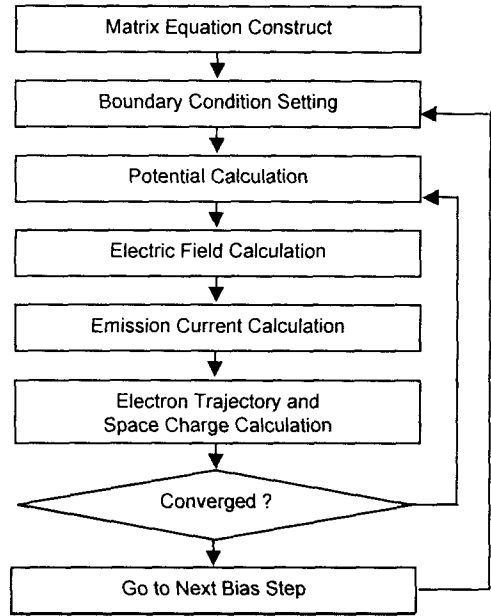


그림 8 전계 분포 시뮬레이션을 위한 흐름도

Fig. 8 Flow chart for the simulation of electric field distribution

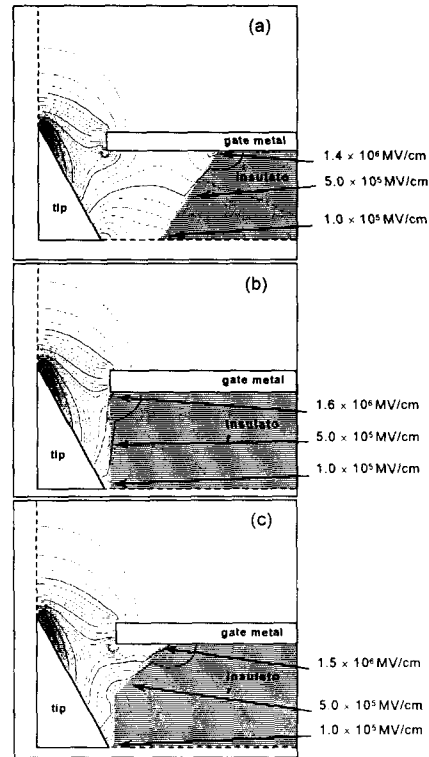


그림 9 둥근 모양(a), 수직 모양(b), 그리고 복합 모양(c)의 게이트 절연막 벽면을 갖는 전계 방출 소자들에 있어서 팁 및 게이트 절연막에 인가되는 전계분포의 시뮬레이션 결과

Fig. 9 Simulation results of electric field distribution applied to tip apex and gate insulator for the field emitter having gate insulator walls of round shape(a), vertical shape(b), and complex shape(c)

그림 9는 시뮬레이션의 결과로서, 세 종류의 게이트 절연막의 벽면 모양에 대해 팁과 게이트 절연막에 인가되는 전계 분포를 보여주고 있다. 이를 토대로 팁과 게이트 절연막에 인가되는 최대 전계를 그림 10에 도시하였다. 팁 끝에서의 전계를 살펴보면, 습식 식각에 의한 둥근 모양의 경우에 비해 건식 식각에 의한 수직 모양의 경우가 1.5 MV/cm 이상 증가하며, 복합 모양의 경우에도 약 1.2 MV/cm 정도 증가하는 것으로 나타났다. 게이트 절연막에 인가되는 최대 전계의 경우에도 둥근 모양의 경우에 비해 수직 모양이 약 0.2 MV/cm 정도, 복합 모양이 0.1 MV/cm 정도 증가하는 것을 볼 수 있다. 이로부터 게이트 절연막의 식각 방법, 즉 벽면 모양에 따라 게이트 절연막의 항복 전계와 누설 전류, 전계 방출 소자의 동작 개시 전압, 전계 증배 계수, 게이트 누설 전류 등이 변화하는 주요 원인으로써 팁 및 게이트 절연막에서의 전계 분포가 변화한다는 점을 고려할 수 있다.

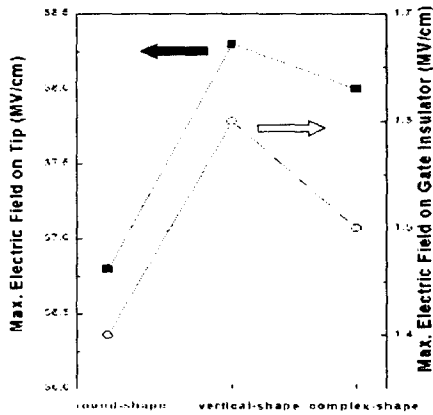


그림 10 세 종류의 전계 방출 소자들에 있어서 팁 끝 및 게이트 절연막에 걸리는 최대 전계

Fig. 10 Maximum electric field applied to tip apex and gate insulator for the three kinds of field emitters

4. 결 론

Spindt 형 몰리브덴 팁 전계 방출 소자를 제작하는 데 있어서, 게이트 절연막의 식각 공정을 습식, 건식, 그리고 습식 + 건식 식각으로 행하여 게이트 절연막의 벽면 구조를 각각 둥근 모양, 수직 모양, 그리고 복합 모양으로 변형시켜 보았다. 이와 같이 변형된 구조의 게이트 절연막을 갖는 소자의 특성을 평가하고 팁과 게이트 구조에서의 전계 분포를 모사한 결과 수직 모양의 경우 팁 끝과 게이트 절연막에 가장 큰 전계가 걸리는 것으로 나타났으며, 따라서 동작 개시 전압 및 방출 전류면에서 가장 우수한 반면에 게이트 누설 전류가 크다는 단점을 보였다. 반대로 둥근 모양의 경우에는 게이트 절연막에 걸리는 전계가 작아 게이트 누설 전류는 적어지지만, 팁에 걸리는 전계도 작아져서 동작 개시 전압 및 방출 전류도 감소하는 것을 알 수 있었다. 습식 식각을 한 뒤 연속적으로 건식 식각을 함으로써 절연막의 상부는 둥근 모양을, 하부는 수직 모양을 띄는 복합 모양의 게이트 절연막 벽면 구조를 갖는 소자의 경우 팁 끝과 게이트 절연막에 인가되는 전계가 적절하게 분배됨으로써 동작 개시 전압, 방출 전류, 그리고

게이트 누설 전류의 전반적인 균형을 이룰 수 있었다.

본 연구를 수행하는데 있어서 SNU-FEAT 시뮬레이터를 제공하여 주신 서울대학교 전자공학과 이종덕 교수님 및 관련 연구팀께 감사함을 드립니다.

참 고 문 헌

- [1] C. A. Spindt, I. Brodie, L. Humphrey and E. R. Westerberg, *J. Appl. Phys.*, vol. 47, p. 5248, 1976.
- [2] Robert Gomer, *Field Emission and Field Ionization*, Harvard University Press, 1961.
- [3] I. Bordie and P. R. Schwoebel, *Vacuum Microelectronic devices*, Proc. IEEE, vol. 82, no. 7, pp. 98-126, 1994.
- [4] H. Y. Ahn, C. G. Lee, J. D. Lee, *J. Vac. Sci. Technol. B* 13, no2, p.540, 1995.

저 자 소 개



주 병 권(朱炳權)

1962년 7월 3일생. 1986년 서울시립대 공대 전기공학과 졸업. 1988년 동 대학원 전자공학과 졸업(석사). 1995년 고려대 대학원 전자공학과 졸업(공학박). 1988년~1995년 KIST 정보전자연구부 연구원. 1995년~현재 KIST 정보

재료소자 연구센터 선임연구원. 관심분야 : MEMS 및 Vacuum Microelectronics
Tel : 02-958-5775
E-mail : jbk@kist.re.kr



김 훈(金勳)

1970년 5월 23일생. 1997년 2월 상지대학교 물리학과 졸업(이학사). 1998년~현재 경희대학교 물리학과 석사과정. 주 관심분야 : 금속 팁 전계방출표시소자(Mo-tip FED)



이 남 양(李南良)

1958년 1월 23일생. 1980년 연세대 공대 세라믹공학과 졸업. 1984년 동 대학원 세라믹공학과 졸업(석사). 1994년 일본 上智대 대학원 물리학과 졸업(공학박). 1980년~1982년 ROTC 제18기 포병장교. 1984년~1990년

KIST 응용물리전자연구부 연구원. 1995년~현재 오리온전기(주) 평판연구실 책임연구원. 관심분야 : 평판표시소자 및 박막형성 메카니즘
Tel : 0331-219-2207