

자연 산화막과 엑시머 레이저를 이용한 poly-Si/a-Si 이중 박막 다결정 실리콘 박막 트랜지스터

論 文
49C-1-5

Poly-Si Thin Film Transistor with poly-Si/a-Si Double Active Layer Fabricated by Employing Native Oxide and Excimer Laser Annealing

朴基燦* · 朴辰雨** · 鄭湘勳** · 韓民九***
(Kee-Chan Park · Jin-Woo Park · Sang-Hoon Jung · Min-Koo Han)

Abstract - We propose a simple method to control the crystallization depth of amorphous silicon (a-Si) deposited by PECVD or LPCVD during the excimer laser annealing (ELA). Employing the new method, we have formed poly-Si/a-Si double film and fabricated a new poly-Si TFT with vertical a-Si offsets between the poly-Si channel and the source/drain of TFT without any additional photo-lithography process. The maximum leakage current of the new poly-Si TFT decreased about 80 % due to the highly resistive vertical a-Si offsets which reduce the peak electric field in drain depletion region and suppress electron-hole pair generation. In ON state, current flows spreading down through broad a-Si cross-section in the vertical a-Si offsets and the current density in the drain depletion region where large electric field is applied is reduced. The stability of poly-Si TFT has been improved noticeably by suppressing trap state generation in drain depletion region which is caused by high current density and large electric field. For example, ON current of the new TFT decreased only 7 % at a stress condition where ON current of conventional TFT decreased 89 %.

Key Words : excimer laser annealing, poly-Si TFT, leakage current, a-Si offset, stability

1. 서 론

다결정 실리콘 (polycrystalline silicon; poly-Si) 박막 트랜지스터 (thin film transistor; TFT)는 비정질 실리콘 (amorphous silicon; a-Si) 박막 트랜지스터에 비해 전류 구동 능력이 우수하여 고속 동작에 유리하다. 따라서 기존의 a-Si TFT 대신 poly-Si TFT를 액정 디스플레이 (liquid crystal display; LCD)에 응용하기 위한 관심이 날로 증가하고 있다 [1,2]. 또한, 다결정 실리콘 박막 트랜지스터를 이용하면 액정 디스플레이의 화소 스위칭 소자 및 주변 구동 회로를 하나의 유리 기판 위에 집적할 수 있기 때문에 생산 단가를 절감할 수 있고 내구성이 우수한 장점이 있다 [3].

poly-Si을 이용한 TFT 제작 시, poly-Si의 그레인 내부 및 그레인 경계에 존재하는 많은 트랩들로 인해서 전자-정공 쌍의 전계 방출이 쉽게 일어난다. 따라서 매우 큰 누설 전류가 흘러서 TFT-LCD의 화질이 저하된다 [4]. 또한 장시간 소자를 구동할 경우 실리콘 원자간의 약한 결합이 끊어지거나 수소와 결합하고 있는 실리콘 원자의 뎅글링 결합에서 수소가 분리되어 소자의 전기적 특성이 열화되는 문제가 있다 [5]. a-Si TFT에 비해서 이러한 문제점이 심각하게 나타나는 poly-Si TFT의 단점을 해결하기 위해서 LDD

(lightly doped drain) 구조 [6] 및 수소보다 실리콘과의 결합 에너지가 큰 불소 (fluorine)를 이용하여 실리콘의 뎅글링 결합을 passivation 하는 방법 등이 보고되었다 [7].

본 논문에서는 다결정 실리콘의 물성적 결함을 보완할 수 있도록 박막 트랜지스터 제작 시에 손쉽게 비정질 실리콘 오프셋을 형성하여 누설 전류를 감소시키고, 장시간 구동에 대한 전기적 특성의 안정성을 개선하여 비정질 실리콘 박막 트랜지스터와 다결정 실리콘 박막 트랜지스터의 장점을 동시에 이용할 수 있는 새로운 방법을 제안하고, 기초 실험 및 소자 제작을 통해서 이를 구현하였다. 제안된 소자는 기존의 LDD 구조와 달리 추가의 마스크를 이용하지 않고 자기정렬 (self-align) 방법으로 제작 가능한 장점이 있다.

2. poly-Si/a-Si 이중 박막 다결정 실리콘 박막 트랜지스터의 제작

2.1 자연 산화막과 엑시머 레이저 어닐링을 이용한 poly-Si/a-Si 이중 박막 제작

그림 1은 본 논문에서 새롭게 제안한 공정 순서의 개략도이다. 1 μm 두께의 산화막이 형성된 실리콘 웨이퍼 위에 두꺼운 비정질 실리콘 박막 ($T_{a-Si} = 2500 \text{ \AA}, 4000 \text{ \AA}$)을 550 °C에서 저압 화학 기상 증착 (LPCVD) 방법으로 증착한다. 진한 황산 (순도 96 %)과 과산화수소수 (33 % 수용액)를 2 : 1로 섞은 120 °C의 용액에 웨이퍼를 10분간 넣어서 앞에서 증착한 비정질 실리콘 표면에 10 Å~20 Å 두께의 자연 산화막을 형성한다. 이와 같이 형성한 자연 산화막 위에 400 Å 두께의 비정질 실리콘 박막을 앞에서와 동일하게 저압 화학

* 準 會 員 : 서울大 電氣工學部 博士課程
** 準 會 員 : 서울大 電氣工學部 碩士課程
*** 正 會 員 : 서울大 電氣工學部 教授 · 工博
接受日字 : 1999年 10月 4日
最終完了 : 1999年 12月 14日

기상 증착한다 (그림 1a). 그 위에 XeCl 엑시머 레이저 ($\lambda = 308 \text{ nm}$)를 230 mJ/cm^2 의 에너지 밀도로 조사하여, 상부의 비정질 실리콘 박막만 결정화하였다 (그림 1b). 이렇게 제작한 박막 시편을 투과 전자 현미경 (Transmission Electron Microscopy; TEM)을 이용하여 분석하였다.

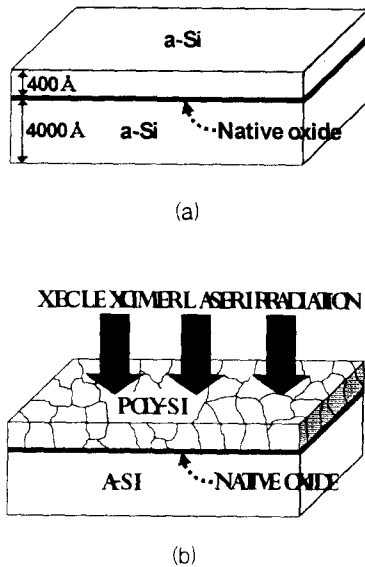


그림 1 자연 산화막과 엑시머 레이저를 이용한 a-Si 의 결정화 깊이 조절 (a) a-Si(400 Å)/native oxide/ a-Si(4000 Å) 박막 구조 형성 (b) 상부 a-Si 의 엑시머 레이저 재결정화

Fig. 1 a-Si crystallization depth control by employing native oxide and excimer laser annealing (a) a-Si(400 Å)/ native oxide/a-Si(4000 Å) film formation (b) Excimer laser recrystallization of top a-Si

그림 2a는 상부의 비정질 실리콘 박막은 결정화하여 다결정 실리콘이 되지만, 하부의 비정질 실리콘 박막은 결정화하지 않고 비정질 실리콘으로 남아있는 것을 보여준다. 이러한 결과는 레이저광이 직접적으로 흡수되는 표면 깊이(200 Å)에서는 고온에서 결정핵이 형성되지만 그 이하의 깊이에서는 결정핵이 형성되지 않고, 앞서 결정화된 다결정 실리콘 그레인으로부터의 잠열(latent heat)과 전도열에 의해서 결정 성장만 일어나기 때문이다. 이러한 실리콘 결정 성장은 자연 산화막에 이르게 되면, 실리콘과 실리콘 산화막의 결정 특성 차이에 의해서 더 이상 진행하지 못한다. 따라서 자연 산화막 아래에는 비정질 실리콘이 보존된다. 그러나 그림 2b와 같이 하부 비정질 실리콘 박막이 얇아서 열용량이 작을 경우, 하부 비정질 실리콘 박막의 온도가 충분히 상승하여 결정핵이 형성되므로 자연 산화막 아래에도 실리콘 그레인이 성장한다.

2.2 비정질 실리콘 오프셋을 갖는 소자 제작

앞에서 제작한 poly-Si(400 Å)/a-Si(4000 Å) 구조의 활성층 박막 위에 게이트 절연막으로써 1000 Å 의 TEOS(tetra-

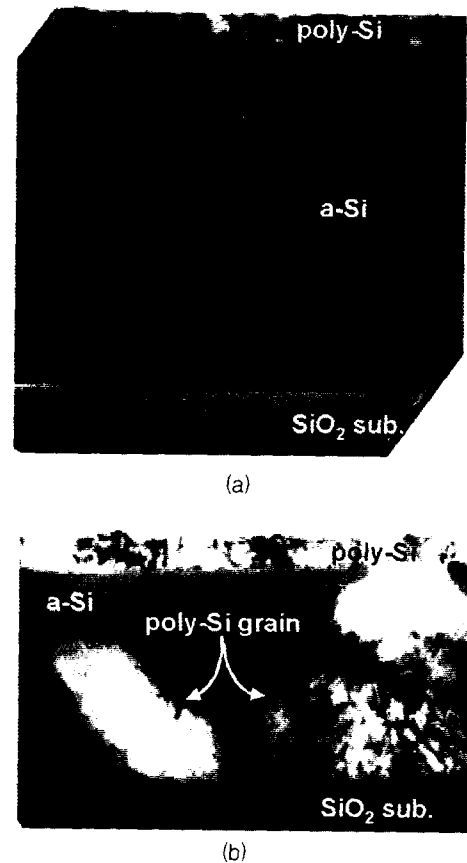


그림 2 하부 a-Si 박막 두께가 (a) 4000 Å, (b) 2500 Å일 경우의 레이저 결정화 후의 단면 TEM 사진. 레이저 조사 에너지는 230 mJ/cm^2 이다

Fig. 2 TEM image of recrystallized silicon film for (a) 4000 Å and (b) 2500 Å thick bottom a-Si. Excimer laser energy density is 230 mJ/cm^2

ethylorthosilicate) 산화막을 PECVD를 이용하여 $350 \text{ }^\circ\text{C}$ 에서 증착하였다. 그 위에 게이트 전극으로 사용할 비정질 실리콘 박막을 $550 \text{ }^\circ\text{C}$ 에서 1500 Å 두께로 LPCVD를 이용하여 증착하고 게이트 패턴 정의를 위해서 photo-lithography 공정을 수행하고 플라즈마 전식 식각 공정으로 게이트 비정질 실리콘과 TEOS 산화막을 차례로 패터닝하였다. 이 과정에서 사용한 감광막을 벗겨내지 않고 그대로 두고 다결정 실리콘을 식각하고 비정질 실리콘 박막까지 식각하여 추가의 마스크나 photo-lithography 공정을 이용하지 않고 비정질 실리콘 오프셋을 형성하였다. 이 때 비정질 실리콘 박막의 식각률을 일정하게 유지해야 소자 제작의 재현성이 보장될 수 있다. 본 연구에서는 오프셋 효과를 위한 비정질 실리콘의 식각 깊이를 3000 Å 으로 정하고 정확한 식각 깊이 조절을 위해서 식각 과정에서 수시로 α -step을 이용하여 식각 깊이를 확인하였다 (그림 3a). 이어서 phosphorous 을 $6 \times 10^{14} \text{ \#/cm}^2$ 의 dose, 40 kV 의 가속 전압으로 이온 주입하여 자기정렬(self-align) 방식으로 소오스/게이트/드레인층을 형성하였다. 주입된 이온의 전기적 활성화(activation)를 위해서 XeCl 엑시머 레이저(Excimer Laser Annealing)를 300 mJ/cm^2 의 에너지로 조사하였다. 그림 3b는 완성된 소자 구조이

다. 완성된 소자의 다결정 실리콘 그레인 내부 및 그레인 경계의 실리콘 덩글링 결합의 passivation을 위해서 수소 플라즈마 처리를 수행하였다. 수소 분위기에서 650 mTorr의 압력, 100 sccm의 수소 유량, 300 °C의 기판 온도를 유지하며 2 시간 동안 50 W의 RF 전력을 가하였다.

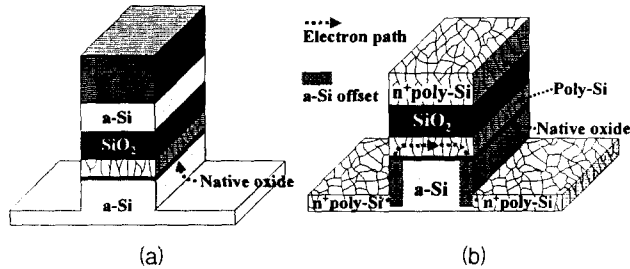


그림 3 수직형 a-Si 오프셋을 갖는 poly-Si TFT의 주요 공정 (a) 게이트 패턴을 이용한 poly-Si/a-Si 이중 활성층 식각으로 a-Si 오프셋 형성. $L_{OFFSET} = 0.3 \mu\text{m}$. (b) 완성된 소자 구조

Fig. 3 Key process step of new poly-Si TFT with vertical a-Si offset. (a) a-Si offset formation by dry-etching poly-Si/a-Si double layer with gate pattern. $L_{OFFSET} = 0.3 \mu\text{m}$. (b) Fabricated device structure

3. 결과 및 분석

3.1 전달 특성

그림 4는 본 논문에서 제안한 방법으로 제작한 수직형 비정질 실리콘 오프셋을 갖는 소자와 비정질 실리콘 오프셋을 갖지 않는 일반적인 소자의 I_D - V_G 전달 특성 비교 그림이다. 오프셋 소자의 누설 전류가 기존 소자에 비해서 80 % 가량 감소하였으며, ON 전류는 20 % 가량 감소하였다. ON/OFF 전류비는 5배 이상 증가하였다.

비정질 실리콘은 다결정 실리콘에 비해서 전계 방출에 의한 캐리어 형성이 잘 일어나지 않기 때문에 소자 제작 시에 누설 전류가 작다. 본 연구에서는 이러한 비정질 실리콘 박막 트랜지스터의 장점을 다결정 실리콘 박막 트랜지스터에 적용하여 누설 전류를 감소시켰다. 또한, 제안된 소자는 오프셋 구조를 가지기 때문에 게이트와 드레인이 붙어 있지 않고 오프셋 길이만큼 간격이 존재하여 드레인 공핍 영역에서의 최대 전계가 기존 소자에 비해서 작으므로 전계 방출에 의한 전자-정공 쌍 생성이 감소하였고 누설 전류도 감소하였다.

3.2 전기적 스트레스의 영향

다결정 실리콘 박막 트랜지스터는 실리콘 그레인 경계 및 그레인 내부의 결정 결합이 트랩으로 작용하여 전자나 정공을 포획하여 전하를 띠고 전위 장벽을 형성하여 캐리어 흐름에 장애가 되며 [8], 전계 방출에 의한 전자정공 쌍의 생성을 쉽게 하기 때문에 단결정 실리콘 소자에 비해서 캐리어의 전계 효과 이동도 및 누설 전류 등에서 열등한 특성을

갖는다. 이 가운데 실리콘 원자의 덩글링 결합에 의한 결합은 수소 플라즈마 처리(수소화; hydrogenation)를 통해서 감소시킬 수 있다. 수소화를 하게 되면 수소 원자가 실리콘 원자의 덩글링 결합에 붙게 된다. 따라서 트랩 밀도가 감소하고 전계 효과 이동도 향상 및 누설 전류 감소의 효과를 가져올 수 있다.

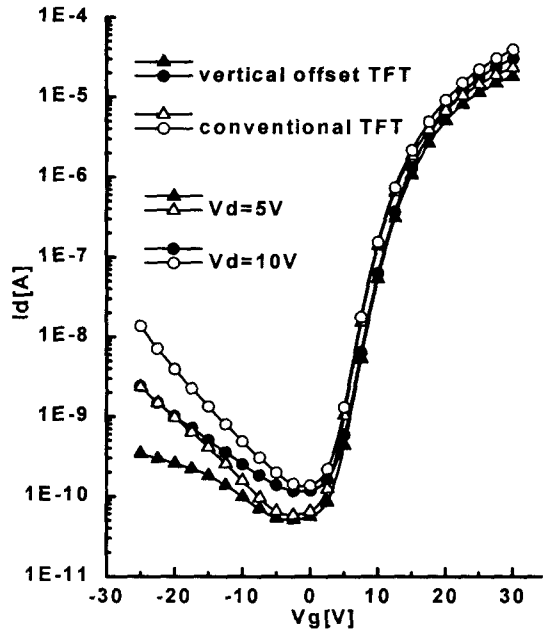


그림 4 오프셋 소자와 기존 소자의 I_D - V_G 전달 특성. $W/L=10/10 \mu\text{m}$

Fig. 4 The I_D - V_G transfer characteristics of conventional TFT and of new a-Si offset TFT. $W/L=10/10 \mu\text{m}$

수소화된 다결정 실리콘 박막 트랜지스터를 장시간 사용하게 되면, 채널에 흐르는 전자 가운데 큰 에너지를 갖는 것들이 실리콘과 수소의 결합을 끊는 경우가 발생한다. 또는 다결정 실리콘의 특성상 존재하는 실리콘 원자간의 약한 결합이 끊어지는 경우가 발생한다 [5]. 따라서 추가의 트랩이 생성되어 소자의 ON 전류 감소, 문턱 전압 증가 및 문턱 이전 기울기 증가 등의 열화 현상이 나타난다. 이러한 소자 특성의 열화 현상은 박막 트랜지스터의 게이트와 드레인에 큰 전압을 가하여 전류 흐름을 크게 할수록 심각하게 나타난다 [9, 10].

본 연구에서 제안된 poly-Si/a-Si 이중 활성층 박막을 갖는 소자와 기존의 표준 구조 Top-Gate 박막 트랜지스터의 장시간 구동에 따른 안정성을 비교·분석하기 위해서 4시간 동안 게이트와 드레인에 각각 30 V의 전압을 인가하는 전기적 스트레스를 가하였다. 기존 소자와 새로운 소자의 스트레스 전후의 I_D - V_G 전달 특성을, 드레인 전압을 달리하며 측정된 결과가 그림 5이다. 소자에 스트레스를 가한 전극 설정 조건과 동일하게 소오스와 드레인을 고정하여 측정된 결과는 fwd.(forward), 스트레스를 가한 전극 조건과 달리 소오스와 드레인을 바꿔서 측정된 결과는 rev.(reverse)로 표시하였다.

그림 5의 (a)와 (b)를 비교하면 기존 소자는 ON 전류가 fwd. 또는 rev. 에 무관하게 스트레스를 가한 후에 90 % 이

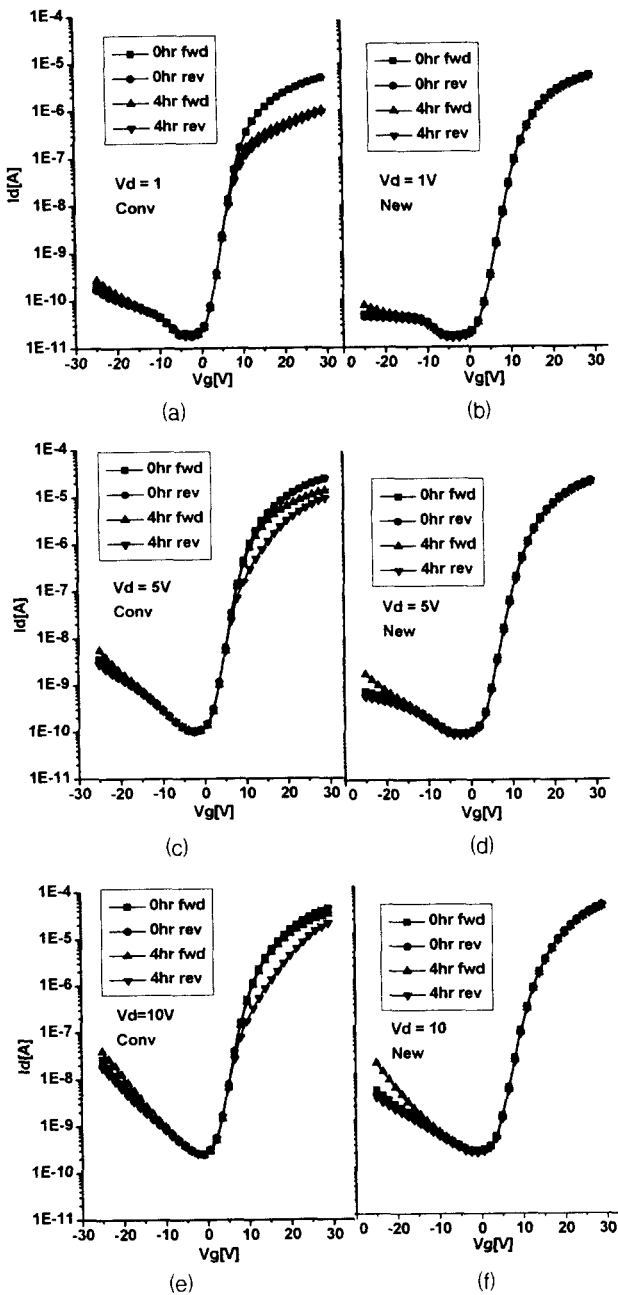


그림 5 스트레스 전후의 전달 특성 비교. $W/L = 15/10 \mu\text{m}$. (a) 기존 소자. 측정 조건 ; $V_D = 1 \text{ V}$. (b) 오프셋 소자. 측정 조건 ; $V_D = 1 \text{ V}$. (c) 기존 소자. 측정 조건 ; $V_D = 5 \text{ V}$. (d) 오프셋 소자. 측정 조건 ; $V_D = 5 \text{ V}$. (e) 기존 소자. 측정 조건 ; $V_D = 10 \text{ V}$. (f) 오프셋 소자. 측정 조건 ; $V_D = 10 \text{ V}$

Fig. 5 Transfer characteristics comparison between before and after electrical stress. $W/L = 15/10 \mu\text{m}$. (a) conventional TFT measured at $V_D = 1 \text{ V}$ (b) a-Si offset TFT measured at $V_D = 1 \text{ V}$ (c) conventional TFT measured at $V_D = 5 \text{ V}$ (d) a-Si offset TFT measured at $V_D = 5 \text{ V}$ (e) conventional TFT measured at $V_D = 10 \text{ V}$. (f) a-Si offset TFT measured at $V_D = 10 \text{ V}$

상 감소한 반면에 새로운 소자는 ON 전류 감소가 거의 나타나지 않았다. (c)와 (d), (e)와 (f)의 비교에서도 기존의 소자는 ON 전류 및 문턱 전압이 스트레스 후에 열화되었으나 새로운 소자는 열화 현상이 거의 나타나지 않았다.

기존 소자의 열화 현상에서 주목해야 할 특징은 스트레스 인가 후, 드레인 전압이 1 V로 작은 경우에는 측정되는 ON 전류 감소가 크지만, 드레인 전압이 5 V 또는 10 V로 큰 경우에는 측정되는 ON 전류 감소가 작고, fwd. 특성과 rev. 특성이 일치하지 않는 소자의 비대칭 특성이 나타나는 것이다. 이것은 다결정 실리콘 채널의 드레인 근처 영역에 트랩이 많이 생성되어, 이에 포획된 전자에 의해서 드레인 쪽에 전위 장벽(V_B)이 형성되기 때문이다.

드레인 전압이 작을 경우, 소자는 선형 동작 영역에 있게 되고, 활성층 전체에 균일한 채널이 형성되어 트랩 생성에 의한 전위 장벽은 위치에 관계없이 전류 흐름에 큰 장애가 된다. 따라서 fwd. 모드와 rev. 모드의 두 가지 경우 모두 ON 전류가 크게 감소한다. 그림 6a는 이 경우의 에너지 밴드 도식도이다.

반면에 드레인 전압이 크면 소자는 포화 동작 영역에 있게 되므로 드레인 근처에는 채널이 형성되지 못하고 공핍 영역만 존재하여 소오스/드레인 간의 전압이 대부분 이곳에 가해지게 된다. 따라서 트랩에 의한 전위 장벽(V_B)이 드레인 쪽에 있는 fwd. 특성 측정 시에는 그림 7b와 같이 전류 방향으로 매우 큰 전위 절벽이 존재하므로 트랩에 의한 작은 전위 장벽은 거의 영향을 미치지 못한다. 그러므로 드레인 전압이 큰 fwd. 특성의 경우 스트레스 후에도 ON 전류 감소가 작다. 그림 5의 (c)와 (e)에서 드레인 전압이 5 V인 경우보다 10 V인 경우에 fwd. 모드에서 ON 전류 감소가 작은 사실로부터 이를 확인할 수 있다.

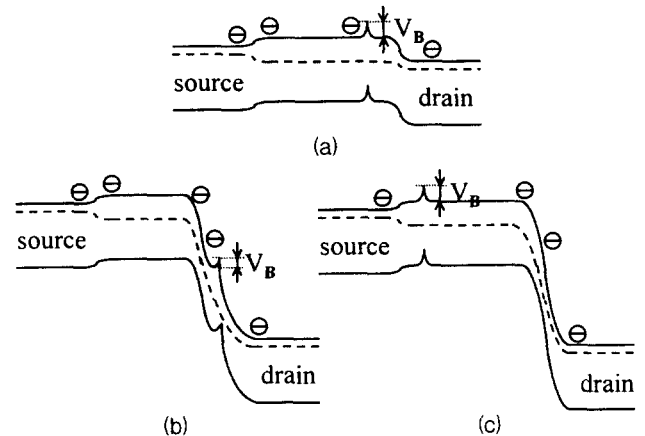


그림 6 드레인 전압 V_D 와 fwd. 또는 rev. 모드에 따른 에너지 밴드 도식도. (a) V_D 가 작은 경우. (b) V_D 가 크고 fwd. 모드인 경우. (c) V_D 가 크고 rev. 모드인 경우.

Fig. 6 Energy band diagram for various V_D and different measurement condition. (a) Small V_D . (b) Large V_D and fwd. mode. (c) Large V_D and rev. mode.

그러나, 소오스와 드레인을 바꿔서 rev. 특성을 측정하면 스트레스에 의해 생성된 전위 장벽(V_B) 때문에 그림 6c와 같이 전자가 넘어야할 소오스와 채널간의 전위 장벽이 더

높아지므로 드레인 전압이 작은 경우와 마찬가지로 ON 전류가 크게 감소한다.

그림 7은 본 논문에서 제안한 새로운 구조의 소자와 기존 소자에 대해서 MEDICI를 이용하여 $V_G = V_D = 10V$ 일 때, 드레인 근방에서 전류 흐름을 모의 실험한 결과이다. 그림 7a에서 기존 소자의 경우 드레인 근방의 다결정 실리콘 채널 공핍 영역에서 전류 흐름이 게이트 절연막 쪽으로 집중되어 흐르는 것을 확인할 수 있다. 반면에 그림 7b를 보면 poly-Si/a-Si 이중 박막을 이용한 비정질 실리콘 오프셋이 존재하는 구조의 경우에는 드레인 근방에서 다결정 실리콘 채널 영역뿐만 아니라, 아래의 비정질 실리콘 영역으로 전류가 넓게 퍼져서 흐르는 것을 알 수 있다. 따라서 새로운 소자는 드레인 근방의 공핍 영역에서 전류 밀도가 기존 소자보다 작다. 다결정 실리콘 박막 트랜지스터의 전기적 스트레스에 의한 특성 열화는 전류가 클수록 단시간에 심하게 나타나는데 [9], 새로운 소자는 드레인 근방의 공핍 영역에서 전류 밀도가 작기 때문에 다결정 실리콘 박막 내에서 추가의 트랩 생성이 감소하여 fwd.와 rev. 특성이 동일하며, 전기적 안정성이 크게 향상되었다.

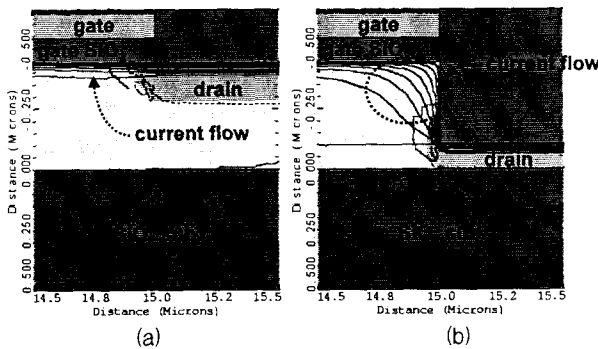


그림 7 MEDICI를 이용한 TFT의 ON 상태 전류 흐름 모의 실험 결과 $V_G = V_D = 10 V$, $L_{GATE} = 10 \mu m$ (a) 기존 소자 (b) 수직 오프셋을 갖는 새로운 소자

Fig. 7 Current flow line simulation in ON state of TFT using MEDICI. $V_G = V_D = 10 V$, $L_{GATE} = 10 \mu m$ (a) Conventional TFT structure (b) New TFT structure with vertical offsets

3. 결 론

본 연구에서는 다결정 실리콘 박막 트랜지스터의 큰 누설 전류와 장시간 구동에 의한 전기적 특성 열화를 개선하기 위해 엑시머 레이저와 자연 산화막을 이용하여 추가의 공정 없이 비정질 실리콘 박막의 재결정화 깊이를 조절하여 다결정 실리콘의 물성적 약점을 보완할 수 있는 poly-Si/a-Si의 이중 박막을 제작하고 투과 전자 현미경을 이용하여 확인하였다. 이를 이용하여 수직형의 비정질 실리콘 오프셋을 갖는 새로운 다결정 실리콘 박막 트랜지스터를 제작하고 기존의 표준 구조 소자와 비교하여 ON/OFF 전류비가 최대 5배 이상 향상되어 스위칭 특성이 개선되었음을 확인하였다. 또한, 장시간 사용에 따른 소자 특성의 신뢰도를 분석하여 기

존의 소자가 89 %의 ON 전류 감소를 나타내는 실험 조건에서 7 % 이내의 ON 전류 감소를 나타내는 우수한 안정성을 확인하였다.

참 고 문 헌

- [1] A.H. Firester, W.R. Roach and R.Stewart, "Poly-Si TFT devices and their application to LCDs", Japan Display '92, p.557, 1992.
- [2] A.G. Lewis, D.D. Lee and R.H. Bruce, "Polysilicon TFT circuit design and performance, IEEE J. Solid-State Circuits", vol. 27, p.1833, 1992.
- [3] Y. Nishida, S. Yamamoto, S. Yamada, T. Hikichi, I. Asai and T. Hamano, "Fully Integrated Poly-Si TFT CMOS Drivers for Self-Scanned Light Valve", SID 92 Technical Digest, p.609, 1994.
- [4] J.G. Fossum, A.O. Conde, H. Shichijo and S.K. Banerjee, "Anomalous leakage current in LPCVD polysilicon MOSFETs", IEEE Trans. Electron Devices, vol. ED-32, no. 9, p.1878, 1985.
- [5] Michael Hack, Alan G. "Physical Models for Degradation Effects in Polysilicon Thin-Film Transistors", IEEE Trans. Electron Devices, vol. 40, no. 5, p.890, 1993.
- [6] Nakazawa, K. Tanaka, S. Suyama, K. Kato and S. Kohda, "Lightly doped drain TFT structure for poly-Si LCDs", SID 90 Technical Digest, p.311, 1990.
- [7] H.N. Chern, C.L. Lee, and T.F. Lei, "The Effects of Fluorine Passivation on Polysilicon Thin-Film Transistors", IEEE Trans. Electron Devices, vol. 41, no. 5, p.698, 1994.
- [8] A. G. Lewis, I. W. Wu, T. Y. Huang, M. Koyanagi, A. Chiang and R. H. Bruce, "Small Geometry Effects in n- and p- Channel Polysilicon Thin Film Trnasistors", IEDM Technical Digest, p.260, 1988.
- [9] John Y. W. Seto, "The electrical properties of polycrystalline silicon films", J. of Appl. Phys. vol. 46, no. 12, p.5247, 1975.
- [10] I.W. Wu, W.B. Jackson, T.Y. Huang, A.G. Lewis and A.Chiang, "Mechanism of Device Degradation in n- and p-Channel Polysilicon TFTs by Electrical Stressing", IEEE Electron Device Lett., vol. 11, p.167, 1990.

저 자 소 개



박 기 찬(朴 基 燦)

1974년 8월 16일 생. 1997년 서울대 전기공학부 졸업. 1999년 동 대학원 전기공학부 졸업(석사) 1999년~현재 동 대학원 전기공학부 박사과정

Tel : 02-880-7992, Fax : 02-883-0827

E-mail : pkch@emlab.snu.ac.kr



박진우(朴辰雨)

1976년 5월 14일 생. 1999년 서울대 전기공학부 졸업. 1999년~현재 동 대학원 전기공학부 석사과정

E-mail : jwpark@emlab.snu.ac.kr



정상훈(鄭湘勳)

1976년 7월 30일 생. 1997년 서울대 전기공학부 졸업. 1999년~현재 동 대학원 전기공학부 석사과정

E-mail : jsh@emlab.snu.ac.kr



한민구(韓民九)

1948년 7월 21일 생. 1971년 서울대 전기공학과 졸업. 1975년 University of Michigan, Electrical Engineering(석사). 1979년 Johns Hopkins University, Electrical Engineering(공학박). 1984년~현재 서울대 전기공학부 교수

E-mail : mkh@emlab.snu.ac.kr