

## Co-실리사이드를 이용한 새로운 고내구성 실리콘 전계방출소자의 제작

장지근 · 김민영 · 정진철

단국대학교 전자공학과

### Fabrication of New Co-Silicided Si Field Emitter Array with Long Term Stability

Gee Keun Chang, Min Young Kim, and Jin Cheol Jeong

Dept. of Electronics Engineering, Semiconductor Lab. Dankook University, Cheonan 330-714

(2000년 2월 3일 받음, 2000년 3월 23일 최종수정본 받음)

**초 록** Si FEA로부터 tip의 표면을 Co 금속으로 silicidation한 새로운 3극형 Co-silicided Si FEA를 제작하고 이의 전계방출특성을 조사하였다.

$10^{-8}$ Torr의 고진공상태에서 제작된 소자의 단위 pixel(pixel 면적 :  $250\mu\text{m} \times 250\mu\text{m}$ , tip 어레이 :  $45 \times 45$ )을 통해 측정된 turn-on 전압은 약 35V로, 아노드 전류는  $V_A=500\text{V}$ ,  $V_G=55\text{V}$  바이어스 아래에서 약  $1.2\mu\text{A}$  ( $0.6\text{nA}/\text{tip}$ )로 나타났다. 제작된 소자는 초기 과도상태를 제외하면 장시간의 동작을 통해 전계방출 전류의 감소없이 매우 안정된 전기적 특성을 나타내었다.

Co-silicided Si FEA의 낮은 turn-on 전압과 높은 전류안정성은 Si tip 표면에 형성된 실리사이드 박막의 열화학적 안정성과 낮은 일함수에 기인하는 것으로 판단된다.

**Abstract** A new triode type Co-silicided Si FEA(field emitter array) was realized by Co-silicidation of Co coated Si FEA and its field emission properties were investigated.

The field emission properties of the fabricated device through the unit pixel with  $45 \times 45$  tip array in the area of  $250\mu\text{m} \times 250\mu\text{m}$  under high vacuum condition of  $10^{-8}$ Torr were as follows : the turn-on voltage was about 35V and the anode current was about  $1.2\mu\text{A}$  ( $0.6\text{nA}/\text{tip}$ ) at the bias of  $V_A=500\text{V}$  and  $V_G=55\text{V}$ .

The fabricated device showed the stable electrical characteristics without degradation of field emission current for the long term operation except for the initial transient state.

The low turn-on voltage and the high current stability of the Co-silicided Si FEA were due to the thermal and chemical stability and the low work function of silicide layer formed at the surface of Si tip.

**Key words** : Co-silicidation, work function, pixel, etch-back, field emission current

### 1. 서 론

진공 마이크로일렉트로닉스를 평판디스플레이 등에 응용하기 위해서는 높은 전계방출 전류밀도와 고내구성 및 균일성을 갖는 FEA (field emitter array)의 개발이 필수적이다.

이상적인 전계방출 재료로는 높은 전자 방출량에 견딜 수 있는 고용용점의 물질과 낮은 일함수의 물질, 그리고 진공상태에서의 낮은 증기압을 갖는 물질이 우선 고려된다.<sup>1)</sup> 지금까지 전 세계적으로 실리콘, 몰리브덴, DLC(diamond-like carbon), 탄소나노튜브 등과 같은 물질을 이미터 재료로 사용하여 여러가지 형태의 전계 방출소자가 연구되어 왔다.<sup>2~4)</sup> 실리콘은 내열성 금속에 비해 낮은 용융점과 높은 증기압을 가지나 공정이 쉽고, 반도체 공정에 의해 최저의 tip 반경을 갖는 고밀도 어레이의 실현이 가능한 물질로 평가되고 있다.

그러나, 순수 Si를 tip 재료로 사용하면 표면상태 결과로 높은 일함수로 인해 전자방출효과가 작게 나타나고 장시간

사용시 산화 및 열화에 의한 신뢰성 문제가 제기된다.<sup>5)</sup> 최근에 DLC나 carbon nanotube를 이용한 전계방출소자가 활발히 연구되고 있으나<sup>6,7)</sup> 이는 제조기술이 까다롭고 3극 구조의 실현이 어려워 제품의 상품화에 어려움이 뒤따를 것으로 예상된다. Si FEA는 일반적으로 반도체 공기술로 tip 어레이 밀도를 증가시킬 수 있고 제조과정이 간단하나 장시간 사용시 Si tip의 표면상태 변화로 전자방출 전류의 불안정한 특성을 나타내게 된다. 이에 따라 Si FEA가 실용화되기 위해서는 높은 전자방출 전류와 안정성, 신뢰성에 있어서 획기적인 개선을 가져올 수 있는 새로운 구조의 연구가 필요하다. 실리사이드는 일반적으로 Si에 비해 일함수가 낮으며 열화학적으로 매우 안정된 특성을 갖고 있어 실리사이드 재료로 전계방출소자를 제작할 경우,<sup>8,9)</sup> 전계방출 전류밀도 증가와 동작 안정성에 있어서 개선이 기대된다.

본 연구에서는 Si FEA 구조로부터 tip의 표면을 Co-silicidation하여 열·화학적 내구성을 증가시키고 오랜 구동시간을 통해 높은 전류 안정성을 가져올 수 있는 새로운 3극형 Co-silicided Si FEA를 제작하였다. Si 표면을 Co

-silicidation할 경우, Co가 이동원자가 되어 산화막 위로는 실리사이드가 형성되지 않으므로 silicidation 과정에서 발생할 수 있는 게이트와 캐소드간의 단락현상을 방지할 수 있다. 비 반응된 Co 금속은 선택적으로 제거가 용이하며, Co-실리사이드 박막은 다른 실리사이드 박막에 비해 응집(agglomeration) 저항이 높아 고온에서 열적 안정성이 우수하다.<sup>10)</sup>

2. 실험 방법

p-type (100) Si 웨이퍼 ( $\rho \approx 6 \sim 8 \Omega \cdot \text{cm}$ ) 에 n-well을 형성하고, 열산화법으로 약 3000 Å 두께의 SiO<sub>2</sub>를 성장시킨후, photolithography를 통해 250 $\mu\text{m} \times 250\mu\text{m}$  pixel 영역에 직경 1.2 $\mu\text{m}$  크기의 45 $\times$ 45 masking oxide array를 형성하였다. 이후 SF<sub>6</sub>와 SF<sub>6</sub>+O<sub>2</sub>을 이용한 2단계 RIE(reactive ion etching) 식각으로 약 1.1 $\mu\text{m}$  깊이의 Si를 에칭하였다. 다음으로 pixel 간의 채널방지를 위한 p<sup>+</sup>-isolation 영역을 형성하고 re-oxidation 방식으로 Si tip을 첨예화(sharpening) 한 후, BHF <HF:NH<sub>4</sub>F=1:6> 용액에서 산화막을 모두 제거하였다.

이후, CVD 방법으로 약 8000 Å의 TEOS (tetraethylorthosilicate) 산화막을 증착시킨 다음, 접촉마스크를 사용하여 캐소드전극의 접촉창구를 개방하고 TiW 박막을 약 2000 Å의 두께로 스퍼터링 증착하였다.

다음으로, tip 주위의 게이트 전극을 부분적으로 식각하기 위하여 저점도의 감광막(photoresist:AZ1505)을 4000 Å의 두께로 도포하여, 150°C에서 curing을 한 다음 etch-back 공정을 실시하였다.

일반적인 etch-back 공정은 식각되는 물질과 포토레지스터 사이의 에칭 선택비를 1:1로 유지하고, 포토레지스터의 평탄화 특성을 이용하여 원하는 부분을 식각하는 과정이다.<sup>11)</sup>

실험에서는 SF<sub>6</sub>+O<sub>2</sub>을 이용한 플라즈마 식각으로 TiW를 제거하였으며 etch-back 공정 후 BHF 용액에서 TEOS를 식각하여 Si tip을 노출시켰다.

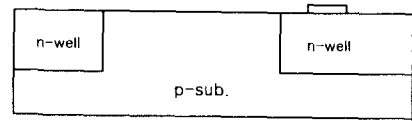
이후, 배선용 마스크를 이용하여 전극패턴을 형성하고, 패드(pad) 마스크를 이용하여 lift-off 방법으로 패드영역에 Ti/Au를 400 Å/3000 Å 증착하여 실리콘 전계방출소자를 제작하였다.

공정의 마지막 단계로, Si tip을 Co-silicidation 하기 위해 E-beam evaporation 방식으로 200 Å 두께의 Co 박막을 증착하고, RTA (rapid thermal annealing) 장비에서 700°C, Ar 분위기로 30초간 열처리를 실시하였다.

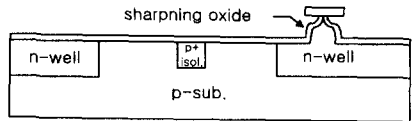
silicidation 과정에서 반응되지 않은 Co 금속은 <HCl:H<sub>2</sub>O<sub>2</sub>=3:1> 용액에서 dip etching 방식으로 제거되었다.

그림 1은 3극형 Co-silicided Si FEA를 제작하는 과정에서 주요 공정단계별 단면구조를 보여주고 있다.

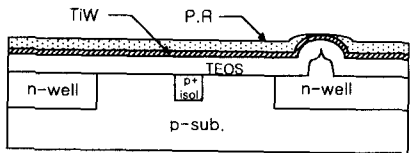
그림 2는 제작이 완성된 소자의 레이아웃(layout) 사진으로, 실험상의 FEA 구조는 25 $\times$ 25 pixels을 가지며, 한 pixel은 5 $\times$ 5 subpixels, 한 subpixel은 9 $\times$ 9 tips를 갖는다.



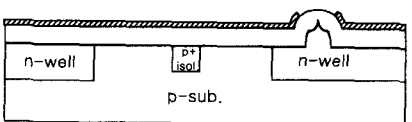
(a) n-well and masking oxide array



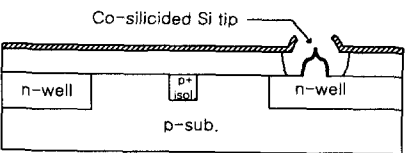
(b) Si RIE etching, p<sup>+</sup>-isolation, and sharpening oxidation



(c) TEOS & TiW deposition and photoresist coating



(d) etch-back process for TiW



(e) TEOS etching and Co-silicidation

Fig. 1. Cross-sectional views on the fabrication process of the triode type Co-silicided Si FEA.

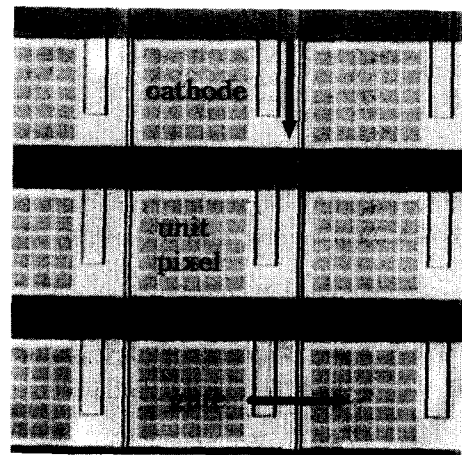


Fig. 2. Layout of the triode type Co-silicided Si FEA.

3. 결과 및 고찰

Si tip 표면의 Co-silicidation 상태를 알아보기 위해 dummy 웨이퍼상에 동일조건으로 제작한 Co-실리사이드 박막의 전기, 결정학적 특성을 조사하였다.

In-line 4-탐침법으로 Co-실리사이드 박막의 비저항을

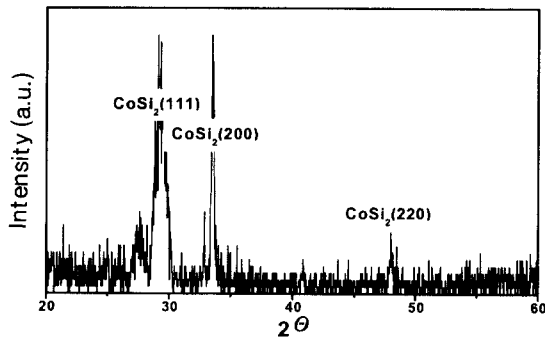


Fig. 3. XRD diffraction pattern of the Co-silicided Si region.

측정한 결과 약  $20\mu\Omega \cdot \text{cm}$ 로 나타났고, XRD 분석 결과 그림 3과 같이 안정된  $\text{CoSi}_2$  결정상을 형성하였다.

실제로, Si tip 표면에서의 silicidation은 표면을 따라 증착되는 금속박막의 두께 차이로 dummy 웨이퍼에서의 경우와 다소 차이를 보일 것으로 예상되나 tip 표면을 따라 Co 금속이 전체적으로 덮히기만 하면 증착 두께에 관계없이  $\text{CoSi}_2$  박막이 Si tip의 표면을 따라 골고루 형성될 것으로 판단된다.

그림 4는 제작이 완성된 소자의 SEM 사진을 보여주고 있다. SEM 사진에서 보는 바와 같이 Co-silicided emitter tip은 침예하게 형성되고 tip 어레이의 상태도 균일하게 나타나고 있는 것을 관찰할 수 있다. 게이트 홀의 크기를 tip 주변에서 게이트 금속전극의 aperture size로 잡을 경우 게이트 홀의 직경은 약  $1\mu\text{m}$ 로 나타나고 있다.

시료의 전기적 특성을 알아보기 위해  $10^{-8}\text{Torr}$ 의 고진공 시스템에서 아노드-게이트 전극간의 거리를 약  $500\mu\text{m}$ 로 유지하고 아노드에 500V의 전압을 인가하여 게이트전압 ( $V_G$ ) 변화에 따른 전계방출전류 ( $I_A$ ) 특성을 측정하였다. 그림 5는 제작된 소자의 단위 pixel에 대한 전류-전압 ( $I_A$ - $V_G$ ) 특성곡선이다.

측정결과, Si tip을 Co-silicidation 하지않은 소자와 Co-silicidation을 실시한 소자의 전계방출 전류가 흐르기 시작하는 turn-on 전압은 각각 50V와 35V였고, turn-on 전압 보다 20V 높은 게이트 전압에서 아노드의 전자방출 전류는 각각 10nA와  $1.2\mu\text{A}$  정도로 나타났다.

그림 6은 그림 5의 아노드 전류-전압특성을 Fowler-Nordheim 구성으로 나타내어 제작된 소자의 전계방출 전류특성을 확인한 것이다.

Fowler-Nordheim 구성에서 선행 직선의 기울기 (m)는 전자방출팁의 일함수 ( $\psi$ )와 반경 (r)에 의존하여 다음의 관계식을 갖는다.<sup>12)</sup>

$$\frac{m_{\text{Si}}}{m_{\text{CoSi}_2}} = \left( \frac{\psi_{\text{Si}}}{\psi_{\text{CoSi}_2}} \right)^{3/2} \left( \frac{r_{\text{Si}}}{r_{\text{CoSi}_2}} \right)$$

Co-silicided Si FEA의 경우, tip을 silicidation 함으로써 팁의 침예성이 다소 둔화될 것으로 예상되나, 순수 Si FEA의 경우에 비해 선행 직선의 기울기가 완만하게 나타나는 것은  $\text{CoSi}_2$ 의 낮은 일함수 영향으로 생각된다.

그림 7은 전계방출소자의 장시간 동작에서 Si tip과 Co-silicided tip의 내구성과 안정성을 알아보기 위해 게이트 인가전압을 각각 80V와 55V로 하여 15분 동안 아노드전류의 변화를 측정한 결과이다.

초기 과도상태를 제외하면 Si FEA의 아노드전류는 15분간의 동작시간을 통해 다소의 degradation과 fluctuation을 나타내고 있으나, Co-silicided Si FEA의 경우 거의 degradation됨이 없이 안정된 전류특성을 보이고 있다.

본 연구에서 3극형 Co-silicided Si FEA의 낮은 turn-on 전압과 안정된 전류특성 및 높은 방출 전류는 Si tip의 표면에 형성된 실리사이드 박막의 열화학적 안정성과 낮은 일함수에 기인하는 것으로 판단된다.

#### 4. 결 론

본 연구에서는 conventional 구조의 Si FEA로 부터 Si tip의 표면을 Co-silicidation하여 전계방출소자의 전기적 특성을 개선하고자 하였다.  $10^{-8}\text{Torr}$ 의 고진공 상태에서 아노드와 게이트 사이의 거리를 약  $500\mu\text{m}$ 로 유지하고  $V_A = 500\text{V}$ 의 바이어스 아래에서 전계방출특성을 측정한 결과, Co-silicided tip의 경우 게이트 turn-on 전압이 약 35V로 Si tip에 비해 15V 정도 낮아졌다. turn-on 전압 보다 20V 높은 게이트 전압에서 측정된 단위 pixel 당 전자방출전류는 Co-silicided Si FEA의 경우 약  $1.2\mu\text{A}$ 로 Si FEA에 비해 120배 정도 높게 나타났다. 또한, 초기 과

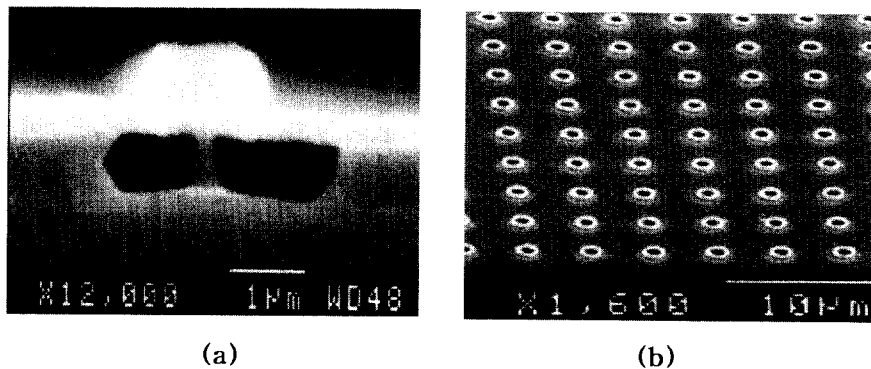


Fig. 4. SEM micrographs of the final (a) tip and (b) array.

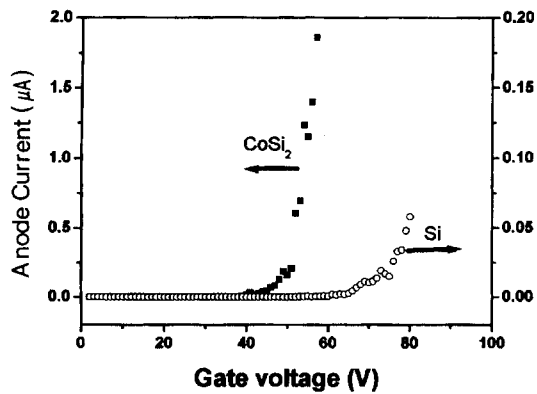


Fig. 5. Field emission currents of the unit pixel according to gate voltages at the anode voltage of 500V under the pressure of  $10^{-8}$  Torr.

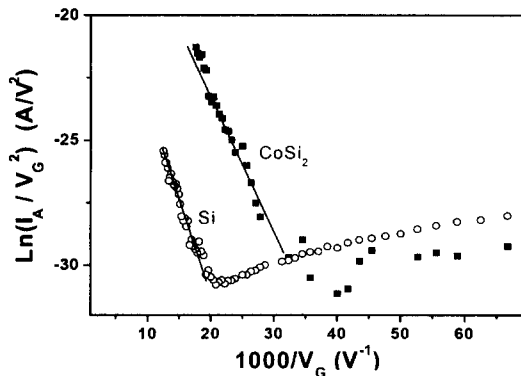


Fig. 6. Fowler-Nordheim plots of the anode currents.

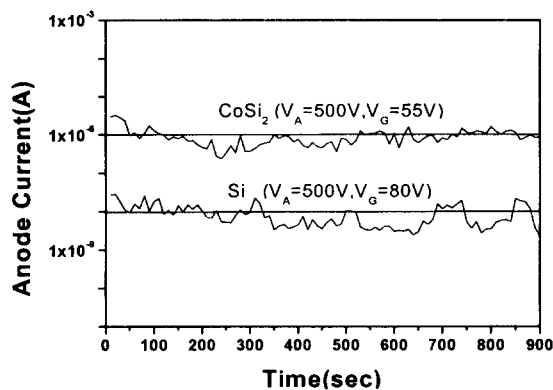


Fig. 7. Current variations according to the operation time.

도상태를 제외하면 Si FEA의 아노드전류는 구동시간에 따라 다소의 degradation과 fluctuation을 나타내었으나, Co-silicided Si FEA의 경우 거의 degradation됨이 없이 안정된 전류의 특성을 보였다.

Co-silicided Si FEA의 낮은 turn-on 전압과 높은 전자방출전류 및 고내구성 개선은 Si tip의 표면에 형성된 실

리사이드 박막의 높은 열화학적 안정성 및 낮은 일함수에 기인하는 것으로 판단된다.

결론적으로 Co-silicided Si FEA는 Si 공정기술의 장점을 그대로 살릴 수 있을 뿐만 아니라 전자방출전류의 증가와 함께 낮은 turn-on 전압, 높은 전류의 안정성 등의 특성개선으로 앞으로 새로운 고성능 field emitter array의 구조로서 활용이 기대된다.

감사의 글

이 논문은 1998년 한국학술진흥재단의 학술연구비(과제번호 : 98-E-4414)에 의하여 지원되었으며, 이에 감사드립니다.

참고 문헌

1. 이종덕, 전계방출 이론 및 응용, 청범출판사, (1998).
2. C. A. Spindt, I. Brodie, L. Humphrey, and E. R. Westerberg, *J. Appl. Physics*, **47**(12), pp.5248-5263, (1976).
3. E. G. Zaidman, *IEEE Trans. Electron Devices*, **40**(5), pp.1009-1016, (1993).
4. S. Uemura, T. Nagasako, J. Yotani, T. Shimojo, and Y. Saito, *SID 98 Digest*, pp.1052-1055, (1998).
5. G. K. Chang, D. G. Paik, J. M. Yoon, S. K. Lim, and H. J. Chang, *Korean J. of Mat. Research*, **8**(1), pp.10-12, (1998).
6. W. S. Lee, Jin Yu, and J. G. Kim, *The 18th Int. Display Research Conf.*, pp.681-684, (1998).
7. Fan SS, Chapline MG, Franklin NR, Tombler TW, Cassell AM, and Dai HJ, *Science*, **283**(5401), pp. 512-514, (1999).
8. C. C. Wang, T. K. Ku, L. J. Hsieh, and H. C. Cheng, *Jpn. J. Appl. Phys.*, **35**(6A), pp.3681-3685, (1996).
9. E. J. Chi, J. Y. Shim, and H. K. Baik, *Technical Digest of IVMC'96*, pp.188-191, (1996).
10. G. K. Chang, W. Y. Ohm, C. S. Shin, and H. J. Chang, *전자공학회논문지*, **33A**(11), pp.2251-2257, (1996).
11. J. H. Lee, S. W. Kang, Y. H. Song, K. I. Cho, S. Y. Lee, and H. J. Yoo, *J. Vac. Sci. Technol. B*, **16**(1), pp.238-241, (1998).
12. S. Y. Kang, J. H. Lee, Y. H. Song, Y. T. Kim, K. I. Cho, and H. J. Yoo, *Technical Digest of IVMC'97*, pp.376-380, (1997).