

Pd 코팅이 실리콘 전계 방출 어레이의 전자 방출에 미치는 영향

이종람 · 오상표 · 한상윤 · 강승렬* · 이진호* · 조경익*

포항공과대학교 재료금속공학과
*한국전자통신연구소 반도체 연구단

The Effect of Pd Coating on Electron Emission from Silicon Field Emitter Arrays

Jong-Lam Lee, Sang-Pyo Oh, Sang Youn Han, Seung-Youl Kang*, Jin Ho Lee* and Kyoung Ik Cho*

Department of Material Science and Engineering, Pohang University of Science and Technology (POSTECH)

*Semiconductor Technology Division, Electronics and Telecommunication Research Institute (ETRI)

(2000년 2월 12일 받음, 2000년 3월 22일 최종수정본 받음)

초 특 반응성 이온 식각과 산화막을 이용한 침예화 공정을 통하여 균일한 실리콘 팁 어레이를 제작한 후, 그 위에 Pd를 증착하여, Pd 코팅이 전계 방출특성에 미치는 영향에 대해 조사하였다. 어레이에 존재하는 표면 산화막을 제거한 후의 전계 방출 특성의 향상은 매우 작았으나, 100 Å의 Pd를 코팅한 후에는 30V의 구동전압이 감소하는 등 전계 방출특성이 크게 향상되었다. 이는 Pd 코팅에 의해 팁의 표면 거칠기가 증가하고, 전자가 방출되는 팁 끝부분의 반경이 감소하였기 때문이다. 한편 Pd를 코팅한 에미터는 높은 방출 전류 영역에서 우수한 동작 안정성을 보였다. 이를 통하여 Pd이 코팅된 실리콘 에미터가 고온에서의 동작과 표면안정성에서 우수한 특성을 보임을 알 수 있었다.

Abstract Uniform silicon tip arrays were fabricated using the reactive ion etching followed by the reoxidation sharpening, and the effect of Pd-coated layer on electron emission characteristics was studied. The electron emission from Si field emitter arrays (FEAs) was a little, but improved by removing surface oxide on the FEA, but pronounced drastically by coating a 100-Å-thick Pd metal layer. The turn-on voltage in the Pd-coated Si FEAs was reduced by 30 V in comparison with that in uncoated ones. This results from the increase of surface roughness at the tip apex by the Pd coating on Si FEA, via the decrease of the apex radius at which electrons are emitting. The Pd-coated emitters showed superior operating stability over a wide current range to that of the uncoated ones. This suggests that Pd coating enhances the high temperature stability and the surface inertness of Si FEA.

Key words : metal coating, semiconductor, reactive ion etching, atomic force microscopy (AFM), X-ray photoelectron spectroscopy (XPS)

1. 서 론

전계 방출 어레이(field emitter arrays, FEAs)는 초고주파 소자나 평판 디스플레이와 같은 진공 마이크로 일렉트로닉스의 전자원으로 사용되면서 관심이 증가하였으며, 특히 Spindt 방식의 전계 방출 어레이가 많이 연구되었다.^{1~3)} 한편 실리콘 어레이는 발달된 반도체 집적(integrated circuit, IC) 공정을 그대로 사용할 수 있는 장점 때문에 많은 연구와 관심이 집중되었다.^{4~10)} 최근, 팁의 침예화 공정, 박막 코팅 기술, 팁과 게이트 전극간의 간격을 줄이는 기술 등을 통해 보다 낮은 전압에서 구동할 수 있는 실리콘 전계 방출 케소드가 개발되고 있다. 이러한 실리콘 전계 방출 케소드의 개발을 위해서 lift-off 공정⁷⁾, 이온 충돌 방법¹¹⁾, 플라즈마 에칭 공정¹²⁾ 등이 사용되었으며, 여러 반도체 집적공정을 이용하여 게이트 전극과 팁 사이의 간격을 최소화할 수 있게 되었다.

실리콘 팁은 열적 안정성과 방출 재현성이 낮아서 내화금

속, 실리사이드, 다이아몬드상 카본(diamond-like carbon, DLC), 나노튜브^{13~16)} 등으로 팁을 코팅하는 연구가 활발히 진행되어 왔다. 실리콘 팁에 이와 같은 물질층을 코팅함으로써 구동전압이 감소하고, 열적 안정성과 방출 전류가 증가하며, 또한 이온 충돌에 의한 팁의 파손을 막아 수명을 증가시킬 수 있다. 특히 Mo은 전자 방출 도중에 우수한 열적 안정성을 나타내어 우수한 실리콘 코팅 물질로 연구되었다.^{5, 6, 17, 18)} 그러나 Pd으로 코팅한 실리콘 팁의 전계 방출 특성에 대해서는 아직 연구된 바가 없으며, 금속으로 팁을 코팅하였을 때 전계 방출 특성이 향상되는 원인에 대해서 현재까지 명백하게 밝혀진 바가 없다.

본 연구에서는 반응성 이온 식각 공정과 산화막을 이용한 침예화 공정을 통해 균일한 실리콘 어레이를 제작한 후, Pd를 증착하여 Pd코팅이 전계 방출 특성에 미치는 영향을 조사하였다. 원자간력 현미경(atomic force microscopy, AFM)과 X선 광전자 분광기(X-ray photoelectron spectroscopy, XPS) 분석을 통하여 Pd코팅에 의한 전계 방출

향상 원인을 해석하였다.

2. 실험 과정

그림 1은 본 연구에 사용된 실리콘 어레이의 제작과정에 대한 공정흐름도이다. 비저항이 $10\Omega\text{mm}$ 인 (100) p-type 실리콘 wafer를 사용하였다. 400°C 에서 SiH_4 와 O_2 기체를 사용하여 저압력 화학기상 증착법 (low pressure chemical vapor deposition, LPCVD)으로 산화막을 형성하였고, 그 위에 직경이 $0.6\mu\text{m}$ 이고 disk 형태를 가진 etch-mask를 형성하였다.[그림 1(a)] 에미터 팁의 높이를 증가시키기 위해 SF_6 를 이용하여 기관을 등방 전식식각시킨 후, Cl_2+HBr 를 사용해 자기 향상 반응성 이온 식각 (magnetically enhanced reactive ion etching, MERIE) 방법으로 비등방 식각을 시행하였다. 이러한 과정을 통해 $1.2\mu\text{m}$ 높이의 실리콘 팁을 형성시켰다.[그림 1(b)] 920°C 에서의 전식 산화와 1000°C 의 습식 산화의 2단계 산화 과정을 통해, 실리콘 팁의 끝부분을 뾰족하게 하였고, 이를 그림 1(c)에 나타내었다. 위의 과정을 통해 형성된 열 산화막의 두께는 300nm 였다. 여기에 BHF (Buffered Hydrofluoric Acid) 용액으로 산화막을 제거함으로써 실리콘 팁을 완성하였다.[그림 1(d)] 이후, 기관 위에 $0.8\mu\text{m}$ 의 TEOS 산화막 (tetraethylthosilicate oxide)을 증착시켰고, 그 위에 sputtering을 통해 $0.2\mu\text{m}$ 두께의 $\text{Ti}_0.1\text{W}_{0.9}$ 게

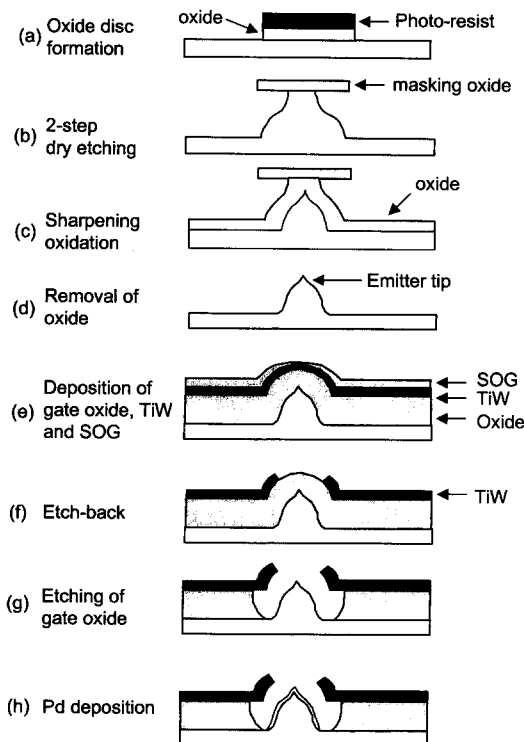


Fig. 1. Schematic cross-sectional diagrams for fabrication process of Si field emitter array; (a) oxide disc formation, (b) two-step dry etching, (c) tip sharpening by thermal oxidation, (d) formation of emitter tip by removal of thermal oxide, (e) deposition of gate oxide, TiW and SOG, (f) etch-back of SOG, (g) selective wet etching of gate oxide, and (h) deposition of Pd on the Si tip.

이트 전극을 형성하였다. 그 후, SOG (Spin-On-Glass)를 $0.2\mu\text{m}$ 코팅시킨 후,[그림 1(e)] etch-back 공정을 TiW의 전식 식각 과정을 통하여 팁의 상부 산화막을 노출시켜 게이트 전극을 형성하였다.[그림 1(f)] 게이트의 테두리 모양은 식각 과정중의 식각 시간에 의해 결정되었다. 케소드에서 게이트 전극을 분리하기 위해 BHF를 사용하여 게이트 산화막을 선택적으로 제거하여 3극 구조의 실리콘 팁을 완성하였다.[그림 1(g)] 금속 코팅이 전계 방출에 미치는 영향을 분석하기 위해 100\AA 의 Pd를 전자선 증착 장치를 이용하여 10^{-6}Torr 미만의 진공에서 증착하였다.

그림 2는 위 과정을 통해 제작된 Pd 증착 전의 실리콘 팁의 단면 SEM 사진이다. 열산화법을 사용했기 때문에 팁 끝의 반경이 매우 작음을 알 수 있다. 한편 100\AA 의 Pd 증착한 후에도 실리콘 팁 끝의 모양은 변하지 않았다.

위 방법을 통해 제작된 전계 방출소자는 고진공의 ($<10^{-7}\text{Torr}$) 측정 챔버에서 Keithley 487 picoammeter/voltage source를 이용하여 전계 방출 특성을 측정하였다. 아노드와 게이트 사이의 거리를 $500\mu\text{m}$ 로 고정한 채, 아노드에 400V 를 걸어준 상태에서 게이트 전압을 2초에 1V 씩 110V 까지 증가시키면서 아노드와 게이트의 전류 변화를 동시에 측정하였다.

3. 결과 및 고찰

그림 3은 2809개의 팁을 가진 어레이에서, 게이트 전압을 증가시켰을 때의 Pd 코팅 전과 후의 아노드 전류의 변화를 나타내고 있다. 시편 표면에 존재하는 오염물질에 의한 영향을 배제하기 위하여 모든 실험 값은 0V 에서 100V 까지 3번 scan한 후에 얻었다.⁷⁾ Pd를 코팅한 후에 실리콘 팁의 전계 방출 특성이 향상되었다. 방출 전류의 크기가 증가하였으며 구동전압이 코팅전보다 크게 감소하였다. 본 연구에서는 팁당 1nA 의 전류가 흐르기 시작할 때의 게이트 전압을 구동전압으로 정의하였다. 코팅 전의 전계 방출 구동전압은 79V 로 측정되었으나, Pd 코팅 후에는 49V 로 감소하였다.

그림 4는 실리콘 어레이와 Pd이 코팅된 실리콘 어레이의 Fowler-Nordheim (F-N) 곡선이다. Pd 코팅 전과 후의 그래프 모두 직선성을 보였다. 따라서 측정된 전자는 전계 방출에 기인함을 알 수 있었다. 그림 4에서 보듯이 Pd를 코팅한 실리콘 어레이의 기울기 절댓값은 실리콘 어레이의 기울기의 절댓값보다 작음을 알 수 있었다.

Fowler-Nordheim (F-N) 이론에 의하면 전계 방출 전류 I_e 와 가해진 게이트 전압 V_g 사이에는 식(1)과 같은 관계를 갖는다.

$$\log(I_e/V_g^2) = A/V_g + B, \quad (1)$$

식 (1)에서 A와 B는 각각

$$A = -2.82 \times 10^7 \phi^{3/2} / \beta \quad (2)$$

$$B = \log(1.4 \times 10^{-6} \alpha \beta^2 / \phi) + 4.26 / \phi^{1/2} \quad (3)$$

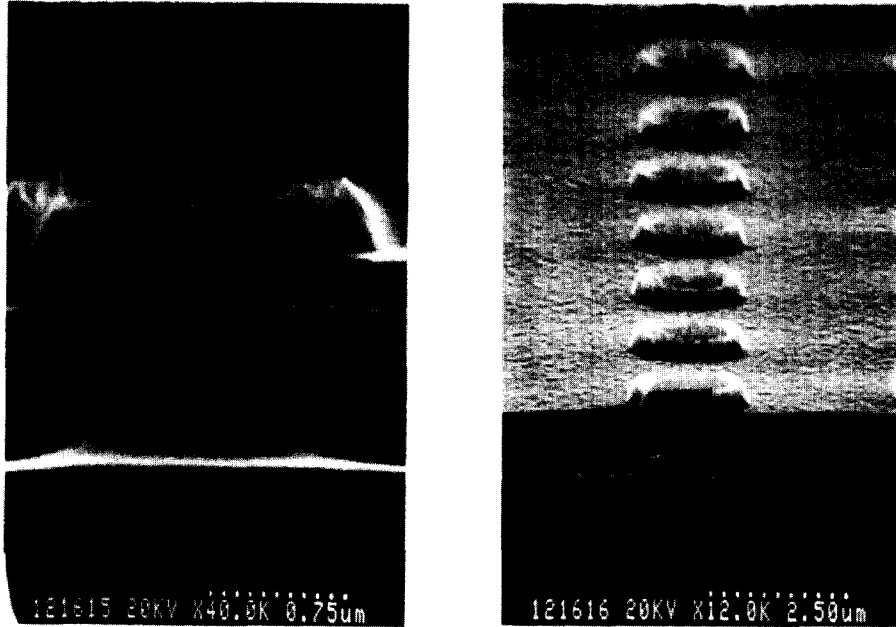


Fig. 2. Cross-sectional scanning electron micrographs of the uncoated Si tips fabricated using the process steps in Fig. 1.

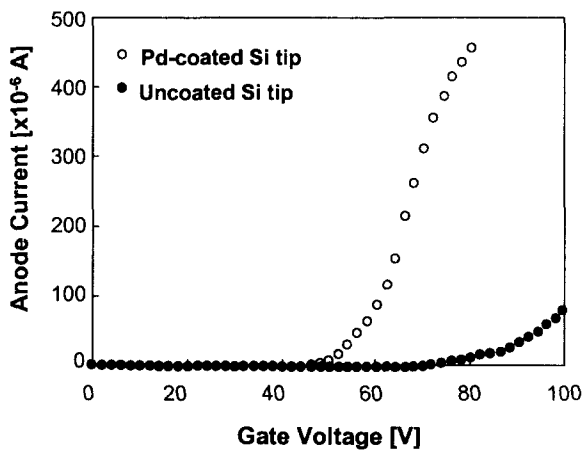


Fig. 3. Change of anode current (I_a) with the gate voltage (V_g) for both the uncoated and Pd-coated Si FEA with 2809 tips.

로 표현되어질 수 있다. 여기서 ϕ 는 일 함수이며, β 는 전계 향상함수, α 는 전계 방출 면적이다. F-N plot에서 기울기 A는 $\phi^{3/2}$ 과 β^{-1} 에 비례하며, β 는 팁 끝부분의 반경에 반비례한다. 따라서 팁 끝부분의 반경이 커질수록, 그리고 일 함수가 커질수록 기울기의 절대값은 커진다.

F-N 이론에 따르면 물질의 일 함수, 에미터 끝의 형태 및 방출 면적에 의해 전계 방출 전류가 결정된다. F-N plot에서 기울기는 식 (2)에 나타난 바와 같이 $-\phi^{3/2}/\beta$ 에 비례한다. 한편 y절편은 식 (3)에서 보듯이, 3가지 변수인 일 함수와 전계 향상 함수, 그리고 전계 방출 면적에 의해 결정된다. 따라서 기울기는 오직 2개의 함수만을 포함하고 있기 때문에 방출 특성을 평가하는데 더욱 유리하다. 관찰된 바와 같이 기울기의 절대값 감소는 일 함수의 감소와 (또는) 전계 향상함수의 증가를 의미한다. 즉 에미터 팁의 끝부분이 더욱 뾰족해졌음을 뜻한다. 그러나 증착 전 실리콘 팁의 일 함수와 에미터 끝부분의 반경을 알 수 없기 때

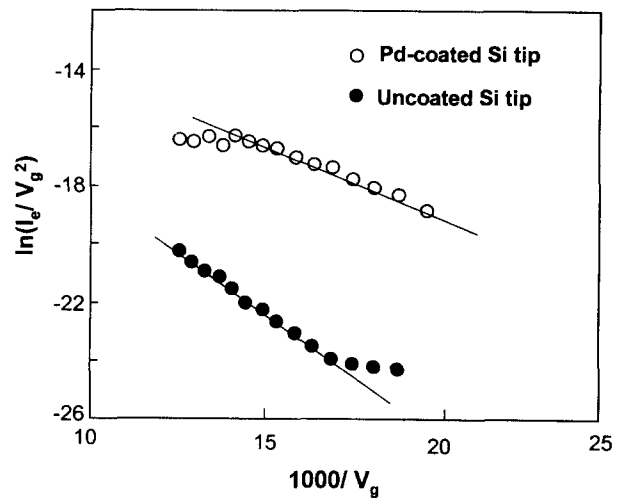


Fig. 4. Fowler-Nordheim (F-N) plots for both the uncoated and Pd-coated Si FEAs.

문에, F-N 분석만으로는 전계 방출특성 변화에 대한 정량적인 계산이 불가능하다. 따라서 방출 특성 분석과 표면 특성분석을 연결하여, Pd증착에 의한 아노드 전류의 증가 원인을 규명하였다.

표면 산화막이 전계 방출에 미치는 영향을 알아보기 위해, 실리콘 어레이의 표면 산화막과 전계 방출 I-V특성과의 관계를 조사하였다. XPS를 통한 표면 분석을 위해, 시편은 그림 1과 동일한 과정으로 준비하였다. 제작과정에서 형성된 표면 산화막을 제거하기 위하여 묽은 불산 용액 ($\text{HF} : \text{H}_2\text{O} = 1 : 100$)에 1분간 담겼다. XPS를 이용하여 불산 표면처리에 따른 실리콘의 표면상태를 조사하였다. 그림 5에서 보듯이 표면 처리 전의 시편에서는 Si-O 결합이 관찰되었으나, 묽은 불산 용액 처리 후에는 관찰되지 않았다.

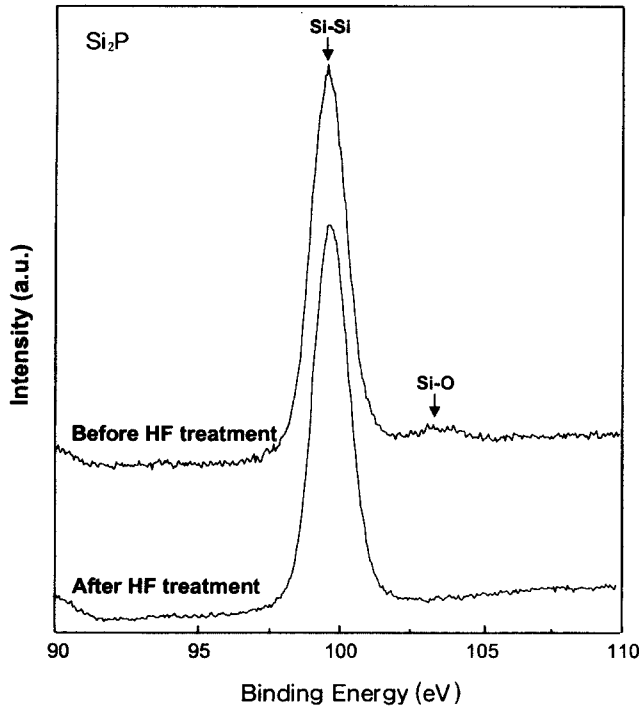


Fig. 5. XPS analysis of Si surfaces with the surface treatment using the dilute HF solution (HF : H₂O = 1 : 100) for 1min.

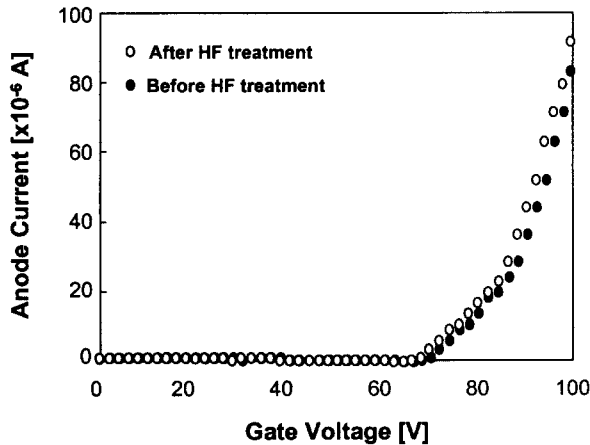


Fig. 6. Effects of the surface treatment using the dilute HF solution (HF : H₂O = 1 : 100) for 1min on the I_c-V_g characteristics of Si FEA.

불산 처리 전과 후의 전자방출 특성 변화를 관찰하기 위하여 동일한 표면처리를 실리콘 어레이에 시행하였다. 그림 6은 불산 처리 전과 후의 전계 방출 특성으로, 표면 산화막이 I-V 특성에 미치는 영향을 보여주고 있다. 표면 산화막을 제거하였으나, 전자 방출 특성이 크게 향상되지는 못했다. 이를 통해 실리콘 어레이에 존재하는 표면 산화막이 전계 방출 특성에 큰 영향을 미치지 못함을 알 수 있었다.

AFM을 통해 Pd 코팅 전과 후의 실리콘 팁의 표면 거칠기를 분석하였다. 그림 1에 나타난 뾰족한 에미터의 제작과정 중 disk모양의 산화막 형성과정 없이, 그림에 나타난 공정과정을 거쳐 시편을 준비하였다. 따라서 시편의 표면 거칠기는 어느 정도 팁의 표면 거칠기를 반영할 수 있고, 이

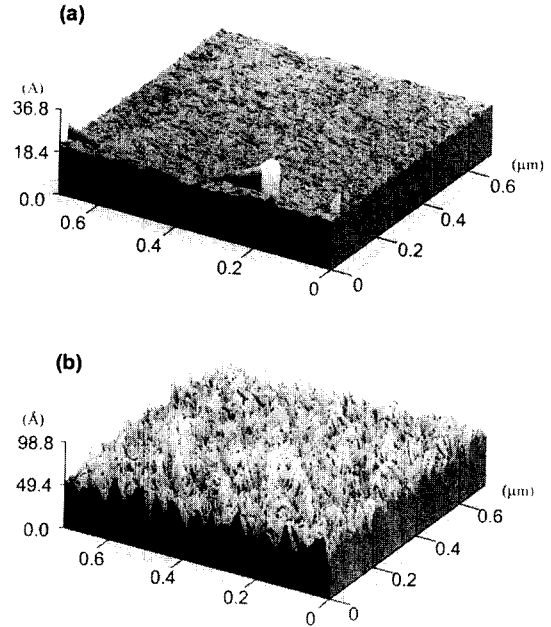


Fig. 7. AFM images; (a) the uncoated Si surfaces and (b) Pd-coated Si surfaces.

를 통해 실제 에미터 팁의 표면 거칠기를 짐작할 수 있다. Pd 코팅을 통하여 표면 거칠기가 증가하였다. 코팅 전의 실리콘 기판의 평균 거칠기(rms)는 그림 7(a)에서 보듯이 3.2Å 이었으나, Pd를 코팅한 후의 평균 거칠기는 그림 7(b)와 같이 9.7Å으로 증가하였다. 이는 원자적 관점에서 볼 때 전자가 방출되는 팁 끝부분의 거칠기도 함께 증가함을 짐작할 수 있고, 이는 팁 끝부분이 Pd 코팅에 의해 더욱 뾰족해지면서 반경이 감소되었음을 의미한다.

일차 선형 회귀분석을 통하여 얻은 A_{Si}와 A_{Pd}의 값은 각각 0.87과 0.45였으며, A_{Si}/A_{Pd}의 값은 1.93이었다. 서로 다른 물질의 방출 특성 비교를 위하여, F-N 방정식으로부터 F-N plot에 나타나는 직선의 기울기 간의 비율을 식 (4)와 같이 나타내었다.

$$(A_{Si}/A_{Pd}) \propto (\phi_{Si}/\phi_{Pd})^{3/2} (\beta_{Pd}/\beta_{Si}) = (\phi_{Si}/\phi_{Pd})^{3/2} (r_{Si}/r_{Pd}) \quad (4)$$

실리콘의 일 함수를 4.5eV, Pd의 일 함수를 5.12eV로 가정하면 $(\phi_{Si}/\phi_{Pd})^{3/2}$ 의 비율은 0.82로써 이는 식 (4)의 왼쪽 항의 계산 값인 1.93보다 훨씬 작은 값을 갖는다. 따라서 (r_{Si}/r_{Pd}) 의 값은 2.35로 계산되었다. 이를 통해 Pd를 코팅한 어레이의 기울기가 감소하는 것은 Pd코팅으로 인해 팁 끝부분의 반경이 감소하기 때문으로 생각된다. 팁 끝부분의 반경이 감소함으로써, 실리콘 팁의 전계 향상수가 증가하여 전계 방출 전류가 증가하게 되었다.

그림 8의 (a)와 (b)는 각각 Pd 코팅 전과 후의 실리콘 어레이에서 게이트 전압을 가한 처음 30분간, 시간에 따른 전계 방출 전류의 변화를 보여주고 있다. 아노드 전압은 400V, 게이트 전압은 70V로 고정된 후, 시간에 따른 방출 전류를 측정하였다. 그림 8(a)에서 보듯이 코팅이 되지 않

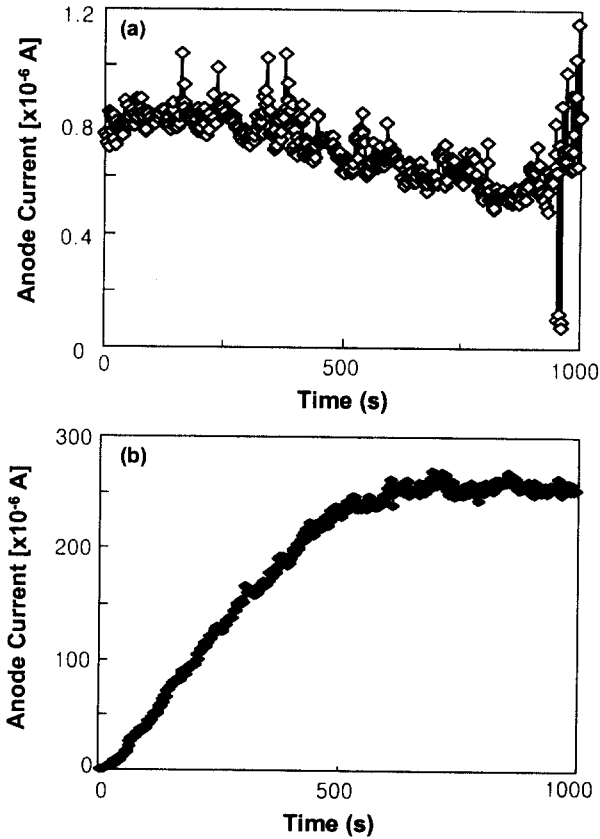


Fig. 8. The time-dependent emission characteristics; (a) the uncoated, and (b) Pd-coated Si FEAs, (gate voltage = 70V and anode voltage = 400V).

은 실리콘 팁의 경우, 측정 시간이 지남에 따라 방출 전류가 불안정하였으며 연속적으로 감소하는 것이 관찰되었다. 반면에 Pd이 증착된 팁의 경우 시간의 경과에 따라 방출 전류가 증가하는 특성을 보이다가, 측정 10분 후에 방출 전류 값이 saturation 되었으며, 안정된 방출 특성을 나타내었다. 실리콘 팁에 나타난 불안정한 전자 방출 경향은 Pd ($1.08 \times 10^{-4} \Omega\text{mm}$) 보다 10^5 배 높은 실리콘 ($10 \Omega\text{mm}$)의 비저항값 때문이다. 따라서 실리콘 팁의 경우 높은 전계에 의해 전자가 방출됨과 동시에 팁 부분이 가열되면서 방출 특성이 불안정해진다. 그림 8의 (a), (b)에서 측정 10분 후의 아노드 전류를 비교했을 때, Pd 코팅 후에 방출 전류가 약 330배 증가하였다. 이를 통해서, Pd으로 팁을 코팅하면 고온에서의 소자 동작이 향상되고 우수한 표면 안정성을 가지게 됨을 알 수 있었다. 이는 Pd이 뛰어난 열적 안정성과 표면특성을 갖기 때문이다.

4. 결 론

반응성 이온 식각과 산화막을 이용한 팁 첨예화 과정을 통하여 균일한 실리콘 팁 어레이를 제작하였으며, 그 위에 Pd을 증착하여 Pd 코팅이 전계 방출 특성에 미치는 영향에 대해 연구하였다. 팁 당 1nA의 전류가 흐르기 시작할 때의 게이트 전압을 구동전압이라고 정의하면, 실리콘 어레이의 구동전압은 79V이었다. 실리콘 어레이의 표면 산화막

을 제거하였을 때, 전계 방출 특성은 크게 향상되지 못하였다. 그러나 실리콘 어레이에 100Å의 Pd을 증착한 후에는 구동전압이 증착 전보다 약 30V 감소하였으며 방출 특성이 향상되었다. Pd의 증착으로 표면 거칠기의 평균값이 3.2Å에서 9.7Å으로 증가하였으며, 이를 통해 전자가 방출되는 팁 끝부분의 반경이 감소함을 알 수 있었다. 70V의 게이트 전압과 400V의 아노드 전압을 실리콘 팁에 가한 후, 시간에 따른 방출 전류의 변화를 관찰하면, 시간의 경과에 따라 방출 전류가 불안정하였으며 연속적으로 감소하였다. 반면에 Pd이 코팅된 팁의 경우 시간이 지남에 따라 방출 전류가 증가하는 특성을 보이다가 측정 10분후 saturation 되었으며, 안정된 방출 특성을 나타내었다. 따라서 Pd이 코팅된 실리콘 에미터가 우수한 동작특성을 나타냄을 알 수 있었다. 이는 Pd이 뛰어난 열적 안정성과 우수한 표면특성을 갖기 때문이다.

감사의 글

본 연구는 한국 과학재단 특정목적 기초과제 (과제번호: 96-0300-46-3) 지원에 의해 수행되었으며, 이에 감사드립니다.

참고 문헌

1. P. R. Schwoebel and I. Brodie, *J. Vac. Sci. Technol.* **B 12**, 1391 (1995).
2. S. Iannazzo, *Solid-State Electron.* **36**, 301 (1993).
3. C. A. Spindt, C. E. Holland, A. Rosengreen, and I. Brodie, *IEEE Trans. Electron Dev.* **38**, 2355 (1991).
4. A. A. Talin, T. E. Felter, and D. J. Devine, *J. Vac. Sci. Technol.* **B 13**, 448 (1995).
5. H. S. Uh, B. G. Park, and J. D. Lee, *IEEE Electron Dev. Lett.* **19**, 167 (1998).
6. H.-W. Park, B.-K. Ju, Y.-H. Lee, J.-H. Park and M.-H. Oh, *Jpn. J. Appl. Phys.* **35**, L1301 (1996).
7. S.-Y. Kang, J. H. Lee, Y.-H. Song, Y. T. Kim, K. I. Cho, and H. J. Yoo, *J. Vac. Sci. Technol.* **B 16**, 871 (1998).
8. D. W. Branston and D. Stephani, *IEEE Trans. Electron Dev.* **38**, 2329 (1991).
9. J. J. Hickman, G. Bergeron, M. Czarnaski, and D. A. Kirkpatrick, *Appl. Phys. Lett.* **61**, 2518 (1992).
10. J. Ishikawa, H. Tsuji, Y. Gotoh, T. Sasaki, T. Kaneko, M. Nagao, and K. Inoue, *J. Vac. Sci. Technol.* **B 11**, 403 (1993).
11. O. Auciello, L. Yadon, D. Temple, J. E. Mancusi, G. E. McGuire, and E. Hirsch, 8th Int. Vacuum Microelectronics Conf., Tech. Dig. 1995, p. 192.
12. P. R. Schwoebel and C. A. Spindt, *J. Vac. Sci. Technol.* **B 12**, 2414 (1994).
13. F. Y. Chuang, C. Y. Sun, H. F. Cheng, C. M. Huang, and I. N. Lin, *Appl. Phys. Lett.* **68**, 1666 (1996).

14. T. Sugino, K. Kuriyama, C. Kimura, and S. Kawasaki, *Appl. Phys. Lett.* **73**, 268 (1998).
15. O. M. Kuttel, O. Groening, C. Emmenegger, L. Schlapbach, *Appl. Phys. Lett.* **73**, 2113 (1998).
16. A. Hart, B. Satyanarayana, W. I. Milne, and J. Robertson, *Appl. Phys. Lett.* **74**, 1594 (1999).
17. B. R. Chalamala, R. M. Wallace, and B. E. Gnade, *J. Vac. Sci. Technol. B* **12**, 2414 (1994).
18. F. Ito, K. Komura, A. Okamoto, A. Yano, and S. Miyano, *J. Appl. Phys.* **15**, 6267 (1997).