

신경신호기록용 능동형 반도체미세전극을 위한 CMOS 전치증폭기의 잡음특성 설계방법

김경환 · 김성준

서울대학교 공과대학 전기공학부
(2000년 3월 24일 접수, 2000년 7월 22일 채택)

Noise Performance Design of CMOS Preamplifier for the Active Semiconductor Neural Probe

K.H. Kim and S.J. Kim

School of Electrical Engineering, College of Engineering, Seoul National University
(Received March 24, 2000, Accepted July 22, 2000)

요약 본 논문에서는 신경신호기록을 위한 반도체 미세전극용 전치증폭기의 잡음특성을 설계하기 위한 체계적인 방법을 제시한다. 세포외기록(extracellular recording)에 의하여 측정된 신경신호와 전형적인 CMOS소자의 저주파 잡음특성을 함께 고려하여 전체 신호대잡음비를 계산하였다. 2단 CMOS 차동증폭기에 대한 해석과 함께 신호대잡음비에 중요한 영향을 끼치는 요소들에 대하여 설명하였다. 출력잡음전력에 대한 해석적인 식을 유도하였으며 이로부터 회로설계자가 조절할 수 있는 주파수응답과 소자 파라미터들을 결정하였다. 입력 소자의 크기와 트랜스컨덕턴스의 비가 최적영역으로부터 약간 벗어날 경우에 신호대잡음비가 크게 저하됨을 보였다. 이와 함께 만족스런 잡음특성을 위한 증폭기의 설계 변수 값들도 제시하였다.

Abstract: We present a systematic design guideline for the noise performance of preamplifier for the semiconductor neural probe with on-chip electronics. Overall signal-to-noise ratio (SNR) is calculated considering the spectral characteristics of measured extracellular action potential and low-frequency noise spectrum of typical CMOS devices. Analysis of SNR for a two-stage CMOS differential amplifier is given and important factors having significant effects on SNR are determined. Analytical expression of the output noise power is derived, and utilized to tailor the frequency response and device parameters controllable by the circuit designer. It is shown that a little deviation of the input device sizes and transconductance ratio from the optimal values significantly deteriorates SNR. Quantitative information of the preamplifier circuit parameters for satisfactory noise performance is provided.

Key words: Extracellular recording, Active neural probe, CMOS Differential amplifier, Signal-to-noise ratio

서 론

미세전극에 의한 세포외신경신호의 기록은 신경계를 세포외에서 연구하기 위한 가장 중요한 방법 중 하나이다 [1]. [2] 과거에는 금속전극이 사용되어왔으나 크기 및 형태를 재현성있게 제작할 수 있도록 하기가 힘들었고 따라서 잘 제어된 형태의 실험이 어려웠다. 더욱이 전극부착부위를 축소시키는데 있

어서의 한계 때문에 많은 뉴런들로부터 동시에 신경신호를 측정하는데 있어서의 제약도 따랐으나, 최근 반도체제작공정의 발전에 힘입어 이러한 상황이 크게 개선되었다. 반도체공정을 이용하면 전극의 위치, 크기 및 임피던스 레벨을 정확히 정의할 수 있으며 전극간 거리가 미세하게 조절된 전극어레이도 제작할 수 있으므로 중추 및 말초신경계에서 뉴런과 이들의 네트워크의 활동을 동시에 관찰하는 것이 가능해졌다 [3]-[6].

또 반도체미세전극에 있어서의 중요한 커다란 장점은 능동 회로를 전극과 단일기판으로 집적할 수 있다는 사실이다. 이로써 외부 신호처리회로의 상당부분을 제거할 수 있고 전극과 전치증폭기가 단일 칩 상에 위치하기 때문에 연결선으로부터의 전자기적 간섭에 의한 잡음이 크게 줄어들 수 있다. 또 벌티플

통신저자 김성준, (151-742) 서울 관악구 신림동 산 56-1 서울대학교
전기공학부 301동 1006호
Tel. (02)880-5446, Fax. (02)872-9818
E-mail. khkim@helios.snu.ac.kr

렉서를 집적함으로써 외부로의 연결선의 수를 크게 줄일 수 있다. 그림 1(a)는 여러 개의 전극사이트와 능동회로를 포함한 능동형미세전극의 구조를 보여주고 있다. 그림 1(b)는 on-chip 회로의 블록도이다. 능동회로를 집적함으로써 얻어지는 가장 큰 이득은 on-chip amplification이 가능하다는 점이다. 이러한 형태의 전극의 한 예로, 저자들의 연구팀에서 개발한 반도체 미세전극어레이 [27]는 약 $100\mu\text{m}^2$ 크기를 갖는 금 (Gold)으로된 미세전극이 반도체기판상에 형성되어있다. 능동회로가 집적되어 있지는 않지만 그 제작공정이 CMOS 회로제작공정과 상호 호환적이다. 따라서 MOSIS(Metal-oxide-semiconductor implementation service)와 같이 널리 이용가능한 CMOS회로제작 서비스를 이용하여 회로집적을 위한 이후의 공정을 수행할 수 있다.

세포의측정방법에 의하여 측정된 신경신호는 수십-수백 μV 정도의 크기를 갖기 때문에 이후 신호처리를 위해서는 증폭이 반드시 필요하다. 그러나 신경신호의 작은 크기와, 전극사이트의 큰 임피던스 레벨로 인하여 전치증폭기의 잡음특성을 만족스럽게 하기 위해서는 주의 깊은 설계가 필요하다. 여기에 더하여 회로를 구성하는 반도체소자도 잡음을 발생시키는데 특히 신경신호 대역인 약 50 Hz 에서 5 kHz의 주파수 영역에서 MOSFET은 큰 잡음전력밀도를 갖는다 [11]-[13]. 이 좋지 못한 잡음특성은 주로 $1/f$ 잡음으로 인한것이다. $1/f$ 잡음에 대한 정확한 이론적 해석은 아직까지 제시되고 있지 못하지만 대략 $1/f$ 잡음은 MOSFET의 게이트 면적과 게이트 산화막의 특성 커패시턴스에 반비례한다고 알려져 있으며 실험적으로도 입증되고 있다 [11]-[13]. 따라서 $1/f$ 잡음의 영향을 줄이기 위해서

는 큰 게이트 면적이 필요하다. 반면 집적회로 설계 시, 특히 수백 개의 채널에 이르는 어레이 형태의 능동전극을 고려하면 레이아웃 면적을 줄일 필요가 커지므로 잡음 특성에 대한 요구조건을 만족시키면서 회로면적을 최소화하는 것이 바람직하다고 할 수 있다. 따라서 주어진 회로가 필요로 하는 기준을 만족시키는 지의 여부를 확인할 수 있는 신뢰성 있는 방법이 필요하다. 이러한 목적을 위해서는 전극과 증폭기의 잡음 특성, 김출하고자 하는 신호의 특성, 이후 시스템에서 요구되는 신호 대잡음비(signal-to-noise ratio, SNR) 등에 대한 구체적인 정보를 필요로 한다 [25]

본 논문에서는 신경신호기록용 능동전극의 저잡음 전치증폭기를 위한 체계적인 설계방법을 제시한다. 이 능동전극의 목적은 만족스런 SNR을 갖는 증폭된 extracellular recording을 외부로 전달하기 위한 것이다. 저잡음 아날로그 회로를 위하여 특별히 최적화되지 않은, 보통의 CMOS 공정을 이용하여 필요한 잡음특성을 만족시키는 전치증폭기를 설계하기 위한 방법을 제시하였다.

II. Extracellular Neural Signal Acquisition을 위한 저잡음전치증폭기의 설계

1. 전치증폭기 설계시의 잡음특성에 대한 고려사항

통신시스템이나 계측시스템의 설계에 있어서, 최전단 증폭기(front-end amplifier)의 잡음 특성은 입력신호의 최저 레벨을 결정하기 때문에 이에 대한 고려는 매우 중요하다. 고려하는 신호에 더해지는 모든 원하지않는 신호들은 잡음으로 간주해야

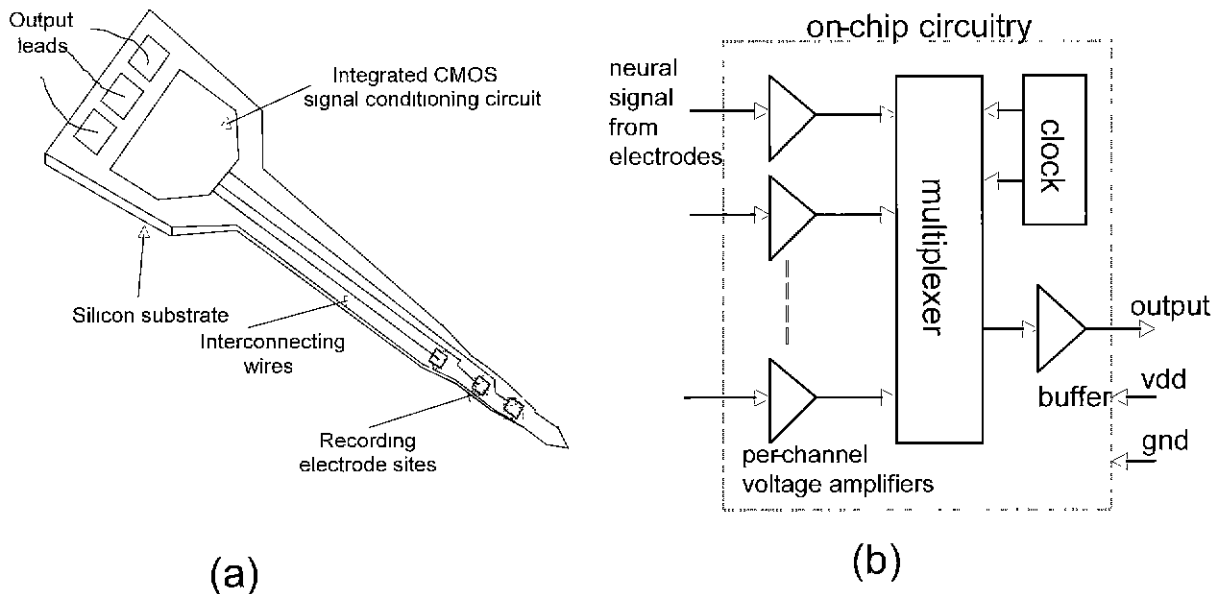


그림 1. (a) 능동형 미세전극의 개략도. 다수의 전극사이트와 신호처리회로가 동일한 실리콘 기판상에 집적되어 있다. (b) 능동형 전극을 위한 on-chip 회로의 한 예(블록도)

Fig. 1. (a) Schematic diagram of the active electrode. Multiple electrode sites and signal conditioning circuitry is integrated on a silicon substrate. (b) Block diagram of an example on-chip circuit of the active electrode

한다. 주요한 잡음원은 크게 두 가지 범주로 나눌 수 있다. 하나는 전력선으로부터의 60Hz 잡음과 같은 외부로부터의 진자기적 간섭(electromagnetic interferences, EMI)에 의한 것으로 적절한 차폐, 접지 및 절연 등을 통하여 이를 감소, 혹은 제거할 수 있다. 집적회로의 경우에는 적절한 레이아웃이 필요하다. 다른 하나는 능동 및 수동 전자소자들 내에서의 물리적 과정들의 random fluctuation들에 의한 것이다. 본 논문에서의 주요 관심사는 회로설계과정에서의 최적화를 통하여 이러한 소자 자체에서 발생하는 잡음을 요구조건에 맞게 최소화 시키는 것이다. 시스템이 PCB 기판 등에 개별 컴포넌트들로 구성될 경우에는 요구조건을 만족시키기 위하여 저잡음 특성을 갖는 소자를 특별히 사용하는 방법을 택할 수 있으나 집적회로설계의 경우 소자는 주어진 제작공정에 의하여 제한된다. 현재의 집적회로와 미세전기기계시스템(micro-electromechanical system, MEMS)의 대부분은 CMOS 기술을 이용하여 제작되고 있다. 그런데 CMOS 회로를 이루는 MOSFET은 JFET이나 바이폴라 트랜지스터에 비하여 특히 1/f 잡음이 우세한 저주파수 대역에서 좋지 못한 잡음특성을 보인다. 신경신호용 능동전극 역시 CMOS 집적회로 및 MEMS 기술을 바탕으로 하여 제작되기 때문에 MOSFET의 나쁜 잡음특성은 큰 문제를 야기할 수 있다.

저주파대역에서 저잡음 CMOS 증폭기를 구현하기 위하여 많은 노력이 있어 왔다. Correlated double sampling, auto-zeroing [24] 등의 방법이 오프셋 및 저주파잡음 감소를 위하여 제안되어 사용되었으나 이는 증폭기가 sampled-data system의 한 부분일 경우 좋은 해결책이다. 그러나 신경신호 기록과 같은 연속시간시스템으로의 응용은 불가능하다.

출력잡음전력은 등가입력잡음원과 회로의 전달함수로부터 다음과 같이 계산할 수 있다.

$$\sigma_{out}^2 = \int |H(f)|^2 N_m(f) df \tag{1}$$

여기서 $H(f)$ 는 시스템의 전달함수, $N_m(f)$ 는 총 등가 입력잡음밀도로 전극입피턴스와 증폭기의 회로구조 및 구성소자로부터 결정된다. $N_m(f)$ 을 결정하는 잡음원은 전극의 등가입피턴스 중 저항성 성분으로부터 기인하는 열잡음(thermal noise) [26]와 증폭기를 구성하는 능동 반도체소자들로부터의 소자잡음(device noise)이다. 반도체소자에서는 열잡음, 1/f 잡음, 산탄잡음(shot noise) 등 3가지의 주요한 메커니즘에 의하여 전체 소자잡음이 발생한다 [11], [12]. 열잡음은 전도체내에서의 전송자의 열적여기(thermal excitation)에 의한 것으로 절대온도에 비례하는 백색 전력스펙트럼을 갖는다. 산탄잡음 역시 백색 전력스펙트럼을 보이며 DC 바이어스 전류에 의존한다. MOSFET에서는 게이트의 바이어스 전류를 무시할 수 있으므로 산탄잡음이 무시된다 [13]. 1/f 잡음은 위의 3가지 메커니즘 중에서 가장 이론적인 설명이 부족하지만 대체로 잡음전력밀도를 다음과 같이 표현할 수 있음이 알려져 있다 [9], [13], [18].

$$N_{1/f}(f) = \frac{K}{C_m} \frac{1}{f^\alpha} \tag{2}$$

위의 식 (2)에서 L 은 게이트 길이, W 는 게이트 폭, C_m 는 게이트산화막의 단위면적당 커패시턴스값이며 K 와 α 는 주어진 공정에 따른 파라미터들이다. 전력밀도가 주파수에 반비례하기 때문에 저주파 영역에서 그 기여도가 커지게 된다. 식 (2)로부터 소자의 면적을 크게 함으로써 잡음레벨을 낮출 수 있음이 명백하다. 하지만 시스템의 입력이 큰 입피턴스를 가지므로 (전극-전해액 간 등가 입피턴스 [15]) 증폭기의 입력입피턴스가 매우 커야한다. 또 능동형전극이 대체로 많은 수의 전극을 포함하므로 많은 수의 전치증폭기가 칩 상에 존재해야 한다. 만약 1/f 잡음의 영향을 줄이기 위해 단순히 면적을 증가시킨다면 넓은 면적의 기생 커패시턴스로 인하여 증폭기의 입력입피턴스가 줄어들고 또 넓은 칩 면적을 요구하므로, 면적을 줄이는 동시에 이후의 시스템에서 필요로 하는 잡음특성을 만족시킬 수 있도록 전치증폭기를 설계할 필요가 있다는 사실을 쉽게 알 수 있다.

2. Analytical Modeling을 통한 저주파 잡음특성의 설계 방법, 간단한 CMOS 차동증폭기

그림 2에 전형적인 3단 CMOS 차동 증폭기의 회로도가 나와있다. 이 회로구조로써 연산증폭기로의 응용에 충분할 정도로 큰 전압이득과 위상 마진을 얻을 수 있다 [9], [16], [18]. 본 논문에서의 신경신호 전치증폭기로써의 목적을 위해서 필요한 전압이득은 수백 정도이고 차단주파수는 수 kHz 정도이며 이 구조로써 쉽게 만족시킬 수 있다. 앞에서 언급한 바와 같이 출력 잡음은 등가입력잡음원과 전달함수로부터 계산할 수 있다. M1과 M2, M3와 M4가 각각 서로 동일한 소자일 경우 회

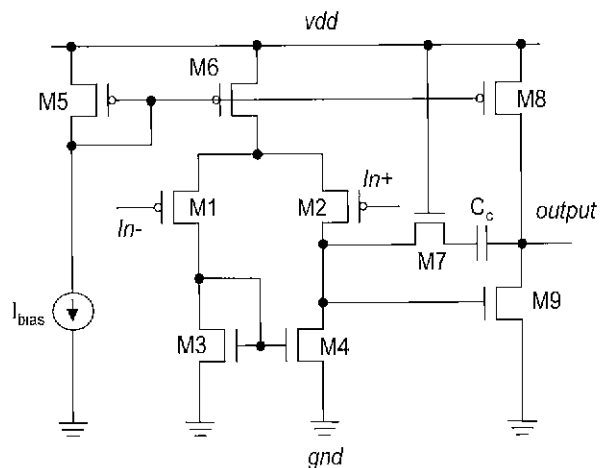


그림 2. CMOS 차동증폭기의 회로도
Fig. 2. Circuit diagram of CMOS differential voltage amplifier

로 해석으로부터 총 등가입력잡음원 $N_{in}(f)$ 은 다음과 같이 표현가능함을 알 수 있다 [17].

$$N_{in}(f) = N_{electrode} + N_{MOS,thermal} + N_{MOS,1/f}(f) \tag{3}$$

$$N_{electrode} = 4kT(R_{seal} + R_e) \tag{4}$$

$$N_{MOS,thermal} = \frac{16kT}{3g_{m1}} \left(1 + \left(\frac{g_{m1}}{g_{m1}}\right)^2\right) \tag{5}$$

$$N_{MOS,1/f}(f) = \frac{2}{C_n} \left(\frac{K_p}{L_1 W_1} + \frac{K_n}{L_2 W_2} \right) \left(\frac{g_{m1}}{g_{m1}} \right)^2 \frac{1}{f^\alpha} \tag{6}$$

여기서 g_{m1} 은 소자 M_1 의 트랜스컨덕턴스이고, R_{seal} 과 R_e 은 그림 3에 나와있는 전극-체액간 등가 임피던스의 구성요소로 각각 체액을 통한 누설전류성분을 설명하기 위한 성분과 금속-체액 간 이중층의 등가저항성분이며 그 자세한 물리적 의미는 [2]와 [15]에 설명되어있다. 식 [4]의 열잡음은 일반적인 저항에 의한 열잡음(Johnson noise)의 식과 동일하다[26]. K_p 와 K_n 는 각각 PMOS와 NMOS에 대한 K 파라미터들이다.

K_p , K_n 와 α 는 소자의 잡음스펙트럼 측정결과로부터 결정되며 α 는 약 0.7에서 1.2의 범위의 값을 갖는다. $N_{electrode}$, $N_{MOS,thermal}$ 와 $N_{MOS,1/f}(f)$ 는 각각 전극의 등가임피던스로 인한 입력잡음 전력 [26], MOS 소자의 열잡음에 의한 입력잡음전력, MOS 소자의 1/f 잡음에 의한 입력잡음전력을 나타낸다. 위의 식 (3)-(6)의 유도과정에서 증폭기의 첫번째 단의 능동소자와 전극으로부터의 영향만을 고려하였다 그림 2의 증폭기의 전달함수는 다음과 같은 2차 시스템 함수로 표현할 수 있다 [9]

$$H(f) = \frac{A(1 + j2\pi f / z)}{(1 + j2\pi f / p_1)(1 + j2\pi f / p_2)} \tag{7}$$

여기서 z , p_1 과 p_2 는 zero와 dominant pole 및 secondary pole의 각주파수이며 A 는 DC 전압이득이다 이들은 증폭기 등가회로의 소신호해석으로부터 얻을 수 있다. DC 전압이득은 SNR에 영향을 주지 못한다. Pole 및 zero의 위치는 전달함수를 변화시키기 때문에 출력 신호 및 잡음전력에 영향을 주어 전체 SNR에 영향을 미친다. 이러한 사실에도 불구하고 이전의 연구에서는 신경신호를 위한 전치증폭기의 설계 시 단지 수 kHz(6-10 kHz)의 차단주파수를 갖도록 하였다 [3], [5], [6].

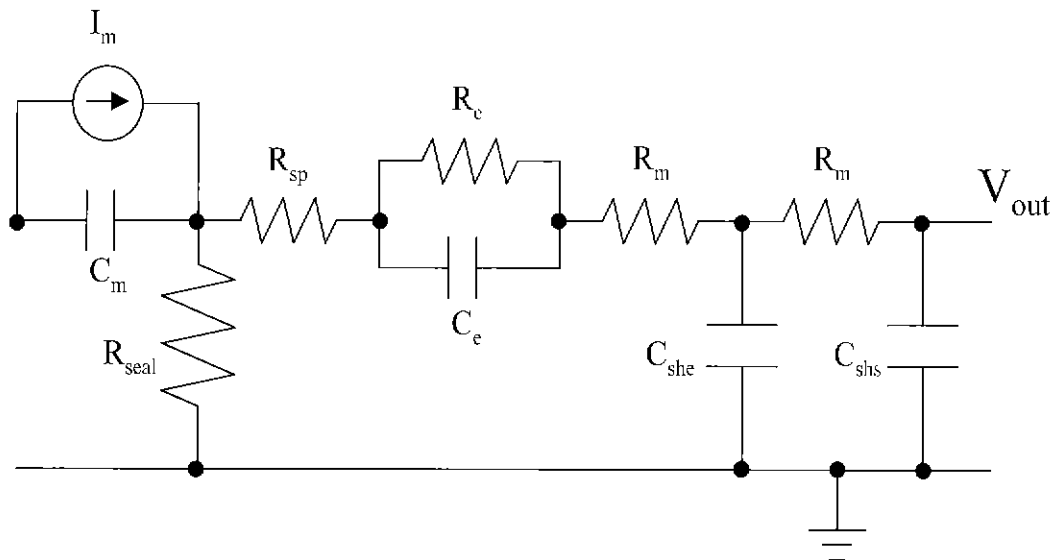


그림 3. 전극-전해액 계면의 등가회로 I_m 은 막전류로 Hodgkin-Huxley 모델 등에 의하여 계산할 수 있다 [22], [23] C_m 은 세포막의 커패시턴스이고, R_{sp} 는 체액의 spreading 저항, R_m 은 금속연결선의 저항, C_{she} 는 dielectric passivation 층을 통한 기생커패시턴스, C_{shs} 는 반도체 기판을 통한 기생커패시턴스이다 R_e 와 C_e 는 각각 금속-전해액 계면의 전기적 이중층(electrical double layer)의 등가저항 및 커패시턴스이다. R_{seal} 는 sealing 저항으로 체액을 통한 누설전류를 나타낸다 R_{sp} 와 R_m 는 R_e 와 R_{seal} 에 비하여 상대적으로 훨씬 작아서 전극의 열잡음 계산 시 무시한다

Fig. 3. Equivalent circuit of the electrode-electrolyte interface I_m is the current through the cell membrane and can be calculated from Hodgkin-Huxley-like model [22], [23] C_m is cell-membrane capacitance R_{sp} is spreading resistance of the saline R_m is the resistance of metal line C_{she} is parasitic capacitance through the dielectric passivation layer. C_{shs} is parasitic capacitance through the semiconductor substrate R_e and C_e is the equivalent resistance and capacitance of the electrical double layer at the metal-electrolyte interface R_{seal} is sealing resistance and represents the leakage current flow to the ground through the saline R_{sp} and R_m is relatively small compared to R_e and R_{seal} and thus ignored while calculating thermal noise of the electrode

본 논문에서는 출력잡음에 큰 영향을 미치는 요소들을 결정하고 이를 최적화하여 필요로 하는 SNR을 만족시키도록 하였다.

식 (3)-(7)로부터 총 출력잡음전력 σ_{out}^2 를 다음 식 (8)-(11)과 같이 표현할 수 있다.

$$\sigma_{in}^2 = \sigma_{i_k, v_{in}}^2 + \sigma_{V_{DS, th, mnl}}^2 + \sigma_{V_{DS, 1/f}}^2 \quad (8)$$

$$\sigma_{i_{k, v_{in}}}^2 = 4kT(R_{v_{in}} + R_i)A_i^2 \int_0^\infty \left| \frac{(1 + j2\pi f / z)}{(1 + j2\pi f / p_1)(1 + j2\pi f / p_2)} \right|^2 df \quad (9)$$

$$\sigma_{V_{DS, th, mnl}}^2 = \frac{16kT}{3g_{m1}} \left(1 - \left(\frac{g_{m2}}{g_m}\right)^2\right) A_i^2 \int_0^\infty \left| \frac{(1 + j2\pi f / z)}{(1 + j2\pi f / p_1)(1 + j2\pi f / p_2)} \right|^2 df \quad (10)$$

$$\sigma_{V_{DS, 1/f}}^2 = \frac{2A_i^2}{C_n} \left(\frac{K_v}{L_1 W_1} + \frac{K_v}{L_2 W_2} \left(\frac{g_{m2}}{g_{m1}}\right)^2 \right) \int_0^\infty \left| \frac{(1 + j2\pi f / z)}{(1 + j2\pi f / p_1)(1 + j2\pi f / p_2)} \right|^2 \frac{1}{f^\alpha} df \quad (11)$$

많은 경우에 α 를 1로 놓고 K 파라미터만으로 측정된 잡음 전력스펙트럼의 curve fitting을 만족스럽게 수행하는 것이 가능하며 본 논문에서도 이와 같이 하였다 [11], [18]. α 를 1로 놓고 위의 적분들을 f_L 에서 f_H 까지의 적분구간에서 계산하면 다음과 같은 출력잡음전력에 대한 표현식을 얻을 수 있다. 이 적분구간들은 이론적으로는 0과 무한대이어야 하나 실제의 경우 여러가지 원인에 의해 대역이 제한되고 또 신호대역에 비해 충분히 작은 값과 큰 값으로 놓을 경우 계산값에는 그리 큰 영향을 주지 않는다. 본 논문에서는 f_L 은 1 cycle/day에 해당하는 값인 1.1610^{-5} Hz로, f_H 는 5MHz로 놓고 계산하였다.

$$\sigma_{in}^2 = 4kT(R_{v_{in}} + R_i)A_i^2 I_1 + \frac{16kT}{3g_{m1}} \left(1 + \left(\frac{g_{m2}}{g_m}\right)^2\right) A_i^2 I_2 + \frac{2}{C_n} \left(\frac{K_v}{L_1 W_1} + \frac{K_v}{L_2 W_2} \left(\frac{g_{m2}}{g_{m1}}\right)^2 \right) A_i^2 I_3 \quad (12)$$

여기서 I_1 과 I_2 는 각각 출력 열잡음 전력과 출력 1/f 잡음 전력에 대한 scaling factor들로서 전달함수와 잡음원의 스펙트럼 특성에 의존하며 다음의 식 (13) 및 (14)와 같이 표현된다

$$I_1 = \int_0^\infty |H(f)|^2 df = \int_0^\infty \left| \frac{(1 + j2\pi f / z)}{(1 + j2\pi f / p_1)(1 + j2\pi f / p_2)} \right|^2 df = \left[\frac{p_1 p_2^2 (p_1^2 - z^2) \arctan(2\pi f / p_1) + p_1^2 p_2 (-p_2^2 + z^2) \arctan(2\pi f / p_2)}{2\pi(p_1^2 - p_2^2)z^2} \right]_r^{f_H} \quad (13)$$

$$I_2 = \int_0^\infty |H(f)|^2 \frac{1}{f^\alpha} df = \int_0^\infty \left| \frac{(1 + j2\pi f / z)}{(1 + j2\pi f / p_1)(1 + j2\pi f / p_2)} \right|^2 \frac{1}{f^\alpha} df = \left[\log f + \frac{(-p_1^2 p_2^2 + p_2^2 z^2) \log(4\pi^2 f^2 + p_1^2) + (p_1^2 p_2^2 - p_2^2 z^2) \log(4\pi^2 f^2 + p_2^2)}{2(p_1^2 - p_2^2)z^2} \right]_r^{f_H} \quad (14)$$

출력잡음전력을 보다 정확히 계산하기 위하여 HSPICE와 같은 회로 시뮬레이터로부터 구한 주파수응답을 적분함으로써 위의 I_1 과 I_2 를 구할 수도 있으나, 위의 식들로부터 출력잡음전력의 pole, zero 위치에 대한 의존도를 직접 알 수 있으며 또 그림 4에서 알 수 있듯이 식 (2)의 이차 시스템 전달함수는 HSPICE 시뮬레이션으로부터 얻어진 주파수응답을 거의 정확하게 근사할 수 있음으로 인하여 출력잡음전력의 값의 오차가 무시할만한 결과를 얻었다.

3. 결 과

위의 식 (12)-(14)를 바탕으로 하여 몇가지 파라미터들을 변화시키면서 출력잡음전력을 계산함으로써 잡음특성에 큰 영향을 미치는 요소들을 결정하고 또 만족스런 잡음특성을 보이는 수치값들을 결정하였다 이러한 해석으로부터 pole과 zero의 위치, 소자들의 기하학적구조(geometry)를 정하였다. 파라미터들은 여타 CMOS 집적회로 생산공정으로부터의 잡음 스펙트럼의 측정결과를 제시한 참고문헌 [14]로부터 curve fitting에 의하여 구하였다. 이후에 사용한 K_v 및 K_n 의 값은 각각 3.01×10^{-24} and 1.78×10^{-22} 이다.

식 (12)-(14)로부터 증폭기의 출력노드에서의 잡음전력을 결정하는 요소에 대한 단서를 얻을 수 있으며 이를 다음과 같이 정리할 수 있다.

- dominant pole, second pole 및 zero의 주파수. 그러나 위

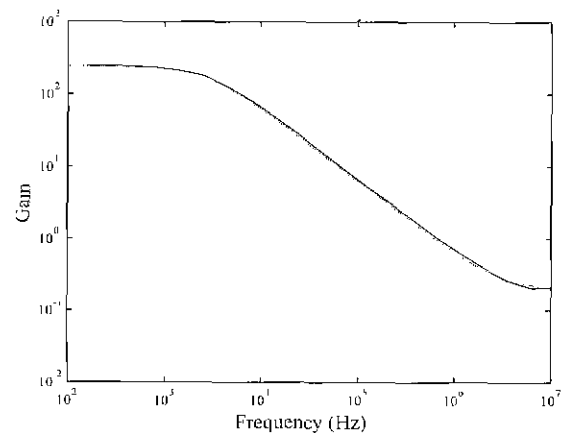


그림 4. (a) 그림 1의 구조를 갖는 증폭기의 주파수 응답 Dominant pole, secondary pole 및 zero의 주파수는 각각 2.8kHz, 50MHz, 4MHz이다

Fig. 4. (a) Frequency response of an example amplifier having the structure of Fig 1 The locations of dominant pole frequency, secondary pole, and zero are 2.8kHz, 50 MHz and 4MHz, respectively)

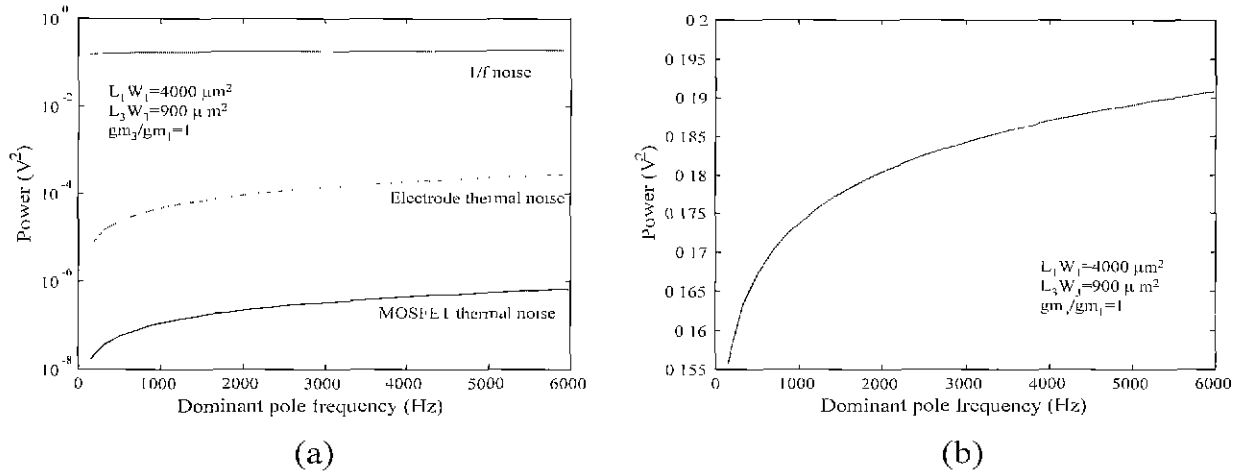


그림 5. (a) Dominant pole 주파수에 따른 출력 잡음전력 (b) 총 출력잡음전력과 1/f noise 전력의 linear plot 1/f가 전체 잡음전력의 대부분을 차지한다. 소자들의 크기는 그림에 나와 있다

Fig. 5. (a) Output noise power vs dominant pole frequency (b) Linear plot of the overall output noise power and 1/f noise power. It is clear that the 1/f noise power dominates the overall output noise power. The device areas are shown in the figure

의 해석적 식에 의한 계산과 HSPICE 시뮬레이션 결과로부터 대부분의 경우 second pole과 zero는 전체 잡음특성에 큰 영향을 미치지 못함을 알 수 있었다.

- 입력단 소자들의 트랜스컨덕턴스의 비, g_{m3}/g_{m1} .
- 입력단 소자들의 게이트 면적, L_1W_1 및 L_3W_3 .
- K_p , K_n 및 C_{ox} . 그러나 이 파라미터들은 주어진 집적회로 제작공정에 따라 정해지기 때문에 회로설계자에 의하여 변경될 수 없다.
- 전극-전해액 계면의 등가 임피던스. 그러나 그림 5 (a)에서 볼 수 있듯이 출력잡음은 주로 1/f 잡음에 의하여 결정됨을 알 수 있었기 때문에 본 논문의 해석을 위해서는 R_{leak} 와 R_{seal} 에 대한 대략적인 근사값(교정값)만으로 충분함을 알 수 있었다

따라서 전치증폭기의 잡음특성에 큰 영향을 미치는 동시에 회로설계자가 조절할 수 있는 요소는 dominant pole의 주파수, 입력단 소자들의 트랜스컨덕턴스의 비, g_{m3}/g_{m1} , 또 입력단 소자의 게이트 면적 L_1W_1 과 L_3W_3 으로 요약할 수 있다. 이러한 사전지식을 가진 상태에서 출력 SNR의 수치값을 예측하기 위한 해석을 수행하였다.

그림 5는 dominant pole 주파수의 변화가 출력잡음전력에 미치는 영향을 보여준다. 1/f 잡음으로 인한 전력은 입력소자의 크기가 극단적으로 크지 않을 경우, 전치증폭기 및 전극임피던스의 열잡음으로 인한 전력보다 훨씬 크다는 사실을 알 수 있다. 1/f 잡음과 열잡음으로 인한 잡음전력은 dominant pole 주파수가 증가함에 따라 모두 증가하지만, 그 증가율은 느려진다. Dominant pole 주파수는 입력신호가 갖는 주파수 대역을 모두 통과시키기에 충분할 정도로 커야 하지만 MOSFET 소자 본래의 제약으로 인하여 이는 한계 이상으로 크게 할 수는 없다 [13]. 더구나 그림 5에서 보듯이 출력잡음전력을 증가

시키므로 어느 이상의 증가는 SNR을 악화시킬 것이다. 그러므로 SNR의 요구조건을 만족시키면서 가능한 한 최소의 dominant pole 주파수를 선택하는 것이 바람직하다. 이를 위해서는 출력단에서의 잡음전력뿐만 아니라 신호 전력 또한 알아야 한다.

그림 6은 약 60 μV의 크기를 갖는 extracellular action potential로 Aplysia의 abdominal ganglion에서 측정된 것이다. 측정실험에 관한 자세한 사항은 참고문헌 [19]에 설명되어 있다. Welch's method [20]를 사용하여 신호의 전력밀도를 계산

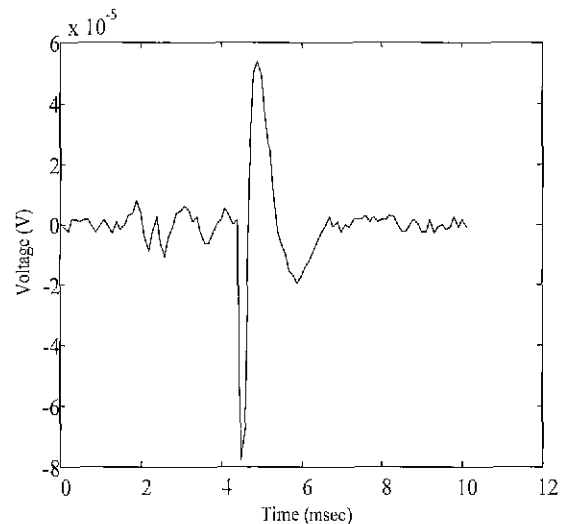


그림 6. Aplysia의 abdominal ganglion으로부터 측정된 extracellular action potential 약 60μV 정도의 크기를 갖는다

Fig. 6. Extracellular action potential recorded from the abdominal ganglion of Aplysia. The peak amplitude of this spike is approximately 60μV

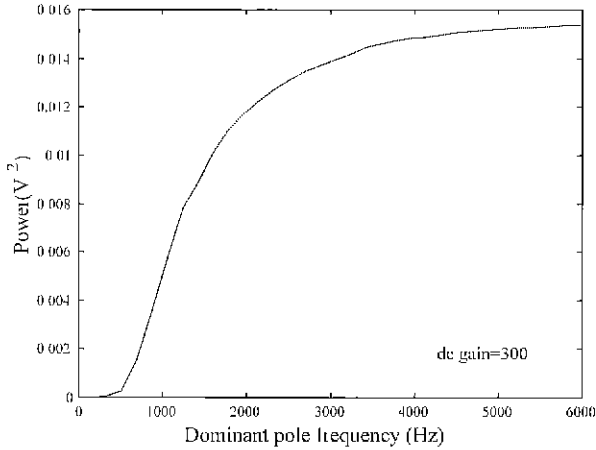


그림 7. Dominant pole 주파수에 따른 출력 신호전력
Fig. 7. Output signal power vs. dominant pole frequency

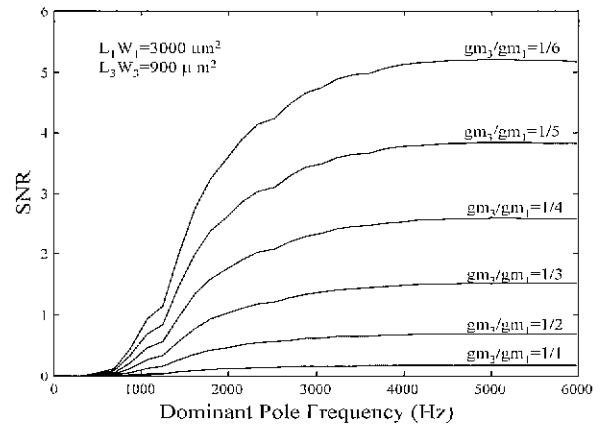


그림 8. 여러가지 g_{m3}/g_{m1} 비에서의 dominant pole 주파수에 따른 SNR 변화

Fig. 8. SNR variation vs dominant pole frequency at various g_{m3}/g_{m1} ratio

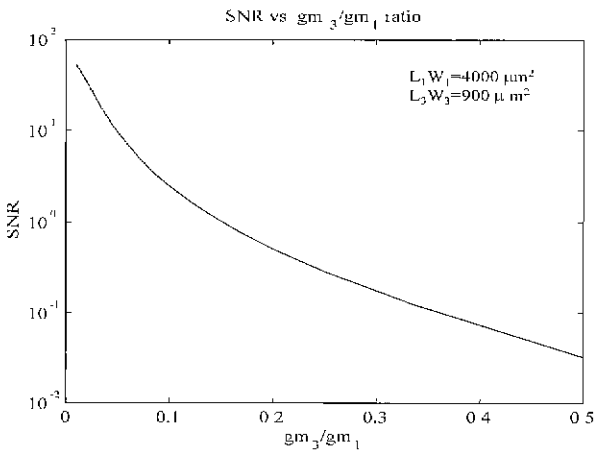


그림 9. Dominant pole 주파수가 5kHz일 때 g_{m3}/g_{m1} 비에 따른 SNR 변화

Fig. 9. SNR variation vs. g_{m3}/g_{m1} ratio at the dominant pole frequency of 5kHz

하였으며 이것과 진치증폭기의 전달함수로부터 출력신호전력을 구하였다. 그림 8은 dominant pole 주파수에 따른 출력 신호전력 변화를 보이고 있다. 출력 신호전력은 dominant pole 주파수가 3kHz 이하일 때는 급격히 증가하나 약 5kHz 정도에서 포화된다. 따라서 이 이상의 증가는 출력 신호전력을 크게 하는데 도움을 주지 못한다.

이제 출력단에서의 신호전력 및 잡음전력을 각각의 파라미터들을 변화시키면서 계산함으로써 파라미터 변화에 따른 SNR 변화를 알아볼 수 있다. 그림 9는 dominant pole 주파수의 변화에 따른 SNR 변화이다. 역시 5 kHz 이상 증가시키기에 따른 SNR의 향상은 매우 적었다. 그림 9의 각각의 trace들은 여러 가지 g_{m3}/g_{m1} 비에 따른 것이다. g_{m3}/g_{m1} 이 커짐에 따라 SNR은 감소한다. 그림 10에 dominant pole 주파수가 5 kHz일 때의 입력단 소자의 트랜스컨덕턴스 비의 변화에 따른 SNR 변화가 나와 있다. g_{m3}/g_{m1} 비가 0.4-0.5 정도로 증가하면 SNR은

크게 감소한다.

이제 소자들의 크기가 SNR에 미치는 영향을 알아본다. 그림 10은 입력단 소자 크기를 잘못 선택했을 경우의 잡음 특성 저하를 잘 보여주고 있다. M1과 M3의 크기가 각각 $4000\mu\text{m}^2$ 와 $900\mu\text{m}^2$ 이고 g_{m3}/g_{m1} 비가 0.25일 경우(그림 10 (b)) 입력단 소자가 충분히 큰 크기를 갖는 것처럼 보임에도 불구하고 출력 잡음전력은 신호전력보다 훨씬 크다. 그림 11에 두 입력단 소자 크기에 따른 SNR 변화가 나와 있다. g_{m3}/g_{m1} 비는 0.25이고 dominant pole 주파수는 5 kHz이다. 소자 크기의 증가는 SNR을 향상시킨다는 사실은 식 (2)로부터 정성적으로 예측할 수 있으나 정량적인 값은 알 수 없다. 그러나 그림 11로부터 소자크기에 따른 SNR의 수치값을 알 수 있다. 그림의 평면은 SNR이 5 소자크기의 범위를 나타내고 있다. 최근의 neural spike sorting에 대한 연구결과에서 SNR이 5이상인 경우 약 80-90%에 이르는 분류정확도를 얻을 수 있었다 [25]. 따라서 5를 SNR의 적절한 최소계값으로 간주할 수 있다. 그림 11로부터 앞에서와 같은 해석에 따라 dominant pole 주파수와 트랜스컨덕턴스 비를 결정할 다음 필요로 하는 SNR을 얻기 위한 소자크기의 수치값을 얻을 수 있다.

토의 및 결론

본 논문에서는 진극사이트와 단일칩으로 집적된 신호처리회로를 갖는 능동형 신경신호기록용 미세전극의 회로 중 가장 중요한 구성요소인 전치증폭기의 체계적인 설계방법을 제시하였다. 주어진 제작공정이 허락하는 최소의 크기로 증폭기 입력단의 소자를 설계할 경우 출력잡음전력이 출력신호전력보다 훨씬 커지게 됨을 보였고 따라서 CMOS 공정을 사용하여 능동전극을 제작할 경우 특별한 저잡음 공정을 사용하거나 혹은 본 논문에서 제시한 바와 같은 체계적인 설계방법을 사용하는 것이 필수적임을 예측하였다. 비록 소자의 크기를 크게 함으로

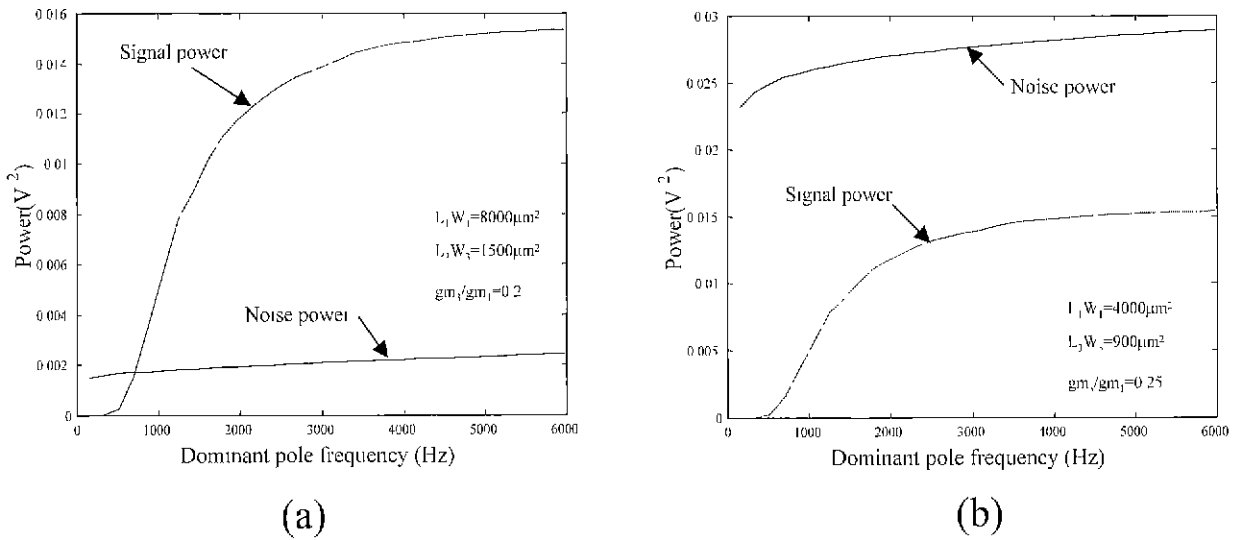


그림 10. Dominant pole 주파수에 따른 출력 신호 및 잡음전력 이 그림으로부터 소자크기와 g_{m3}/g_{m1} 비가 SNR에 미치는 영향을 명확히 알 수 있다. (a) 잘못된 설계 예 잡음전력이 신호전력보다 훨씬 크다. Dominant pole 주파수가 6kHz일 때 SNR은 0.428이다. (b) 적절한 설계에 Dominant pole 주파수가 6kHz일 때 SNR은 5.7514이다

Fig. 10. Output signal and noise power vs dominant pole frequency. Effects of device size and g_{m3}/g_{m1} ratio selection on SNR is evident from this figure. (a) An example of wrong design. Noise power is much larger than signal power. SNR is 0.428 when the dominant pole frequency is 6kHz. (b) An example of adequate design. SNR is 5.7514 when the dominant pole frequency is 6kHz.

써 1/f 잡음을 줄일 수 있다는 사실 등의 적잡음 설계에 대한 일반적인 지식은 알려져 있으나 집적회로 설계 시 주어진 요구조건을 만족시키는 회로설계 파라미터의 정량적인 정보는 회로설계자에게 큰 도움이 된다

한가지 고려할 점은 1/f 잡음 파라미터들이 Si-SiO₂계면에

따라 달라지기 때문에 같은 제작공정으로부터의 웨이퍼들에 대해서도 약간 달라질 수 있다는 사실이다. 그러므로 1/f 잡음 파라미터를 가능한 최악의 값, 즉 주어진 제작공정에 대한 최대의 K_p 및 K_n 값을 사용할 것을 제안한다.

본 논문에서 제시한 방법들은 다른 형태의 회로, 예를 들어 소스 플로워형 버퍼 등을 갖는 간단한 능동전극 등에 쉽게 응용될 수 있다 [21].

참 고 문 헌

1. D. A. Robinson, "The electrical properties of metal microelectrodes," *Proceedings of the IEEE*, vol. 66, pp. 1065-1071, June, 1968
2. R. S. C. Cobbold, *Transducers Biomedical Measurements*. New York: Wiley, 1974
3. K. Najafi and K. D. Wise, "An implantable multielectrode array with on-chip signal processing." *IEEE J. Solid-State Circuits*, vol. 21, pp. 1035-1044, Dec., 1986
4. S. L. BeMent, K. D. Wise, D. J. Anderson, K. Najafi, and K. L. Drake, "Solid-state electrodes for multi-channel multiplexed intracortical neuronal recording," *IEEE Trans. Biomedical Eng.*, vol. 33, pp. 230-241, Feb., 1986
5. J. Ji and K. D. Wise, "An implantable CMOS circuit

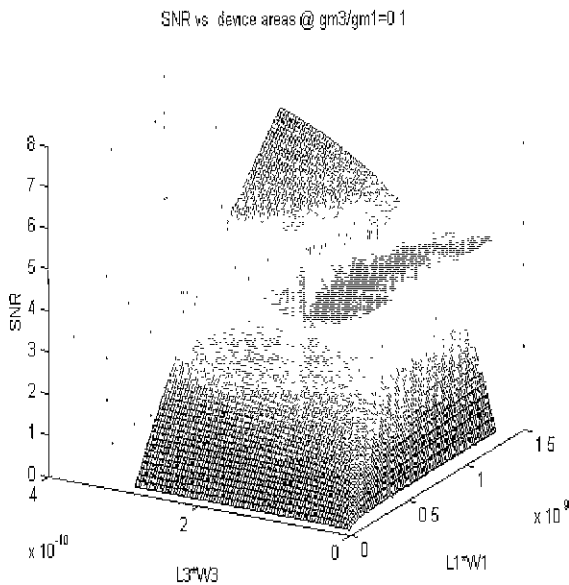


그림 11. 입력 소자크기에 따른 SNR 변화
Fig. 11. SNR vs input device size

- interface for multiplexed microelectrode recording arrays," *IEEE J Solid-State Circuits*, vol. 27, pp. 433-443, Mar., 1992
- 6 G. T. A. Kovacs, C. W. Stormont and J. M. Rosen, "Regeneration microelectrode array for peripheral nerve recording and stimulation," *IEEE Trans. Biomedical Eng.*, vol. 39, pp. 893-902, Sep., 1992
 - 7 C. Kim and K. D. Wise, "A 64-site multishank CMOS low-profile neural stimulation probe," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1230-1238, Sep., 1996
 - 8 M. G. Dorman, M. A. Priske, and J. D. Meindl, "A monolithic signal processor for a neurophysiological telemetry system," *IEEE J. Solid-State Circuits*, vol. 20, pp. 1185-1193, Dec., 1985
 - 9 D. A. Johns and K. Martin, *Analog Integrated Circuit Design* New York: Wiley, 1997
 - 10 HSPICE user's manual. Meta-software Inc., 1992
 - 11 C. D. Motchenbacher and J. A. Connelly, *Low-noise electronic system design*. New York: Wiley, 1993
 - 12 A. van der Ziel, *Noise in Solid State Devices and Circuits*. New York: Wiley, 1986
 - 13 Y. P. Tsvividis, *Operation and Modeling of the MOS Transistor*. New York: McGraw-Hill, 1988
 - 14 J. Chang, A. A. Abidi, and C. R. Viswanathan, "Flicker noise in CMOS transistors from subthreshold to strong inversion at various temperatures," *IEEE Trans. Electron Devices*, pp. 1965-1971, Nov., 1994
 - 15 M. Grattarola and S. Martinoia, "Modeling the neuron-microtransducer Junction: From extracellular to patch recording," *IEEE Trans. Biomedical Eng.*, vol. 40, pp. 35-41, Jan., 1993
 - 16 P. R. Gray and R. G. Meyer, "MOS operational amplifier design-A tutorial overview," *IEEE J. Solid-State Circuits*, vol. 17, pp. 969-982, Dec., 1982
 - 17 J. C. Bertails, "Low-frequency noise considerations for MOS amplifier design," *IEEE J. Solid-State Circuits*, vol. 14, pp. 773-776, Aug., 1979
 - 18 P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuit*. New York: Wiley, 1993
 - 19 E. J. Hwang, S. J. Kim, H. W. Cho and W. T. Oh, "Neural recordings from peripheral nerves using semiconductor microelectrode," Fall Annual Meeting of the Korea Society of Medical and Biological Engineering, Seoul, Korea, 1997
 - 20 M. H. Hayes, *Statistical Digital Signal Processing* New York: Wiley, 1996
 - 21 K. D. Wise and J. B. Angell, "A low-capacitance multielectrode probe for use in extracellular neurophysiology," *IEEE Trans. Biomedical Eng.*, vol. 32, pp. 212-219, May, 1975
 - 22 L. Hodgkin and A. F. Huxley, "A quantitative description of membrane current and its applications to conduction and excitation in nerve," *J. Physiol.*, pp. 500-544, 1952
 - 23 C. Koch and I. Segev, Eds., *Methods in Neuronal Modeling*. Cambridge MIT press, 1998
 - 24 C. C. Enz and G. C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: auto-zeroing, correlated double sampling, and chopper stabilization," *Proceedings of IEEE*, vol. 84, pp. 1584-1613, Nov. 1996
 - 25 R. Chandra and L. M. Optican, "Detection, classification and superposition resolution of action potentials in multiunit single-channel recordings by an on-line real-time neural network," *IEEE Trans. Biomedical Eng.*, vol. 44, pp. 403-412, May, 1997
 - 26 W. G. Regehr, J. Pine, D. B. Rutledge, "A long-term in vitro silicon-based microelectrode-neuron connection," *IEEE Trans. Biomedical Eng.*, vol. 35, pp. 1023-1032, 1988
 - 27 T. H. Yoon, E. J. Hwang, D. Y. Shun, S. I. Park, S. J. Oh, S. C. Jung, H. C. Shin, and S. J. Kim, "A Micro-machined Silicon Depth Probe for Multi-Channel Neural Recording," accepted for publication in *IEEE Trans. Biomedical Eng.*, 2000