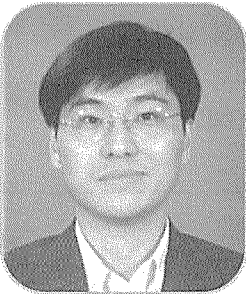


SOC 개요

시스템 온칩 (SOC)의 기술 동향



최 종 찬
[전자부품연구원]

반도체 기술은 최근들어 급속한 발전을 거듭하고 있다. 반도체 공정은 그 집적도를 1,000만 gate급으로 올려 놓고 있으며, EDA vendor는 이러한 초 집적도의 회로 설계 및 검증에 적합한 Tool을 선보이고 있고, IP 개념의 새로운 ASIC market이 급속히 그 시장을 형성하고 있다.

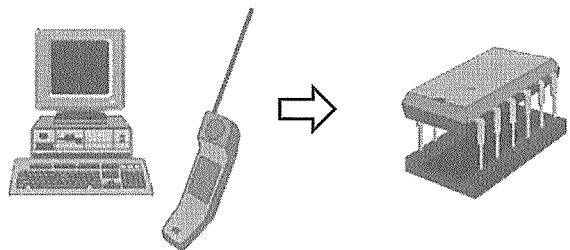
이러한 변화는 바로 SOC(System On Chip)를 지향하며 발전하고 있는 것으로 보아야 할 것이다. 실례로 최근 IBM은 " Computer on a chip "의 개념을 선보이며 이에 대한 계획을 발표하고 있다.

이는 copper wiring에 0.15um technology를 사용하여 24 million 회로급으로 계획되고 있다.

또 다른 예로 최근 주목받고 있는 ADSL 모뎀을 그 예로 들수 있다. ADSL 모뎀은 DSP core 및 A/D 변환기, Adaptive Equalizer, FFT, Decoder등을 집적시킨 것으로서 Alcatel-Mietec 사의 0.35um library를 이용하여 완성된 것을 들수 있다.

이와 같은 추세는 시스템 각분야에서 일어 날 것으로 예측되고 있다.

(그림 1) System On Chip



이러한 SOC는 "system on a board"에 비해 다음과 같은 장점을 지닐 것으로 예측하고 있다.

- ① Low cost for consumer application(High volume)

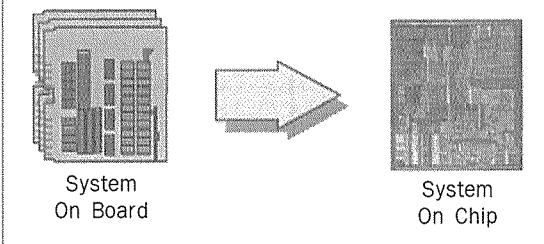
- ② Higher inter-block communication bandwidth (shorter delays, no pin-limit)
- ③ Higher flexibility because of programmable components
- ④ Low power consumption

이에 비해 단점으로는 다음과 같은 포인트들을 들수 있다.

- ① Larger design space
- ② Increased prototype cost
- ③ High level debugging methodology (without prototype)
- ④ Interfacing of components within the real system/development system

서두에서 언급한 대로 이러한 SOC가 가능한 것은 급속한 반도체 집적능력의 향상 및 CAD Tool의 향상, IP 개념의 도입을 들수가 있다. 다음의 절에서 이러한 부분에 대해 다루기로 한다.

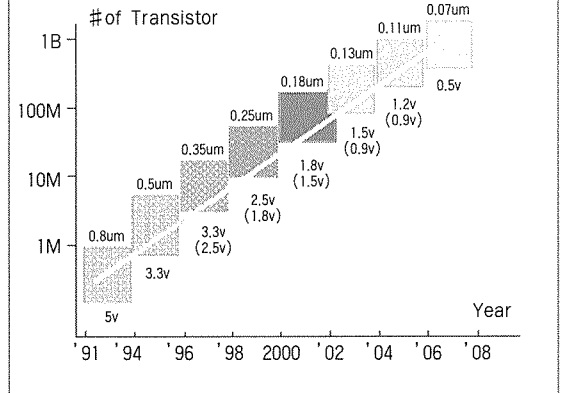
(그림 2) System On Board vs On Chip



반도체 집적 기술의 발전

반도체 기술의 발전은 인류 생활 전반에 걸쳐 큰 변혁을 가져 왔고 Gordon Moore가 발표한 트랜지스터 집적도의 향상에 관한 법칙을 따라 발전하여 왔다. [그림 3]는 반도체 집적도의 발전을 보여

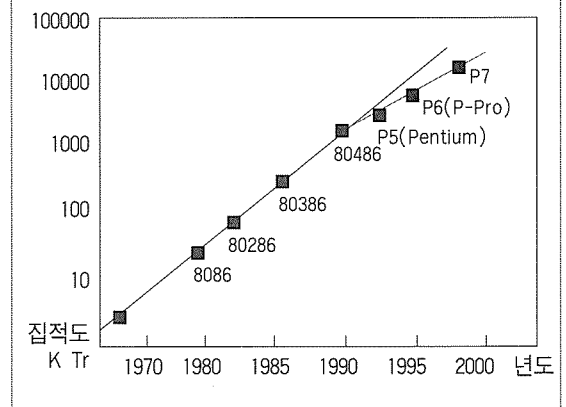
(그림 3) 반도체 집적기술의 발전 현황 및 예측



주고 있다.

이러한 기반 위에 인텔 CPU의 집적도 현황을 [그림 4] 가 보여 주고 있다.

(그림 4) 인텔 CPU의 집적도 추이



이러한 반도체의 집적도는 국내의 대부분의 주요 foundry 업체의 공정기술에 근거한 것으로 각사는 사운을 걸고 경쟁적으로 기술 개발에 임하고 있다고 할수 있다.

이러한 반도체 공정의 발달은 20세기 인류 문명에 커다란 변화를 가져 왔으며 앞으로 다가올 21세

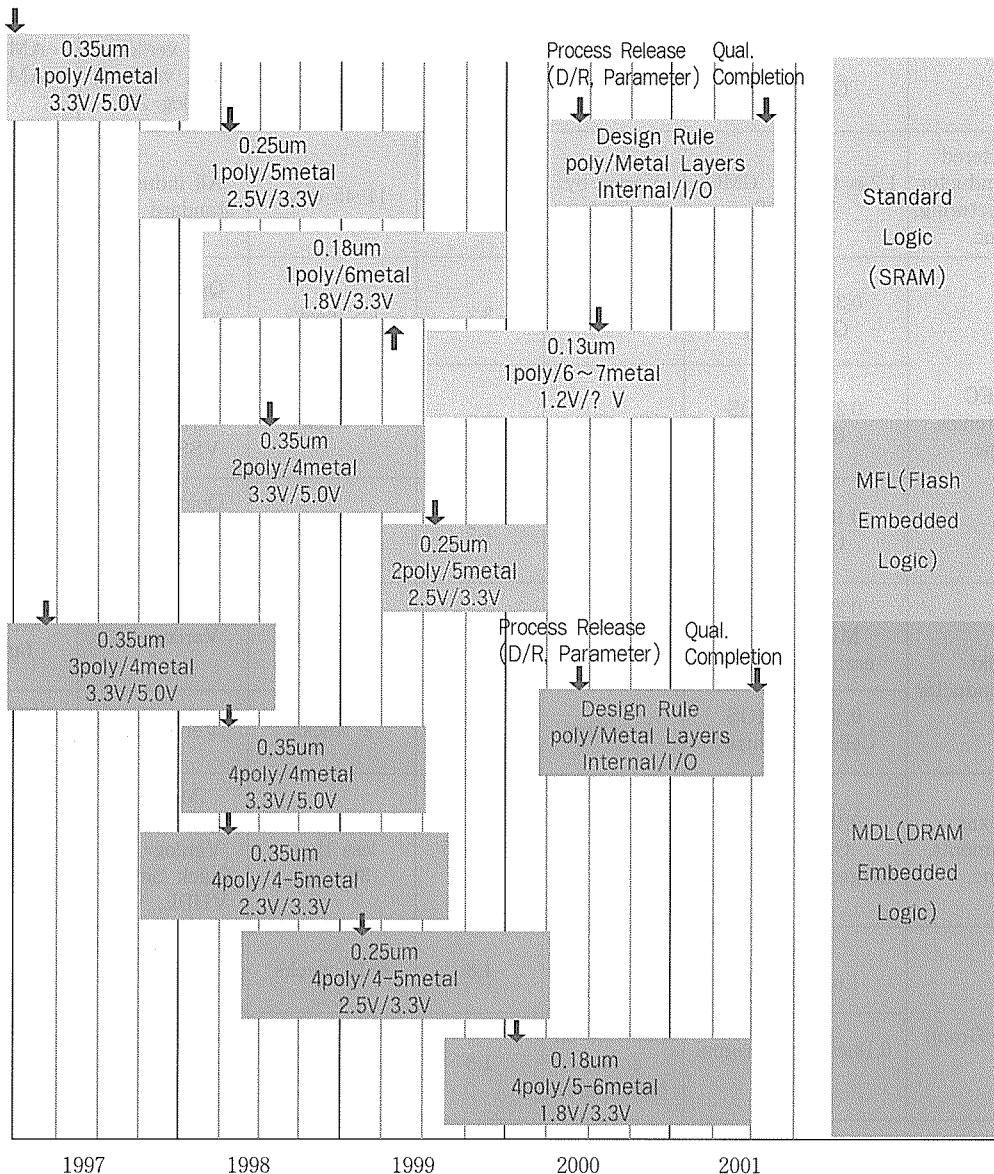
기에서도 가져다 줄 결과물에 대해서 많은 사람들이 기대를 하고 있다.

이러한 공정의 발달로 인해 다양한 응용분야가 예상되며 미래를 이끌어가게 될 SOC기술에 대해

깊은 관심을 가지게 한다.

실제 이 기술을 이용한 시장은 급성장하여 2000년도에는 4000억불 이상이 될것으로 예측된다. 현재 대부분의 칩은 아직 0.5 μ m와 0.35 μ m technology

(그림 5) Samsung Technology Roadmap



(표 1) Foundries Table

Company	Technology & Process	Maximum Gate count	Operating Voltage	Time to first Prototype	sign-off tools	Product
American Microsystems, Inc	0.35 μ m CMOS Standard-cell	2.5 million	3.0	3-5 weeks	Ikos voyager, NC verilog, VCS, veribest, verilog-XL	AMI3HS AMI3LS
	0.5 μ m CMOS Gate array	1.2 million	3.0, 5.0	2-4 weeks	Ikos voyager, NC verilog, VCS, veribest, erilog-XL	AMI5HS AMI5LS
Chartered semiconductor Manufacturing, Inc	1.2 μ m-0.18 μ m CMOS biCMOS	Varies by application	1.8, 2.5, 3.3	11-45 days	All industry standard tools	Foundry
NEC Electronics, Inc	0.35 μ m CMOS Gate array	970,000	3.3	1.5 weeks	Quick HDL, verilog-XL, VSS, Vsim	CMOS-9HD
	0.25 μ m CMOS Cell-based	12 million	2.5	2 weeks	Quick HDL, verilog-XL, VSS, Vsim	CB-C10HS
	0.18 μ m CMOS Cell-based	34 million	1.8	4 weeks	Quick HDL, verilog-XL, VSS, Vsim	CB-C11
Oki Semiconductor	0.25 μ m CMOS Multifunction embedded array	5.4 million	2.5	7 weeks	Verilog-XL	MG6XP family
	0.35 μ m CMOS Cell-based array	1 million	3.0	2 weeks	Verilog-XL	MSM1XQ family
Texas Instruments, Inc	0.18 μ m CMOS Gate array, merged standard-cell	14.4 million	1.0-1.95	less than 30 days	Motive, primetime, Verilog-XL, Quick Sim II VHDL, Vital	Timecell
UMC Group	0.18 μ m Logic CMOS	>1.8 million	1.8	6-10 weeks	Most EDA tools	foundry
	0.18 μ m mixed-signal CMOS	Depends on analog circuit area	1.8	6-10 weeks	Most EDA tools	foundry

로 제조되고 있으며 거의 대부분이 aluminum interconnections에 의존해 있다.

이러한 technology는 빠른속도로 0.25 μ m와 0.18 μ m technology로 옮겨가고 있다. Oki semiconductor Corp.에 있는 Ron DiGiuseppe는 현재 0.25 μ m technology 공정을 가지고 있으며 올해 후반에는 0.18 μ m technology 공정을 갖출 것이라고 말했다. 그리고 aluminum interconnect에서 지난해 9월 IBM Microelectronics사에 의해 소개된 Copper interconnect로 옮겨가고 있으며 이것은 aluminum에 비해 20-30%의 속도를 향상 시킬수 있다고 한다.

IBM사의 경우는 현재 0.18 μ m copper process를 prototype ASIC에 적용하고 있으며 하반기에는 제품에 적용할 방침이라고 한다.

NEC의 경우는 금년에 0.18 μ m과 0.15 μ m process를 제품에 적용할 것이며 Copper interconnect를 적용할 것이라고 한다.

산호세에 있는 삼성 반도체에서는 금년 하반기나 내년 초에 0.18 μ m process를 ASIC customer에게 제공할 예정이다.

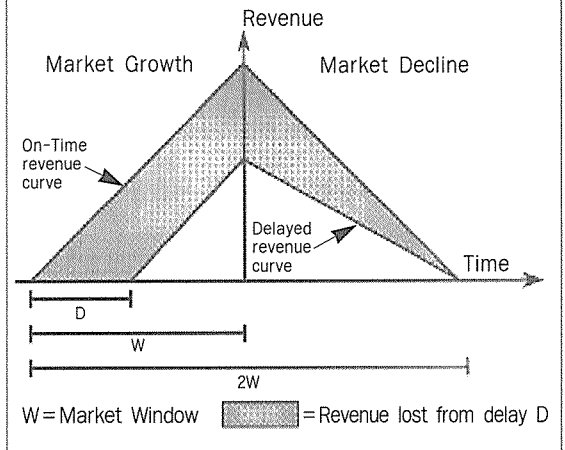
UMC사는 0.25 μ m와 0.22 μ m를 고제품에 적용시키고 0.18 μ m은 샘플 제품에 적용시키고 있으며 빠른 시간내에 0.18 μ m을 전 제품에 적용시킬 방침이라고 한다. 그림 5는 삼성 technology의 로드맵을 나타내고 있다.

설계기술동향

다양한 정보통신 서비스의 발전에 따라 새로운 기능의 정보통신 시스템이 타제품보다 경쟁력을 갖기 위해서 핵심기술을 내장하고 있는 ASIC이 더욱 다기능화, 복잡화, 디지털화, 소형화, 저소비 전력화되고 있다.

메모리와는 달리 ASIC은 시장 진입시기에 따라

(그림 6) 시장진입시간(출처:Ateq Corp.)

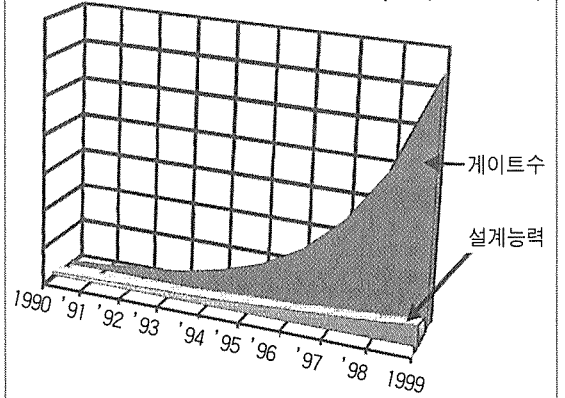


성공여부와 매출액 규모가 달라지므로 시장진입시간 단축이 중요하다.

ASIC이 시스템 보드상의 한 부품의 범위를 넘어 시스템 전체 회로가 집적화 된 SOC (System-On-Chip)로 변화되고 있다.

Sematech 연구에 따르면 공정기술의 발달로 집적도는 18개월마다 2배씩 증가하고 있으나 설계생산성은 매년 21%씩 증가하고 있어 실리콘의 용량과 설계/검증 능력간의 격차가 시간이 갈수록 심

(그림 7) 실리콘 용량과 설계능력간의 차이 (출처:Sematech)



(표 2) 논리검증툴들의 비교

	기존의 논리 시뮬레이터	포털 베리파이어	사이클 베이스 시뮬레이터	정적 타이밍 해석 툴
기능 검증	논리기능 및 타이밍	논리기능	논리기능	타이밍
검증 속도	저속	고속	고속	고속
회로 제약	회로제약 없음	회로제약 있음	회로제약 있음	회로제약 있음
테스트패턴	필요	불필요	필요	불필요

해지고 있다.

여기서 ASIC 설계·검증 기술의 능력과 변화를 살펴보기로 한다. 회로 규모의 증대는 다른 큰 문제를 야기하였다.

딥 서브미크론의 프로세스 기술을 이용하여 현재 수백만 게이트의 ASIC을 실현 할 수 있다. 그러나 기존의 논리 시뮬레이터에 의한 검증은 처리 시간이 방대하여 사실상 이를 검증하는데는 너무 많은 시간이 걸리므로 인해 앞으로의 검증 기술로는 적합하지 않다는 의견이 대두되고 있으며 이를 해결하기 위하여 새로운 검증 기법들이 제안되고 있다. 즉, 논리 기능 검증과 타이밍 검증을 명확히 분리하여, 각각의 검증을 고속으로 실행 할 수 있는 검증툴을 도입하는 방법이 제안되고 있다.

현재 이러한 추세에 맞추어 논리 기능 검증을 고속으로 할 수 있는 사이클 베이스 시뮬레이터와 포

털 베리파이어 그리고 타이밍 검증을 고속으로 할 수 있는 정적 타이밍 해석 툴을 이용하는 반도체 메이커가 증가하고 있다.

사이클 베이스 시뮬레이터는 동기 설계가 기본이며 클럭 에지에서만 신호값을 평가하는 기능 검증 전용 시뮬레이터이다. 포털 베리파이어는 등가성 검증 툴로써 설계 데이터 두 개의 논리적 등가성을 판정하고 테스트 패턴 없이 고속으로 논리 기능을 검증 할 수 있는 툴이다.

정적 타이밍 해석 툴은 동기회로를 전제로 테스트 패턴을 사용하지 않고 타이밍을 정적으로 검증하는 툴이다. [표2]는 이들에 대한 비교를 나타내고 있다.

이와 더불어 그 동안 ASIC 분야에서의 플로어 플랜과 레이아웃은 반도체 메이커의 일이었다. 하지만 이러한 물리 레벨 설계도 이제는 논리 설계자에게 있어서 중요한 일이 되었다.

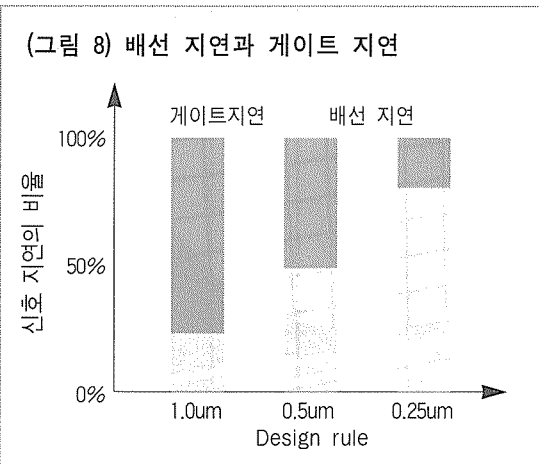
현재의 LSI가 미세화 고속화가 됨으로 인해 배선 지연이나 크로스토크 노이즈등에 의한 문제가 심각하게 대두되고 있다.

이로 인해 논리 설계자가 레이아웃에 착수해야만 하는 상황에 이르렀다.

따라서 앞으로 얼마동안은 논리 설계자와 레이아웃 설계자가 긴밀히 협력하여 작업을 진행해 나가는 방법을 취해야 할 것으로 보여진다.

이와같이 ASIC 기술은 앞으로 많은 변화를 가져 올 것이며 ASIC 사업 형태나 지원 형태도 기존의 틀에서 벗어나서 다양화되고 고객들의 요구도 다양한 형태를 가질 것으로 보여진다.

(그림 8) 배선 지연과 게이트 지연



IP 기술동향

SOC 구현을 위한 또 하나의 가장 중요한 요소는 설계의 구현 가능성이다. 이는 SOC 구현에 소요되는 각종 기능 블록의 규모가 설계자의 설계 능력을 넘어서는 규모가 되어 가고 있는 것이다.

이러한 현상은 반도체의 집적 능력의 성장 규모를 설계 능력이 쫓아 가지 못하는 현상을 보이고 있다. 이러한 현상을 [그림 9]에서 잘 보여 주고 있다.

따라서 이러한 문제를 극복하는 유일한 방법은 IP를 활용하여 reuse 개념을 도입하는 것이다. 이는 마치 Board상에서 components를 삽입하여 system board를 구현하는 것과 같은 현상이라 할 수 있다.

이러한 IP는 설계 방법론으로 정착해 가면서 이

를 매매하기 위한 각종 기반이 시설이 구축되어 가고 있다.

또한 IP의 표준을 위한 각종 기구들이 활발한 활동을 전개하고 있다. VSIA는 1996년 9월 미국에서 설립되어 현재 VC(virtual component) 표준화를 통한 VC 사용 촉진을 목표로 활발한 활동을 전개하고 있다.

중요 역할로는 H/W-S/W 인터페이스 정의와 설계, 데이터 포맷과 설계 방법의 정의 등이며 반도체업체, EDA 업체, 그리고 IP 고급자등 180여 업체가 회원으로 등록되어 있다.

또한 새로운 국제 기구로 VCX를 들수 있다. VCX는 IP를 이용한 사업과 거래 문제를 주로 취급하는 기구로 1998년 8월에 스코틀랜드에서 설립되었다.

RAPID는 1996년 9월에 IP 활용에 대해 업계의 공통적인 의견을 대변하고자 하는 의미에서 미국내

IP 관련업체들이 주축이 되어 설립되었다.

이와 같이 다양한 활동 속에 IP의 설계 개념은 급속히 확산되고 있는 실정이다. 국내에도 IP 개발 및 DB 구축을 위한 활동들이 다양하게 이루어 지고 있다.

이러한 IP는 재고 없는 IC 산업으로 각광을 받고 있으며, 이는 과거의 Fab-less 디자인 하우스에서 IC-less 디자인 하우스의 개념으로 전환하는 계기가 되기도 한다.

(그림 9) 반도체 집적도 대비 설계 능력 비교

