

# Neuron-MOSFET 인버터의 특성 분석 및 설계 가이드라인

## Characterization and design guideline for neuron-MOSFET inverters

金世煥\*, 李在基\*, 朴鍾泰\*, 鄭運達\*

( Sea W. Kim\*, Jae K. Lee\*, Jong T. Park\*, and Woon D. Jeong\* )

### 요 약

표준 2-poly CMOS 공정을 이용하여 3-입력 neuron-MOSFET의 인버터와 증가형 소자를 사용한 3비트 D/A 변환기를 설계·제작하였다. Neuron-MOSFET를 사용한 인버터의 전압전달 특성곡선과 잡음여유를 일반 CMOS 인버터와 같은 방법으로 측정분석하였다. 결합계수가 전압전달 특성곡선과 잡음여유에 미치는 영향을 이론적으로 계산하여 neuron-MOSFET 인버터의 게이트 산화층 두께와 입력게이트 레이아웃에 대한 설계 가이드라인을 설정하였다. 입력게이트 중 하나를 제어게이트로 사용하므로 offset전압이 없는 neuron-MOSFET D/A 변환기를 설계제작할 수 있었다.

### Abstract

3-input neuron-MOSFET inverters and 3-bit D/A converters using enhancement type device have been designed and fabricated by using standard 2-poly CMOS process. The voltage transfer curve and the noise margin of neuron-MOSFET inverters have been measured and characterized as the same method in normal CMOS inverters. From the theoretical calculation of the effects of coupling ratio on the voltage transfer curve and noise margin, we set up the design guideline for the gate oxide thickness and input gate layout in neuron-MOSFET inverters. By using one of input gates as a control gate, we can design and fabricate the neuron-MOSFET D/A converter without offset voltage.

### I. 서 론

집적회로의 설계 및 공정기술의 발달로 인간의 두뇌보다 많은 정보를 기억할 수 있는 기억소자와 두

뇌의 신경반응 속도(2~3m/sec)보다 109배정도 더 빨리 정보를 전달하는 반도체 소자들이 개발되고 있으나 아직은 인간의 두뇌를 대체할 수 있는 컴퓨터가 개발되지는 않고 있다[1]. 그것은 반도체 소자는 단지 ON과 OFF의 스위칭 동작을 하는 디지털 기능을 하는데 비하여 신경세포는 여러 입력을 받아서 여러 가지의 출력을 결정하는 소위 multiple input threshold 소자이기 때문이다. 지금까지 정보처리를 위한 인공 신경망에 관한 연구는 디지털 컴퓨터에 소프트웨어의

\* 仁川大學校 電子工學科

(Dept. of Electronics Eng., Univ. of Incheon)

※ 본 연구는 인천대학교 교내연구비 지원에 의하여 수행 되었음.

接受日: 1999年7月15日, 修正完了日: 1999年11月3日

알고리즘을 새로이 구현하는 방식이었으므로 집적회로 설계가 복잡하고 많은 소자가 필요하여 진행속도가 지연되고 있다. 최근에 부유게이트 EEPROM 구조의 소자에 제어게이트를 여러개 만들어 이 제어게이트의 인가 전압에 따라 소자의 ON, OFF 및 출력값을 제어할 수 있는 새로운 neuron-MOSFET가 소개되어 두뇌를 대체할 수 있는 컴퓨터 개발에 새로운 장이 열리고 있다[2]. 이 neuron-MOSFET는 입력 제어게이트에 가중치(weight)를 주어 multiplication 연산이 가능한 소위 synapse cell을 만들 수 있으므로 외부 입력에 의하여 논리회로의 연산 기능을 임의로 변경할 수 있는 soft-hardware-logic circuit이 가능하게 되었다[6]. Neuron-MOSFET는 부유게이트와 여러 입력 제어게이트를 사용하므로 소자설계가 복잡하며 동작 속도가 느린 단점이 있으므로 정확한 소자 설계가 요구된다[7]. 본 연구에서는  $0.8\mu\text{m}$ 표준 CMOS 공정에 맞는 설계규칙을 이용하여 neuron-MOSFET 인버터를 제작하고 소자의 특성에 가장 많은 영향을 미치는 결합계수(coupling coefficient)에 따라 소자의 인버터 특성을 분석하였다. 그리고 기존에는 neuron-MOSFET를 사용한 D/A 변환기를 설계할 때 공핍층 소자가 필요하였으나 본 연구에서는 입력게이트의 하나를 제어게이트로 사용하므로 증가형 소자로도 offset 전압이 없는 D/A 변환기가 동작 가능함을 알 수 있다.

## II. Neuron-MOSFET를 사용한 인버터 특성

### 2.1 neuron-MOSFET 인버터 설계 및 제작

본 연구에서는 neuron-MOSFET를  $0.8\mu\text{m}$  표준 CMOS 공정에 의해 설계·제작하였다. 그림1은 neuron-MOSFET를 이용한 인버터의 설계 회로도도 2-poly 공정을 사용하였고 세 개의 입력게이트는 각각  $C_1=1/2\gamma C_{TOT}$ ,  $C_a=1/3\gamma C_{TOT}$ ,  $C_b=1/6\gamma C_{TOT}$ 의 커패시턴스로 부유게이트에 커플링 되도록 설계하였다. 그리고  $T_{OX}=175\text{Å}$ ,  $T_{interpoly}=400\text{Å}$ 이며  $(\beta_n/\beta_p)=1$ 이 되도록 n채널 소자는  $L/W=0.8\mu\text{m}/2\mu\text{m}$ , p채널 소자는  $L/W=0.8\mu\text{m}/6\mu\text{m}$ 로 설계하였다.

### 2.2. Neuron-MOSFET소자 및 인버터 특성

설계한 3개의 입력게이트  $V_1$ ,  $V_a$ ,  $V_b$ 를 갖는 neuron-MOSFET에서  $C_1=(1/2)\gamma C_{TOT}$ ,  $C_a=(1/3)\gamma C_{TOT}$ ,  $C_b=(1/6)\gamma C_{TOT}$ 와 같은 커플링 커패시턴스를 갖도록 설계한 경우  $V_a$ 와  $V_b$  신호에 의하여 제어되어지는 입

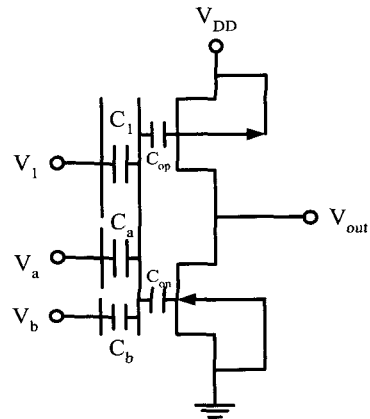


그림 1. Neuron-MOSFET 인버터 회로도

Fig. 1. Neuron-MOSFET inverter circuit.

력게이트  $V_1$ 에 대한 문턱전압은 식(1)과 같게 된다[3].

$$V_{th}^{(1)} = \frac{C_{TOT}}{C_1} V_{th}^* - 1/3 (2V_a + V_b) \quad (1)$$

그림2는 동일한 채널길이와 폭을 갖는 일반 MOSFET와 입력게이트가 3개인 neuron-MOSFET의 문턱전압을 비교한 것이다. 일반 MOSFET의 문턱전압이 0.72V이고 neuron-MOSFET의 문턱전압이 2V이므로 결합계수( $\gamma$ )=0.36임을 알 수가 있다[4]. 그림3은 입력게이트의 전압에 따라 neuron-MOSFET의 문턱전압을 임의로 조절할 수 있음을 보여준다.  $V_1$ 을 입력게이트,  $V_a$ 와  $V_b$ 를 제어게이트로 사용하여,  $V_a$ 와  $V_b$ 의 변화에 따른  $V_1$  입력게이트의 문턱전압을 측정된 결과로서 수식(1)을 이용하여 계산하면 문턱전압은 다음과 같다.

$$V_{th}^{(1)} = 3.9 - 1/3 (2V_a + V_b) \quad (2)$$

본 연구에서 설계 제작한 그림1과 같은 인버터의 부유게이트 전위는 수식(3)과 같다[5].

$$\Phi_F = \frac{C_1 V_1 + C_a V_a + C_b V_b + C_{op} V_{DD}}{C_{TOT}} \quad (3)$$

여기서  $C_{op}$ 는 p채널 neuron-MOSFET의 게이트 산화층 커패시턴스이다. 인버터의 부유게이트 전위는 3-입력 neuron-MOSFET의 부유게이트의 전위에  $C_{op}V_{DD}$  입력이 추가된 것과 같다.

수식(3)으로부터 neuron-MOSFET 인버터의  $V_1$  입력 게이트에서 인버팅전압은 다음과 같다[6].

$$V_{INV}^{(1)} = \frac{C_{TOT}}{C_1} (V_{INV}^* - \frac{C_{op}}{C_{TOT}} V_{DD}) - \frac{1}{3}(2V_a + V_b) \quad (4)$$

여기에서  $V_{INV}^*$  부유게이트 인버팅 전압이다. 그림4는  $V_a, V_b$ 를 제어입력으로 사용했을 때  $V_1$  입력에 따른 인버터의 전압 전달 곡선을 나타낸 것이다. ( $V_a, V_b$ )가 (0, 0), (0, 5V), (5V, 0)로 변화함에 따라 인버팅전압은 각각 6.8V, 5.4V, 4.4V로 변화함을 알 수 있다.

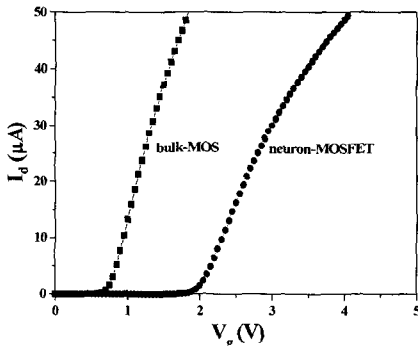


그림 2. 일반 MOSFET와 neuron-MOSFET의  $I_d - V_g$  특성 비교

Fig. 2. Comparison of  $I_d - V_g$  characteristics voltage between bulk MOSFET and neuron-MOSFET.

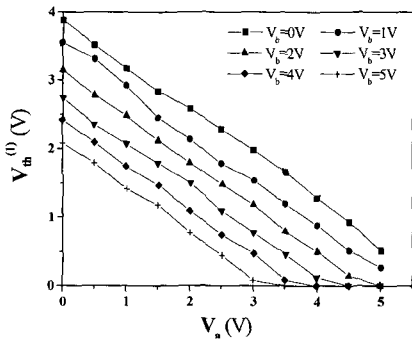


그림 3. 제어전압  $V_a, V_b$ 의 변화에 따른 입력전압  $V_1$ 의 문턱전압

Fig. 3. Variable-threshold Voltage of  $V_1$  where  $V_a$  and  $V_b$  is the control terminal.

2.3 인버터 설계 가이드 라인

제작한 3입력 neuron-MOSFET를 에 따른 인버터

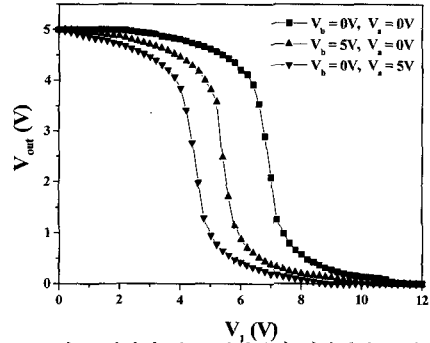


그림 4.  $V_a$ 와  $V_b$  변화에 따른 인버터의 전압전달 특성 곡선  
Fig. 4. Voltage transfer characteristics of inverter with  $V_a$  and  $V_b$ .

의 전압전달 특성곡선과 잠음여유특성을 입력게이트의 커플링 커패시턴스와  $T_{ox}$  변화에 따라 분석하였다. CMOS를 사용한 일반적인 인버터의 전압특성을 n채널 및 p채널 MOSFET의 동작 영역에 따라 5영역으로 나누어 분석한 것을 그대로 적용하였다. 3개의 제어 게이트중 입력게이트 전압이  $V_1$ 이고 나머지 제어전압이  $V_a, V_b$ 일 때 부유게이트에 인가되는 입력전압은  $V_{in}$ 이다. 수식(1)을 인버터에 적용한 부유게이트 문턱전압은 각각  $V_{F,tn}, V_{F,tp}$ 이다. 표1은 neuron-MOSFET 인버터에서  $V_1$ 을 입력게이트,  $V_a$ 와  $V_b$ 를 제어게이트로 사용했을 때의 전압 전달특성을 나타낸 것이다.

일반적으로 디지털 논리회로에서는 전원전압 및 접지의 변동과 노드 커패시터의 충·방전등으로 인하

표 1.  $V_1$  전압에 대한 인버터의 출력전압 ( $V_o$ )  
Table 1. Output voltage of inverter where  $V_1$  is input terminal.

조건	출력전압( $V_o$ )
$V_1 < V_{F,tn}$	$V_{DD}$
$V_{F,tn} \leq V_1 < V_{INV}^{(1)}$	$(V_{in} + 0.7) + (15 - 7.2V_{in})/2$
$V_1 = V_{INV}^{(1)}$	$V_{DD}/2$
$V_{INV}^{(1)} < V_1 \leq V_{DD} - V_{F,tp}$	$(V_{in} - 0.7) - (6.6V_{in} - 15.5)/2$
$V_1 > V_{DD} - V_{F,tp}$	0V

$$(V_{DD} = 5V, V_{tn}^* = 0.7V, V_{tp}^* = -1V, (\beta_n/\beta_p) = 1)$$

여 출력전압 값이 이상적인 값으로 변동될 수 있으므로 인버터는 설계할 시 잡음여유가 커야한다. 본 연구에서는 앞에서 서술한 전압전달 특성곡선 분석에서와 같이 일반적인 CMOS 인버터와 동일하게 잡음여유를 분석·계산하였다. 3-입력 neuron-MOSFET인버터의 제어게이트  $V_a$ 와  $V_b$ 에 따른 low 레벨의 잡음여유( $NM_L$ )와 high레벨의 잡음여유( $NM_H$ )를 계산하여 표2에 나타내었다.

표 2. 제어게이트  $V_a, V_b$ 에 따른 잡음여유

Table 2. Noise margin with control gate  $V_a, V_b$ .

Control gate \ Noise margin	$V_a, V_b = 0V$	$V_a = 0V, V_b = 5V$	$V_a = 5V, V_b = 0V$
	$NM_L$	6.14	4.64
$NM_H$	4.64	5.86	7.15
$V_{INV}^{(1)}$	6.8V	5.4V	4.4V

제어게이트의 입력전압이 증가할수록 입력게이트  $V_1$ 에 대한 인버팅 전압은 감소하게 되고 그 결과  $NM_L$ 는 감소하며  $NM_H$ 는 증가하게 되는 것을 알 수 있었다. 인버터는 설계 변수에 따라 전압전달 특성 및 잡음여유 특성이 다르게 되는데 neuron-MOSFET와 같이 입력게이트가 여러 개인 경우는  $\gamma$  및 입력게이트의 레이아웃에 따라 인버터 특성이 큰 영향을 받게 될 것이다. 본 연구에서는  $T_{ox}$ 변화에 따른  $\gamma$  및 입력게이트  $V_1$ 의 레이아웃에 따른 전압전달 특성 및 잡음여유 특성을 계산하여 그림5~그림8에 나타내었다. 그림5는 앞에서 설계한 동일한 neuron-MOSFET 인버터에서 일정한 제어전압을 인가할 때  $T_{ox}$ 가 변화에 따른 전압 전달 특성곡선을 나타낸 것이다.  $T_{ox}$ 가 증가함에 따라서 게이트 산화층 커패시턴스가 작아지므로  $\gamma$ 가 증가하게 되고 입력게이트  $V_1$ 의 인버팅 전압은 감소하게 된다. 인버팅 전압에 따른 잡음여유의 변화는 그림6과 같다. 결과적으로  $T_{ox}$ 를 증가시키면  $\gamma$ 가 증가하게 됨으로 인버팅 전압이 감소하게 되고 그 결과로  $NM_L$ 는 감소하게 되고  $NM_H$ 는 증가하게 됨을 알 수 있다. 그림7은 입력게이트  $V_1$ 의 커플링 커패시턴스를 변화시켜줌에 따른 전압전달 특성곡선을 나타

낸 것이다. 입력게이트의 커플링 커패시턴스가 증가하게 됨에 따라  $\gamma$ 가 증가하게 되므로 인버팅 전압은 감소하게 된다. 그림8은 입력게이트  $V_1$ 의  $\gamma$ 가 변화에 따른 잡음여유의 변화를 나타낸 것이다.  $\gamma$ 가 증가함에 따라서  $NM_L$ 와  $NM_H$ 가 동시에 증가하게 되는 것을 알 수 있다. 이 결과로부터는 neuron-MOSFET의 인버터를 설계할 시 인버팅 전압조절은  $T_{ox}$ 를 조절하는 것이 좋으나 잡음여유 측면에서는 입력게이트  $V_1$ 의 레이아웃을 통한  $\gamma$  조절이 더 유리한 것을 알 수 있다.

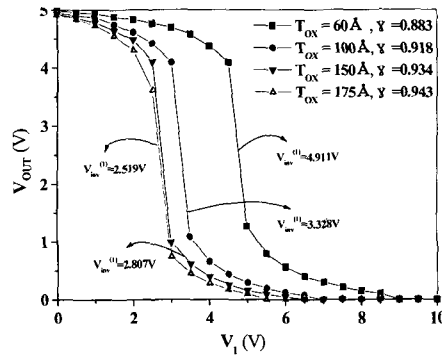


그림 5. 부유게이트 산화층 두께의 변화에 따른 전압 전달 특성곡선

Fig. 5. Voltage transfer characteristics of neuron-MOSFET inverter with floating gate oxide thickness.

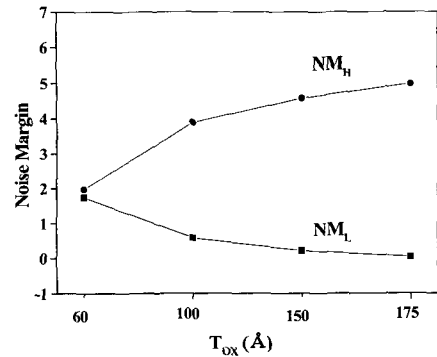


그림 6. 부유게이트 산화층 두께의 변화에 따른 noise margin

Fig. 6. Noise margin of neuron-MOSFET inverter versus floating gate oxide thickness.

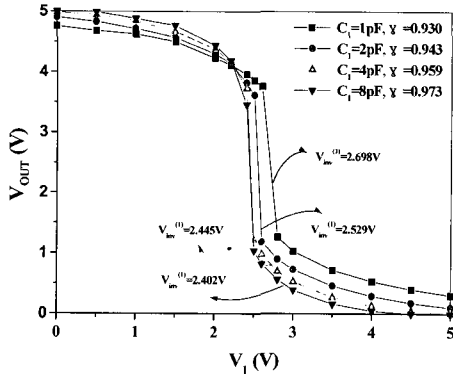


그림 7. 입력게이트  $V_I$ 의 결합계수에 따른 전압 전달 특성곡선

Fig. 7. Transfer characteristics of neuron-MOSFET inverter with coupling ratio of the input gate  $V_I$ .

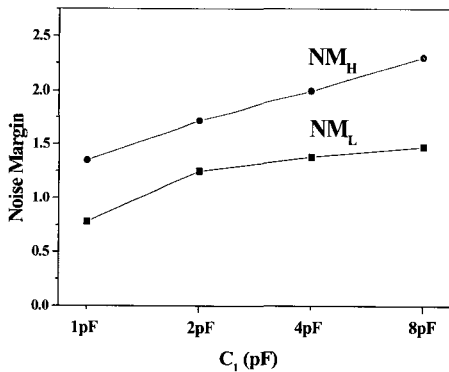


그림 8. 입력게이트  $V_I$ 의 결합 계수에 따른 noise margin

Fig. 8. Noise margin versus coupling ratio of the input gate  $V_I$ .

### III. Neuron-MOSFET를 사용한 D/A 변환기 설계

#### 3.1 Neuron-MOSFET를 사용한 D/A 변환기 설계 및 제작

Source-follower 개념을 neuron-MOSFET에 도입한 것이 D/A 변환기이다. 그림9는 4-입력 neuron-MOSFET를 이용한 D/A 변환기의 회로도를 보여주고 있다. 4개의 입력게이트  $V_1, V_2, V_3, V_4$ 는 각각  $C_1 = 1/15 \gamma C_{TOT}, C_2 = 2/15 \gamma C_{TOT}, C_3 = 4/15 \gamma C_{TOT}, C_4 = 8/15 \gamma C_{TOT}$ 의 커플링 커패시턴스를 갖도록 설계하였

다. 그리고 채널의 길이와 폭은  $(L/W)=0.8\mu m/10\mu m$ 로 설계하였고, 소스단에 연결되어 있는 출력저항은 트랜지스터의 턴-온 저항보다 훨씬 큰 값을 갖는  $R=700K\Omega$ 으로 설계하였다. 제작한 칩 사진은 그림 10과 같다.

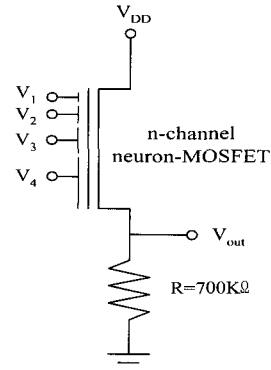


그림 9. Neuron-MOSFET 사용한 D/A 변환기 회로도

Fig. 9. The circuit for neuron-MOSFET D/A converter.

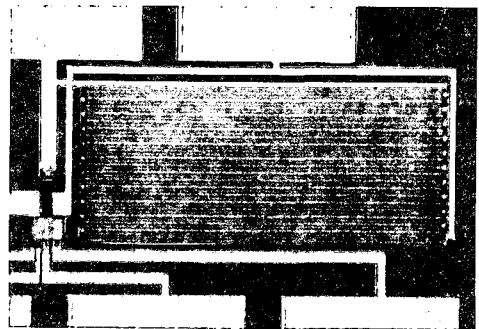


그림 10. Neuron-MOSFET 사용하여 제작된 D/A 변환기 사진

Fig. 10. Photomicrograph of D/A converter using neuron-MOSFET.

#### 3.2 Neuron-MOSFET를 사용한 D/A 변환기 특성

그림9에서 부하저항이 트랜지스터의 턴-온 저항보다 훨씬 크다면 출력전압은  $V_{OUT} = \phi_F \cdot V_{th}^*$ 이고, 이때  $V_{th}^* = 0$  즉 공핍형의 트랜지스터를 사용하게 되면 소스단에 출력전압은  $V_{OUT} = \phi_F$ 와 같이 된다[7].

$$V_{out} = \frac{\gamma_{DD}}{2^n - 1} (X_1 + 2X_2 + 4X_3 + 8X_4) \quad (16)$$

여기에서  $n$ 은 0.53이며  $V_{DD}=5V$  이고  $X_1, X_2, X_3, X_4$ 는 이진 디지털이다. 본 연구에서는 표준 큼 감소 하게 된다. 그림10은 4-비트 neuron-MOSFET D/A 변환기의 출력 전압을 측정 한 결과를 나타낸 것이다. 인가되는 입력전압에 따른 출력전압은 다음과 같은 아날로그 전압을 얻을 수 있다.

$$V_{out} = 0.18(X_1 + 2X_2 + 4X_3 + 8X_4) - 0.72 \quad (18)$$

그러나 그림11의 D/A 변환기는 트랜지스터의 문턱전압 보다 작은 부유게이트 전위를 갖는 디지털 입력에 대해서는 원하는 아날로그 출력을 얻지 못하게 된다. 이러한 문제를 해결하기 위하여 공평형을 사용하지 않은 증가형에서 입력게이트 중 하나인  $V_4$ 에  $V_{th}$ 를 보상해줄 수 있는 만큼의 전압 2.54V를 인가 하였다. 그림12는  $V_4$ 를 제어입력으로 사용한 3-비트 디지털 신호 ( $V_3, V_2, V_1$ )의 전 구간에 대한 원하는 아날로그 출력을 얻을 수 있게 되었고 출력결과 식은 다음과 같다.

$$V_{out} = 0.18(X_1 + 2X_2 + 4X_3) \quad (19)$$

회로 설계상에서 부하지항 R이 크게 되면 응답속도가 느려지므로 가능하면 줄여야 한다. 반면에 부하지항을 줄이게 되면 전압이득이 감소하게 됨으로 정확한 소자 설계가 요구되어 진다. 그림12로부터 표준 CMOS공정의 증가형 neuron-MOSFET를 이용하여 offset전압이 없는 D/A 변환기를 설계할 수 있음을 알 수 있다.

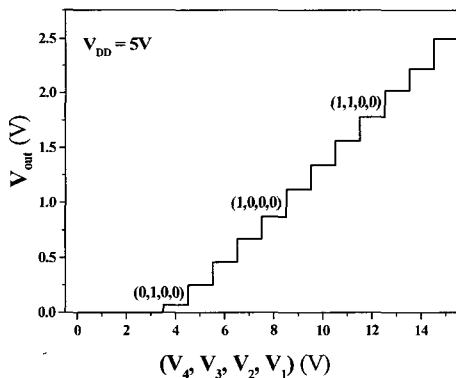


그림11. 4-비트 D/A 변환기 출력전압

Fig. 11. Analog output voltage of 4-bit D/A converter.

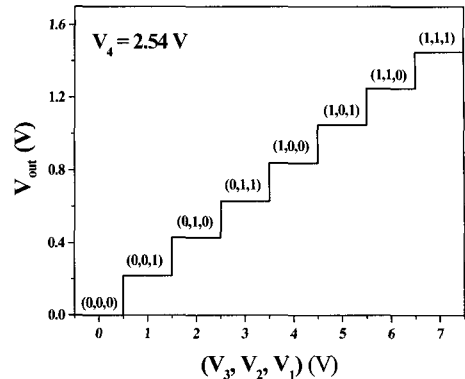


그림12. 입력전압  $V_4$ 를 제어전압으로 사용했을 때의 D/A 변환기의 출력전압

Fig. 12. Output voltage of D/A converter where  $V_4$  is control input signal.

#### IV. 결 론

설계·제작된 3 입력 neuron-MOSFET 인버터의 특성을 분석한 결과 제어게이트의 입력 가중치에 따라 전압전달 특성곡선을 정확하게 측정할 수 있었으며 인버팅 전압은 계산치와 유사하였다. Neuron-MOSFET 인버터의 설계를 위한 가이드라인으로 게이트 산화층 두께와 입력게이트의 레이아웃에 의한 결합계수 변화가 전압전달 특성에 미치는 영향을 분석한 결과 인버팅 전압 조절을 위하여는 게이트 산화층 두께를 변화시키는 것이, 그리고 잡음여유를 고려하여서는 입력게이트 레이아웃을 변화시키는 것이 유리한 것임을 알 수 있었다. 또한 4 입력 D/A 변환기로부터 한 입력단자를 제어게이트로 사용하므로 증가형 소자를 사용한 offset이 없는 3비트 D/A 변환기를 설계할 수 있었다.

#### 참 고 문 헌

- [1] T. Ohmi and T. Shibata, "The concept of four-terminal devices and its significance in the implementation of intelligent integrates circuits," *IEICE Trans. Electron*, E77-C(7), pp.1032-1041, 1994.

[2] T. Shibata and T. Ohmi, "Neuron-MOS Binary Integrated-Circuitspart I: Design fundamentals and soft-hardware-logic circuit implementation," *IEEE Trans. Electron Devices*, Vol. 40, pp.570-576, Mar. 1993.

[3] T. Shibata and T. Ohmi, "Neuron-MOS Binary Integrated-Circuitspart II: Design fundamentals and soft-hardware-logic circuit implementation," *IEEE Trans. Electron Devices*, Vol. 40, pp.974-979, Mar. 1993.

[4] K. Ike, K. Hirose and H. Yasuura, "A design method of fundamental logic elements using neuron MOS transistor," *IEICE Technical Report*, VLD95-146, ICD95-246, 1995.

[5] H. Kosaka, T. Shibata, H. Ishii, and T. Ohmi, "An excellent weight-updating-linearity synapse memory cell for self-learning neuron MOS neural network," *IEEE Trans. Electron. Devices*, 42, 135-143, 1995.

[6] S. Wong, and C. A. Salama, "Impact of scaling on MOS analog performance," *IEEE. J. Solid-State Circuits*, Vol.SC-18, pp. 106-114, Feb. 1983.

[7] T. Shibata and T. Ohmi, "An intelligent MOS transistor featuring gate-level weighted-sum and threshold operations," *IEDM Tech. Dig*, 1991, pp. 570-5776 Mar.1992.

— 저 자 소 개 —



金世煥 (會員申請中)  
 1998년 인천대학교 전자공학과 졸업(공학사), 1999년 현재 인천대학교 대학원 전자공학과 석사과정.  
 주관심 분야는 neuron-MOSFET, 플래쉬메모리.



朴鍾泰 (正會員)  
 1981년 경북대학교 전자공학과(공학사), 1983년 연세대학교 대학원 전자공학과 졸업(공학석사), 1987년 연세대학교 대학원 전자공학과 공학박사 취득, 1987~현재 인천대학교 전자공학과 교수.

주관심 분야는 CMOS소자, 플래쉬메모리, RF-CMOS, neuron-MOSFET.



李在基 (會員申請中)  
 1987년 서울산업대학교 전자공학과 졸업(공학사), 1980년 인천대학교 대학원 전자공학과 졸업(공학석사), 1999년 현재 인천대학교 대학원 전자공학과 박사과정, 1992~현재 가천길대학 전자통신과

조교수.

주관심 분야는 neuron-MOSFET, 영상신호처리.



鄭運達 (正會員)  
 1977년 숭실대학교 전자공학과 졸업(공학사), 1980년 명지대학교 대학원 전자공학과 졸업(공학석사), 1989년 명지대학교 대학원 전자공학과 공학박사 취득, 1982~현재 인천대학교 전자공학과 교수.

주관심 분야는 영상신호처리, 회로 및 시스템.