

LDD NMOSFET의 Metallurgical 게이트 채널길이 추출 방법

The Extraction Method of LDD NMOSFET's Metallurgical Gate Channel Length

趙明石*
(Myung-Suk Jo*)

요약

게이트 아래의 기판과 소오스/드레인의 접합부분 사이의 길이로 정의되는 LDD MOSFET의 metallurgical 채널 길이를 커패시턴스 측정을 이용하여 결정할 수 있는 방법을 제안하였다. 전체의 게이트 면적이 동일한 평판 모양과 손가락 모양의 LDD MOSFET 게이트 테스트 패턴의 커패시턴스를 측정하였다. 각 테스트 패턴의 소오스/드레인과 기판의 전압을 접지시키고 게이트의 전압을 변화시키면서 커패시턴스를 측정하였다. 두 테스트 패턴의 측정치의 차이를 그려서 최대점이 나타나는 점의 값을 간단한 수식에 대입하여 metallurgical 채널 길이를 구하였다. 이차원적 소자 시뮬레이터를 사용하여 수치해석적 모의 실험을 함으로써 제안한 방법을 증명하였다.

Abstract

A capacitance method to extract the metallurgical channel length of LDD MOSFET's, which is defined by the length between the metallurgical junction of substrate and source/drain under the gate, is presented. The gate capacitances of the finger type and plate type LDD MOSFET gate test patterns with same total gate area are measured. The gate bias of each pattern is changed, and the capacitances are measured with source, drain, and substrate bias grounded. The differences between two test pattern's capacitance data are plotted. The metallurgical channel length is extracted from the peak data at a maximum point using a simple formula. The numerical simulation using two-dimensional device simulator is performed to verify the proposed method.

Key words: MOSFET, metallurgical 채널길이, 유효 게이트 채널 길이, 커패시턴스, 테스트 패턴

* 江陵大學校 電子工學科
(Dept. of Elec. Eng., Kangnung Nat'l Univ.)

※ 본연구는 97년도 교육부 반도체분야 학술연구조성비(ISRC97-E-1027)에 의하여 연구되었음.

接受日: 1999年3月4日, 修正完了日: 1999年6月28日

I. 서론

VLSI 제조공정기술이 점점 발달함에 따라서 집적 회로의 집적도가 높아지고, 기본 소자중의 하나인 MOSFET의 크기가 더욱 더 작아지고 있다. 이에 따라 가장 중요한 MOSFET의 파라미터 중의 하나인 채널의 길이를 정확하게 측정하는 것이 더욱 중요하게 되었다. 신뢰성의 한계에 영향을 미치는 핫캐리어 효과나 펀치쓰루와 관련된 소자 특성의 분석, 다음 세대 MOSFET 제조공정에서의 소자 크기의 축소 등을 하기 위해 반드시 필요한 파라미터 중의 하나이다.

게이트의 채널 길이는 유효 채널 길이인 L_{eff} 와 metallurgical 채널 길이인 L_{met} 로 나눌 수가 있다. 유효 게이트 채널 길이는 게이트 전압의 변화가 게이트 채널의 도전율에 효과적으로 영향을 주는 MOSFET 게이트 밑의 실리콘 표면 지역의 기판 길이를 나타낸다. 유효 채널 길이를 구하는 대부분의 방법은 문턱 전압보다 큰 게이트 전압에서 MOSFET의 선형의 특성을 보이는 영역의 전류 전압 특성을 이용하여 구하는데 그 방법은 여러 가지가 있다[1-7]. 이들 중에서 Whitfield의 방법[2]과 Terada의 방법[1]이 그 중 많이 쓰이는 방법들인데, 전자의 경우는 수행하기 쉽고 두 개 이상의 소자를 사용하는데 비해, 후자는 특히 측정 노이즈가 심한 경우에도 보다 정확한 결과를 얻을 수 있다. 일반적인 MOSFET에 비해 LDD MOSFET는, 소오스/드레인의 불순물의 농도가 적은 지역에서의 캐리어의 농도 변화가 전압의 변화에 따라 달라지면서 그 지역의 기생 저항이 변하기 때문에[4, 8] 구하는 방법에 따라 유효 채널 길이는 다소 차이가 생기기도 한다.

Metallurgical 채널 길이인 L_{met} 는 게이트 아래 부분에서의 기판과 소오스/드레인 사이의 두 접합 사이의 길이를 나타낸다. Metallurgical 채널 길이를 구하는 방법에는, 유효 게이트 채널 길이를 구할 때와 비슷한 방법인 LDD MOSFET의 선형의 특성을 보이는 영역의 전류 전압 특성을 이용하는 방법[9,10]과 게이트 커패시턴스를 측정하여 구하는 방법[11]들이 연구되어 왔다.

Shiuh-Wuu는[11] 게이트의 길이가 다른 여러 LDD

MOSFET의 C-V 특성을 이용하여 L_{met} 를 추출하였다. 그는 게이트의 서로 다른 세 개 이상의 손가락 형태의 테스트 패턴을 게이트와 소오스/드레인 사이의 커패시턴스를 전압의 변화에 따라 측정하였다. LDD MOSFET의 게이트 밑에서 소오스/드레인과 기판의 metallurgical 접합부분까지 최대한 측정되는 전압인 V_{gs}^{on} 에서 게이트와 기판 사이의 커패시턴스를 측정하여 L_{met} 를 계산해 내었다. 이 방법에서는 세 개 이상의 다른 크기의 게이트를 가지는 테스트 패턴이 필요하고, 무엇보다 데이터가 점차적으로 갈라지는 점에서 V_{gs}^{on} 인 점을 찾아내기 때문에 오차가 생길 가능성이 있다.

본 연구에서는 LDD MOSFET의 게이트 커패시턴스 측정결과를 이용하는 방법을 사용하였다. 전체 게이트 면적이 동일한 손가락 모양의 커패시터와 평판 모양의 커패시터를, 게이트와 기판 사이의 전압을 변화시키면서 측정한 후, 그 측정 결과를 이용하여 간단한 계산을 통해 metallurgical 채널 길이를 추출하였다. 두 테스트 패턴의 게이트 커패시턴스를 측정한 결과의 차이를 인가된 전압의 변화에 따라서 그린 후, 음의 전압 영역에서 최대점이 되는 전압에서의 커패시턴스 값을 취한다. 이 전압에서 게이트 아래 부분의 기판이 기판과 소오스/드레인의 접합 경계까지 측정되어 있으므로, 이때의 커패시턴스 값을 간단한 공식에 대입하여 metallurgical 채널 길이를 계산해 낼 수 있다. 실제로 구한 결과가 맞는지 증명하기 위하여 이차원 소자 시뮬레이터인 MEDICI를 이용하여 본 연구에서 제안한 방법을 모의 실험하였다.

II. 테스트 패턴과 측정 방법

손가락 모양의 게이트 테스트 패턴과 평판 모양의 게이트 테스트 패턴을 이용하였다. 손가락 모양의 게이트 패턴은 Miller 커패시턴스를 측정하기 위해 많이 사용되는 모양으로서, 같은 크기의 긴 막대 모양의 게이트를 여러개 병렬로 연결하여 모든 게이트와 모든 소오스/드레인을 각각 한 개씩의 점점에 연결하고, 기판 점점을 따로 만들어 모두 세 개의 점점을 가지고 있다. 본 연구에 사용된 소오스/드레인은 그림 1과

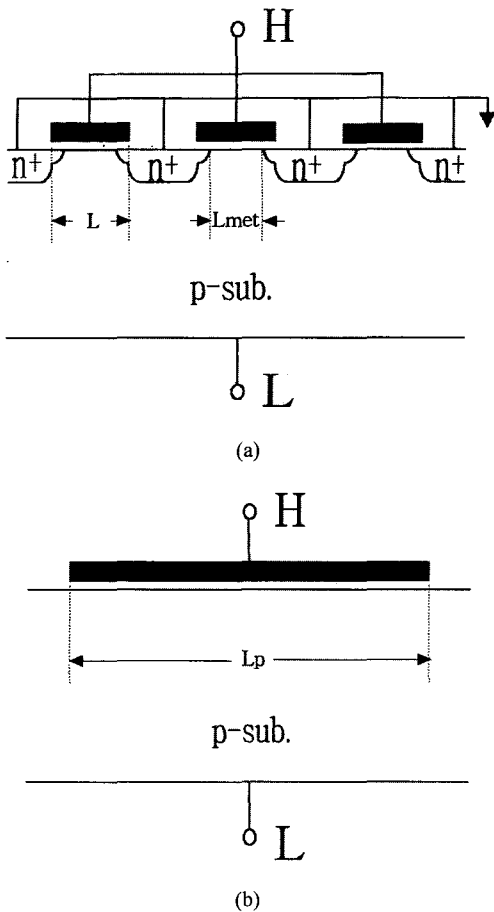


그림 1. (a) 손가락 모양의 게이트 테스트 패턴
과 (b) 평판 모양의 게이트 테스트 패턴의
단면도와 측정 연결 방법

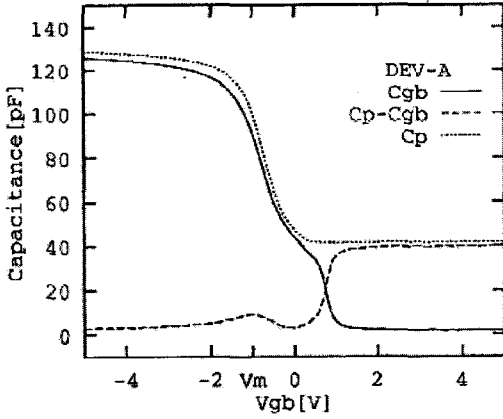
Fig. 1. Cross sections and test configurations of
(a) finger type and (b) plate type test pattern

같은 LDD구조를 가지고 있으며 긴 막대모양의 게이트의 갯수는 250개이다. 평판 모양의 게이트 패턴은 한 개의 평판 게이트로 되어 있고 게이트와 기판이 각각 한 개씩의 접점으로 연결되어 두 개의 접점을 가지고 있다. 250개의 막대모양의 게이트 면적을 전부 합치면 평판 모양의 게이트 면적과 동일하도록 만들어 졌다. 두 테스트 패턴의 평면도는 그림 1과 같다.

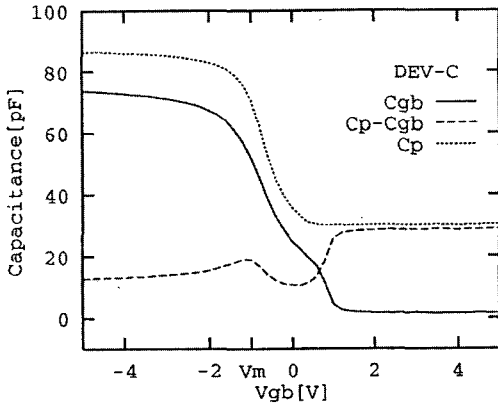
두 테스트 패턴의 커패시턴스를 측정하기 위해 HP 4284A LCR 측정기가 측정대의 측정침들에 연결되어 설치되었다. 측정대는 접지된 철제 상자 안에 넣고 차폐시킴으로써 작은 커패시턴스를 측정할 때 외부의 노이즈와 같은 영향을 없도록 만들었다. 각 테스트 패턴의 게이트 커패시턴스를 측정하기 위한 측정선 연결 방법은 그림 1과 같다. 먼저 손가락 모양의 게이트 테스트 패턴에서는 소오스/드레인의 접합 커패시턴스가 floating 되었을 때 있을지도 모르는 영향을 막기 위하여 소오스/드레인을 모두 접지 시켰다[그림 1(a)]. 그리고 게이트와 기판은 LCR 측정기의 high port와 low port에 각각 연결하여 게이트와 기판 사이의 커패시턴스를 측정하였다. 평판 모양의 게이트 테스트 패턴의 경우에도 게이트와 기판을 LCR 측정기의 high port와 low port에 각각 연결하여 게이트와 기판 사이의 커패시턴스를 측정하였다[그림 1(b)]. 커패시턴스 측정 주파수는 10kHz로 하였다.

III. LDD MOSFET의 Metallurgical 게이트 채널 길이의 추출

앞에서 언급한 대로 테스트 패턴들을 그림 1과 같이 연결한다. 손가락 모양의 게이트 테스트 패턴에서 소오스/드레인을 접지 시키고 기판을 0V로 고정하고 게이트의 전압(V_{gb})을 -5V에서 5V까지 전압을 변화시키면서 커패시턴스를 측정한다. 평판 모양의 게이트 테스트 패턴에서도 소오스/드레인을 접지 시키고 기판을 0V로 고정하고 게이트의 전압(V_{gb})을 -5 V에서 5V까지 전압을 변화시키면서 커패시턴스를 측정한다. 손가락 모양의 게이트 테스트 패턴에서 측정된 게이트와 기판 사이의 커패시턴스를 C_{gb} 라 하고, 평판 모양의 게이트 테스트 패턴에서 측정된 게이트와 기판 사이의 커패시턴스를 C_p 라 한다. C_p 에서 C_{gb} 를 뺀 것을 C_{diff} ($= C_p - C_{gb}$)라 한다. 일반적으로 커패시턴스를 측정하기 전에 테스트 패턴에서 오차를 보정해 주기도 하는데, 여기서는 두 개의 pattern을 서로 뺀 값을 사용하기 때문에 LCR 측정기 자체의 오차 보정만 하고 또 다른 보정을 할 필요가 없다는 장점이 있다. 측정된 C_{gb} 와 C_p 및 C_{diff} 를 게이트 전압의 변화에 따라



(a)



(b)

그림 2. 측정된 C_{gb} , C_p , $C_{diff}(=C_p-C_{gb})$, (a) $L=0.8\mu m$, $W=200\mu m$, $N_f=250$ 개, $C_{ox} = 3.22 \times 10^{-3} F/m^2$, (b) $L=0.8\mu m$, $W=200\mu m$, $N_f=250$ 개, $C_{ox} = 2.16 \times 10^{-3} F/m^2$

Fig. 2. (a) Measured C_p , C_{gb} and $C_{diff}(=C_p - C_{gb})$ for device (a) with $L=0.8\mu m$, $W=200\mu m$, $N_f=250$, $C_{ox} = 3.22 \times 10^{-3} F/m^2$ and (b) with $L=0.8\mu m$, $W=200\mu m$, $N_f=250$, $C_{ox} = 2.16 \times 10^{-3} F/m^2$

함께 그리면 그림 2와 같은 특성을 보인다. 그림 2(a)의 경우의 게이트 산화막의 커패시턴스는 $C_{ox} = 3.22 \times 10^{-3} F/m^2$, 그림 2(b)의 경우의 게이트 산화막의 커패시턴스는 $C_{ox} = 2.16 \times 10^{-3} F/m^2$ 인 LDD MOSFET를 사용하였다. 따라서 축적 영역, 즉 게이트 전압이 음으로 가해졌을 때의 영역에서 그림 2(a)의 게이트

커패시턴스가 그림 2(b)의 커패시턴스보다 크게 나타난다. 두 그림의 경우 모두 손가락 모양의 게이트 테스트 패턴에서 긴 막대 모양의 길이는 $0.8\mu m$, 폭은 $200\mu m$ 이고 막대의 개수는 250개이다. 손가락 모양의 게이트 테스트 패턴과 평판 모양의 게이트 테스트 패턴의 전체 게이트 면적은 $4 \times 10^4 \mu m^2$ 이다.

V_{gb} 의 변화에 따라 게이트 아래부분의 기판은 축적에서 반전 상태로 변한다. 손가락 모양의 게이트 테스트 패턴에서 긴 막대 모양의 게이트와 소오스/드레인이 서로 겹치는 LDD 부분에서는 V_{gb} 의 변화에 따라 게이트 아래의 LDD 영역이 반전에서 축적 상태로 변한다. V_{gb} 의 변화에 따른 설명은 다음 장에서 자세히 언급한다.

V_{gb} 가 음인 영역에서 C_{diff} 가 최대가 되는 전압을 V_m 이라 한다. V_{gb} 가 V_m 이 되는 점에서 게이트 아래의 정공이 게이트 아래의 소오스/드레인과 기판의 metallurgical 접합의 '경계까지만 축적된 상태이기 때문에 이 전압에서 손가락 모양의 게이트 테스트 패턴에서의 게이트와 기판 사이의 커패시턴스 C_{gb} 는

$$C_{gb} = C_1 \times N_f (L - 2 \times \Delta L) \times W \quad (1)$$

이고, 같은 전압에서의 평판 모양의 게이트 테스트 패턴에서 측정된 게이트와 기판 사이의 커패시턴스 C_p 는

$$C_p = C_1 \times W \times L_p \quad (2)$$

로 나타낼 수 있다. 여기서 C_1 은 $V_{gb} = V_m$ 에서의 단위 면적당 평판 커패시턴스이고, N_f 는 손가락 모양의 게이트 테스트 패턴에서의 긴 막대 모양의 게이트 총 개수이며, L 은 긴 막대 모양 한 개의 게이트 길이를 나타낸다. ΔL 은 게이트와 소오스/드레인이 겹친 부분의 길이를 말하며, W 는 두 패턴의 게이트 폭을, L_p 는 평판 모양의 게이트의 길이를 나타내며 그 크기는 $N_f \times L$ 의 값과 동일하다. 두 커패시턴스의 차이 $C_p - C_{gb}$ 는

$$C_{diff} = C_p - C_{gb} = 2 \Delta L \times N_f \times C_p / L_p \quad (3)$$

이다. 따라서 게이트와 소오스/드레인이 겹친 부분의 길이인 ΔL 은

$$\Delta L = C_{diff} \times L_p / (2C_p \times N_f) \quad (4)$$

이고, LDD MOSFET의 metallurgical 채널 길이인 L_{met} 는

$$L_{met} = L - 2\Delta L \quad (5)$$

이다.

위의 식을 이용하여 추출한 $2\Delta L$ 은 그림 2(a)의 경우(게이트 산화막의 커패시턴스는 $C_{ox} = 3.22 \times 10^{-3} \text{ F/m}^2$)와 그림 2(b)의 경우(게이트 산화막의 커패시턴스는 $C_{ox} = 2.16 \times 10^{-3} \text{ F/m}^2$)에 각각 $0.073\mu\text{m}$ 와 $0.2\mu\text{m}$ 가 되었고, L_{met} 는 각각 $0.727\mu\text{m}$ 와 $0.6\mu\text{m}$ 가 되었다.

IV. 이차원 소자 모의 실험을 이용한 증명

본 논문에서 제한한 방법을 증명하기 위해 이차원 소자 모의 실험 프로그램인 MEDICI[12]를 사용하여 LDD MOSFET를 모의 실험하였다. 손가락 모양의

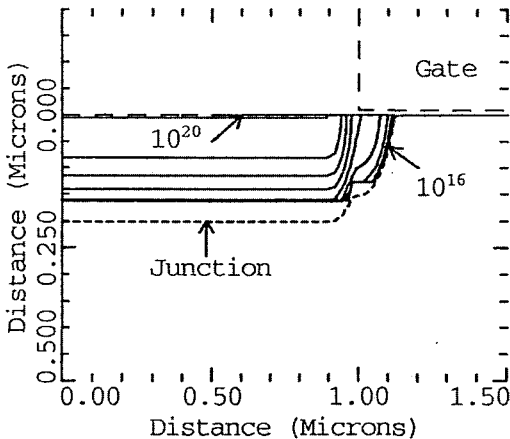


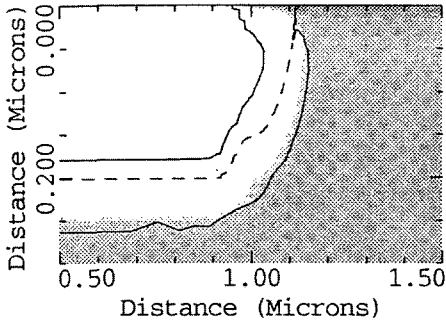
그림 3. MEDICI 모의 실험하기 위한 LDD NMOSFET의 LDD영역의 이차원 단면 구조 및 불순물농도 분포

Fig. 3. The LDD region schematic diagram and doping concentration contours of a LDD NMOSFET for MEDICI simulation

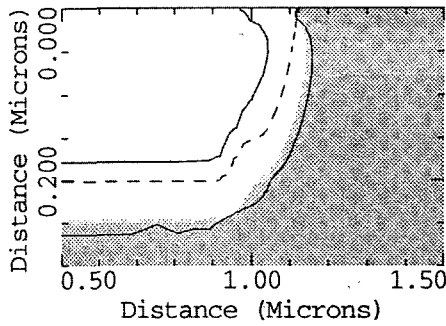
테스트 패턴의 긴 막대모양의 게이트를 모의 실험하기 위한 LDD NMOSFET의 LDD부분의 이차원 단면 구조는 그림 3과 같다. MEDICI 모의 실험에 사용되는 MOSFET의 구조는 실제 제조된 경우와 반드시 일치하지는 않는다. 특히 LDD MOSFET Lateral 농도 분포는 측정이 매우 어렵기 때문에 실제 제조한 MOSFET와 모의 실험 결과를 직접 비교하기는 어렵다.

게이트의 길이는 $1\mu\text{m}$ 이고 게이트의 산화막 두께는 100Å 으로 하였다. MEDICI는 2차원 시뮬레이터이므로 LDD MOSFET의 폭(W)은 단위길이인 $1\mu\text{m}$ 로 한다. 소오스/드레인과 기판의 전압을 0V로하고, 게이트의 전압을 -5V에서 5V까지 변화시키면서 모의 실험하였다. 게이트 커패시턴스를 구하기 위해 가해진 소신호의 크기는 20mV이고 주파수는 10kHz로 하였다. 모의 실험한 손가락 모양의 게이트 테스트 패턴에서의 게이트와 기판 사이의 커패시턴스 C_{gb} , 평판 모양의 게이트 테스트 패턴에서의 게이트와 기판 사이의 커패시턴스 C_p 와 C_p-C_{gb} 를 전압의 변화에 따라 그림 4(d)에 그렸다.

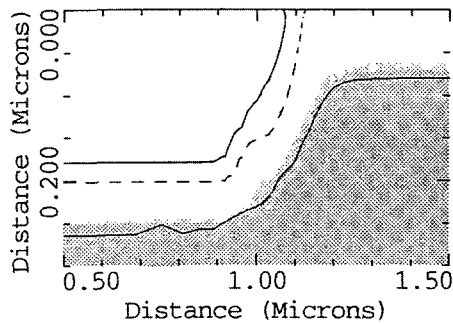
그림 4 (a,b,c)는 LDD부분의 이차원 단면 구조에서 V_{gb} 의 값에 따라 정공의 농도 분포를 나타낸다. $V_{gb} < V_m$ 일 때, 그림 4(a)에서와 같이 게이트 아래 부분의 기판이 축적되고 손가락 모양의 게이트 테스트 패턴에서 긴 막대 모양의 게이트와 소오스/드레인이 서로 겹치는 LDD 부분에서 반전이 되어 기판의 정공(검은 부분)이 게이트 아래의 소오스/드레인이 서로 겹치는 지역으로 들어가 있는 것을 볼 수 있다. 그래서 긴 막대 모양의 게이트의 거의 전체 길이의 게이트 커패시턴스가 측정되게 된다. 따라서 그때의 C_p-C_{gb} 의 값은 매우 작아진다. V_{gb} 가 증가함에 따라 LDD 지역에서 정공이 점점 기판지역으로 밀려나게 되어서 게이트 아래의 LDD 지역에서 반전된 지역이 줄어들게 된다. 결과적으로 손가락 모양의 게이트 테스트 패턴에서의 C_{gb} 값이 작아 지면서 C_p-C_{gb} 의 값은 점차적으로 커지게 된다. C_p-C_{gb} 의 값이 점점 커지다가 V_{gb} 가 V_m 이 되는 점에서 최대치를 가지게 되고 그보다 V_{gb} 가 증가하면 다시 C_p-C_{gb} 의 값이 작아진다.



(a)

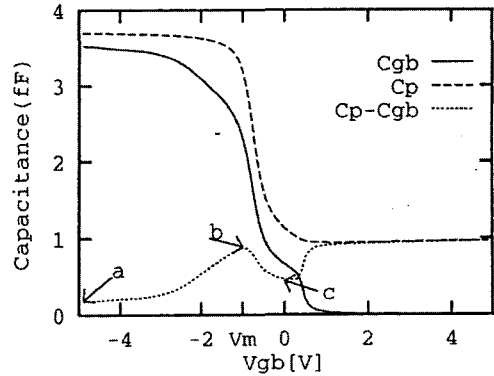


(b)



(c)

V_{gb} 가 V_m 이 되었을 때, 그림 4(b)에서 보듯이 게이트 아래의 LDD 영역에서 기판로 빠져나가던 정공이 게이트 아래의 소오스/드레인과 기판의 metallurgical 접합의 경계까지만 밀려나간 상태이다. V_{gb} 가 다시 증가하여 0V에 가까워지면 게이트 아래의 기판의 지역이



(d)

그림 4. (a) $V_{gb} < V_m$, (b) $V_{gb} = V_m$, (c) $V_{gb} > V_m$ 일 때 MEDICI로 모의 실험한 LDD 지역의 정공농도 분포(검은지역) 및 (d) C_{gb} , C_p 와 $C_p - C_{gb}$ 의 게이트 전압에 따른 변화(a, b, c 점은 각각 그림 4의(a), (b), (c)의 게이트 전압 표시)

Fig. 4. Hole distribution (gray region) diagrams in LDD region for (a) $V_{gb} < V_m$, (b) $V_{gb} = V_m$, and (c) $V_{gb} > V_m$ and (d) simulated C_p , C_{gb} and $C_{diff} (=C_p - C_{gb})$ using MEDICI(a, b, and c shows the gate bias conditions of Fig. 4 (a), (b), and (c) respectively)

deplete되면서[그림 4(c)] C_{gb} , $C_p - C_{gb} (= C_{diff})$ 의 값이 줄어든다. 손가락 모양의 게이트 테스트 패턴에서의 게이트 아래의 LDD 지역에서 전자가 들어와서 축적이 일어나고 게이트 아래에서 소오스/드레인과 게이트가 겹치는 부분이 접지가 되어 C_{gb} 가 겹치는 부분만큼 작아지게 된다. 따라서 이때에도 평판 모양의 게이트 테스트 패턴의 게이트 커패시턴스 C_p 보다 작은 값을 갖는다. V_{gb} 가 0 V 보다 더 커지면 게이트 아래의 기판이 반전이 되기 시작한다. 이 영역에서 평판 모양의 게이트 테스트 패턴의 게이트 커패시턴스 C_p 는 반전 커패시턴스 때문에 일정하게 되지만, 손가락 모양의 게이트 테스트 패턴에서는 소오스/드레인에 연결되어 접지가 된 반전 층에 의한 전계 차폐 효과로 인해 게이트 커패시턴스 C_{gb} 는 거의 무시할 정도로 작아진다.

게이트 아래 부분의 기판이 축적되는 영역에서 최대의 값을 나타내는 즉 V_{gb} 가 V_m 이 되었을 때의 전

압은 $-1V$ 이었다. 이 전압에서의 게이트 커패시턴스의 차이를 가지고 식 (4)와 식 (5)를 이용하여 추출한 L_{met} 의 크기는 $0.726\mu m$ 이었다. 한편 MEDICI에서의 기판 표면에서의 불순물 농도에서 직접 구한 L_{met} 의 크기는 $0.745\mu m$ 이었다. 따라서 모의 실험 결과 L_{met} 의 오차는 2.6%로서 이 방법이 상당히 정확함을 알 수 있다. 이 때 소오스 드레인과 기판사이의 영역에서, 전계에 의한 게이트와 게이트 아래의 기판 사이의 커패시턴스의 크기는 오차의 한계내에서 무시한다.

V. 결 론

LDD NMOSFET에서 게이트 아래 부분에서의 기판과 소오스/드레인 사이의 두 접합들 사이의 길이인 metallurgical 채널 길이 L_{met} 를 구하는 방법을 제시하였다. Miller 커패시턴스를 측정하기 위해 많이 사용되는 손가락 모양의 게이트 테스트 패턴과 평판 모양의 게이트 테스트 패턴의 게이트와 기판사이의 게이트 커패시턴스를 측정하고 그 차이를 게이트 전압의 변화에 따라 구했다. 게이트 전압이 음이고 기판이 측정 되는 영역에서 두 패턴의 커패시턴스 값의 차이가 최대가 되는 전압 V_m 을 구한다. 그 전압에서의 값을 간단한 수식을 대입하여 L_{met} 를 구하였다. 제안된 방법에서는 두 개의 측정치를 서로 빼서 그 차이를 이용하기 때문에 커패시턴스를 측정할 때 테스트 패턴에서 별도의 오차 교정을 할 필요가 없는 장점이 있다. 위의 방법을 이차원 소자 시뮬레이터 MEDICI로 모의 실험한 결과 게이트 전압이 $-1V$ 에서 추출된 L_{met} 의 오차가 2.6%로 상당히 정확하였다.

본 논문에서 제안된 방법에서는, 테스트 패턴이 두 개만 필요하고 측정도 소자 당 두 번만 수행하면 되기 때문에 비교적 과정이 간단하고 또한 수식이 간단하여, LDD NMOSFET의 모델 파라미터를 자동으로 추출할 수 있도록 프로그램 되어 사용될 수 있을 뿐 아니라 반도체 제조 공정을 monitoring하는 데도 쉽게 적용하여 사용될 수 있다.

참 고 문 헌

- [1] K. Terada and H. Muta, "A New Method to Determine Effective MOSFET Channel Length," *Jap. J. Appl. Phys.*, vol. 18, pp.953-959, 1979.
- [2] J. Whitfield, "A modification on an Improved Method to Determine MOSFET Channel Length," *IEEE Elect. Device Lett.* vol. EDL-6. pp.109-110, 1985.
- [3] K.L.Peng, S.Y.Oh, M.A.Afromowitz and J.L.Mo11,"An Improved Method to Determine MOSFET Channel Length," *IEEE Elect. Device Lett.* vol. EDL-3(12). pp.360, 1982.
- [4] Genda J. Hu, Chi Chang and Yu-Tai Chia, "Gate-Voltage-Dependent Effective Channel Length and Series Resistance of LDD MOSFET's," *IEEE Trans. Elect. Devices*, vol. ED-34, no. 12, pp.2469-2475, Dec. 1987.
- [5] B. J.. Sheu and P. K. Ko, "A capacitance Method to Determine Channel Lengths for Conventional and LDD MOSFET's," *IEEE Elect. Device Lett.* vol. EDL-5, pp.491-493, 1984.
- [6] Jiro Ida, Satoshi Ishii and Fumio Ichikawa, "Accurate characterization of Gate-N- Overlapped LDD with the New Leff Extraction Method," *IEEE IEDM*, 1993.
- [7] Kwok K. Ng and R. Brews, "Measuring the Effective Channel Length of MOSFET's," *IEEE Circuits and Devices*, pp.33-38, Nov. 1990.
- [8] Kwok K. Ng and William T. Lynch, "Analysis of Gate-Voltage-Dependent Series Resistance of MOSFET's," *IEEE Trans. Elect. Devices*, vol. ED-33, no. 7, pp.965-972, July 1986.
- [9] Soonwon Hong and Kwyro Lee, "Extraction of Metallurgical Effective Channel Length in LDD MOSFET's," *IEEE Trans. Elect. Devices*, vol. 42, no. 3, pp.1461-1466, Aug. 1995.
- [10] Yuh-Sheung Jean and Ching-Yuan Wu, "A New Extraction Algorithm for the Metallurgical ve Channel Length of Conventional and LDD MOSFET's," *IEEE Trans. Elect. Devices*, vol. 43,

no. 6, pp.946-953, June 1996.

- [11] Shih-Wuu Lee, "A Capacitance-Based Method for experimental Determination of Metallurgical Channel Length of Submicron LDD MOSFET's," *IEEE Trans. Elect. Devices*, vol. 41, no. 3, pp.403-412, Mar. 1994.

- [12] *MEDICI User's Manual*, TMA, 1994.

— 저 자 소 개 —



趙明石(正會員)

1982년 2월 연세대학교 전기공학과 학사 졸업. 1989년 12월 University of Florida, 전자공학과 대학원 박사 졸업. 1990년 1월 ~ 1991년 9월 현대전자 반도체연구소 책임연구원. 1991년 9월 ~ 현

재 강릉대학교 전자공학과 부교수. 주관심 분야 : 반도체 소자 모델링, 반도체 회로 설계 등