

칩 외부의 아날로그 저역통과 필터를 집적시키기 위한 디지털 오디오용 보간 필터 설계

The Design of Digital Audio Interpolation Filter for Integrating Off-Chip Analog Low-Pass Filter

申 鈞 太*, 李 正 雄**, 申 建 淳**

(Yun-Tae Shin*, Jung-Woong Lee**, and Gun-Soon Shin**)

요 약

본 논문은 기존의 오디오 DAC 칩 외부의 아날로그 저역통과 필터를 하나의 칩에 집적하기 위하여 디지털 보간 필터의 구조를 FIR와 IIR 필터를 혼합한 구조를 제시하였다. 제시된 디지털 보간 필터를 이용한 $\Delta\Sigma$ 변조기 출력은 통과대역 내($< 0.41 \times fs$)에서 진폭은 $\pm 0.001\text{dB}$, $0.41 \times fs$ 에서 감쇠는 -0.0025dB , 저지대역 이상($> 0.59 \times fs$)에서 감쇠는 -75dB 였고, 통과대역 내에서 군지연이 $30.07/fs[s]$ 이고, 군지연 오차가 0.1672% 였다. 또한 저지대역 65kHz 에서 감쇠가 약 -20dB 향상되어 이로 인해 기존의 디지털 보간 필터 구조에 비해 아날로그 저역통과 필터의 RC 적을 감소시킬 수 있음을 알 수 있었다.

Abstract

This paper has been proposed a structure composed of FIRs and IIR filters as digital interpolation filter to integrate the off-chip analog low-pass filter of audio DAC. The passband ripple($< 0.41 \times fs$), passband attenuation(at $0.41 \times fs$) and stopband attenuation($> 0.59 \times fs$) of the $\Delta\Sigma$ modulator output using the proposed digital interpolation filter had $\pm 0.001\text{dB}$, -0.0025dB and -75dB , respectively. Also the inband group delay was $30.07/fs[s]$ and the error of group delay was 0.1672% . Also, the attenuation of stopband has been increased -20dB approximately at 65kHz , out-of-band. Therefore the RC products of analog low-pass filter on chip have been decreased compared with the conventional digital interpolation filter structure.

Keyword : IIR filters, digital interpolation filter, analog low-pass filter, audio DAC, $\Delta\Sigma$ modulator,

I. 서론

디지털 오디오용 DAC(디지털-아날로그 변환기)는 주로 디지털 보간(Interpolation) 필터, $\Delta\Sigma$ 변조기

(Delta-Sigma modulator), 아날로그 DAC 및 저역통과 필터로 구성된다[1~9]. 디지털 보간 필터는 주로 64배 또는 128배의 데이터를 보간하는 역할과 엘리어싱(Aliasing)되는 신호를 필터링하는데 사용되며, $\Delta\Sigma$

* SOC 테크놀로지 ASIC팀
(ASIC team, SOC Technology)

** 金鳥工科大学教 電子工學部
(Dept. of Electronic Eng., Kumho National Univ.)

※ 본 연구는 1997년도 금오공과대학교 학술연구비 지원에 의하여 연구된 논문임.

接受日: 1999年2月8日, 修正完了日: 1999年5月28日

변조기는 양자화 오차(Quantization error)신호를 고주파수로 천이시켜 입력신호내(Inband)의 잡음을 줄여주는 역할을 한다. 그 다음에는 아날로그 DAC로 1비트 데이터를 적분함과 동시에 필터링하며, 그 후단에는 고차의 아날로그 저역통과 필터에 의해 입력 신호 대역 밖(Out-of-band)의 잡음을 감쇠시킨다. 이 때 디지털 보간필터의 샘플과 홀드(Sample and Hold : S/H)에 의해 입력 신호 내에서 감쇠(Drooping) 현상이 발생되기 때문에 아날로그 필터에서 보상을 해야 한다. 그런데 $\Delta\Sigma$ 변조기가 통과대역 내에서 큰 진폭을 갖는 비선형 IIR(Infinite Impulse Response) 필터 특성을 가지므로 아날로그 저역통과 필터로 보상하는 데는 큰 RC 적(Product)이 필요하므로 [5,7~9]에서와 같이 칩 내부에 이 아날로그 저역통과 필터를 집적시키는 것은 불가능 할 뿐만 아니라 정확한 RC 적을 구현할 수 없으므로 군 지연(Group delay) 특성이 나빠지는 단점을 갖는다.

따라서 본 논문에서는 디지털 보간 필터를 구현함에 있어 기존에 FIR 필터, S/H로 구성된 것을 FIR 필터와 IIR 필터를 혼합시켜 과표본화(Oversampling)시키는데, IIR 필터의 주목적은 상기에서 언급한 통과대역 내에서 S/H에 의한 감쇠 현상과 $\Delta\Sigma$ 변조기로 인한 신호 왜곡을 아날로그 필터에서 보상하는 것이 아니고 IIR 필터로 수행함으로써 아날로그 회로의 RC 적을 감소시켜 칩 내부에 아날로그 저역통과를 모두 집적시키기 위한 것이다. 또한, IIR 필터를 사용하므로써 기존의 구조와 유사한 군지연 특성을 갖도록 하는데 그 목적이 있다. 이로 인하여 18비트 이상에서 사용할 수 있는 고정밀의 디지털 오디오 DAC의 한 코어(Core)로 적용하고자 한다. 이를 위하여 기존의 FIR-FIR-FIR-S/H- $\Delta\Sigma$ 변조기의 구조에서 FIR-FIR-IIR-S/H- $\Delta\Sigma$ 변조기의 구조를 제시하기 위하여 제2장에서는 기존 방식인 FIR-FIR-FIR-S/H- $\Delta\Sigma$ 변조기의 문제점을 검토하고, 제3장에서는 본 논문에서 제시하는 FIR-FIR-IIR-S/H- $\Delta\Sigma$ 변조기 구조에 대한 설명과 기존 구조와 비교하였으며, 주파수 특성과 군 지연 특성에 대해 기존 방식과 비교, 검토하였다.

II. 기존의 디지털 보간 필터

보간(Interpolation)이란 샘플된 시계열 신호{x(n)}, n= ..., -2, -1, 0, 1, 2, ...을 각 데이터 사이마다 N개씩 데이터를 보간하여 표본화 주파수(fs)를 N배로 만드는 조작을 의미한다. 기존의 $64 \times fs$ 디지털 보간 필터 구조는 그림 1과 같이 3단 FIR과 S/H로 구성되었고 [1,2,7], 첫 번째 FIR 필터로 2배의 과표본화와 동시에 필터링을 수행하며, 이를 다시 2단의 FIR 필터로써 각각 2배의 보간을 하여 전체 8배의 보간을 수행한다. 그 다음 8배의 데이터를 S/H에 의해 보간 함으로써 출력에서는 입력 워드 길이의 64배 만큼의 데이터를 보간한 결과를 얻도록 하고 있다. 이 보간된 신호는 $\Delta\Sigma$ 변조기에 전해지는데 일반적으로 이 $\Delta\Sigma$ 변조기는 18비트 이상의 분해능(Resolution)을 갖기 위해서는 $\Delta\Sigma$ 변조기가 4차(과표본화 주파수= $128 \times fs$) 또는 5차(과표본화 주파수= $64 \times fs$) 이상으로 구현되어야 한다. 그러나 본 논문에서는 디지털 보간 필터의 구조를 중점적으로 설명하기 위해 과표본화 주파수가 $64 \times fs$ 인 4차 $\Delta\Sigma$ 변조기를 이용한 일 예를 보여주하고자 한다.

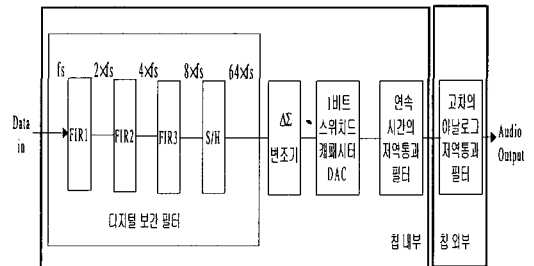
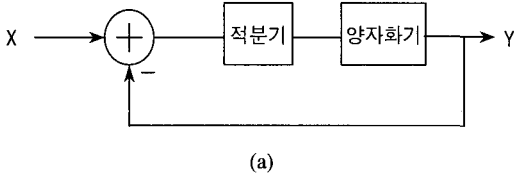


그림 1. 기존의 $64 \times fs$ 오디오 DAC의 구성.

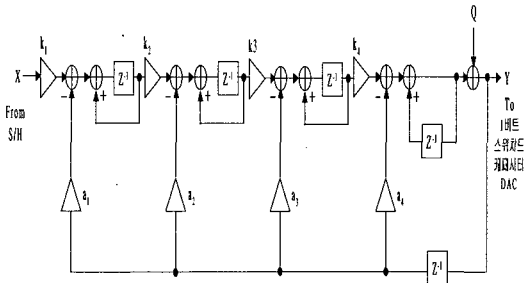
Fig. 1. The conventional structure of $64 \times fs$ audio DAC.

그림 2는 $\Delta\Sigma$ 변조기의 일 예를 나타낸 것으로서 $\Delta\Sigma$ 변조기는 그림 2(a)처럼 적분기로 구성된 루프 필터(Loop filter)와 양자화기(Quantizer)로 구성되어 비선형을 갖는 IIR 필터 형태를 갖는데 그림 2(b)는 본 논문에서 사용한 4차 $\Delta\Sigma$ 변조기의 구조를 모델링한 것이다. 이 4차 $\Delta\Sigma$ 변조기의 신호(X)대 출력(Y) 및

양자화 잡음(Q)대 출력(Y) 전달함수는 각각 다음과 같다.



(a)



(b)

그림 2. ΔΣ 변조기의 구조. (a) ΔΣ 변조기의 블록 다이어그램, (b) 4차 ΔΣ 변조기의 모델.

Fig. 2. The structure of ΔΣ modulator. (a) The block diagram of ΔΣ modulator, (b) The model of 4th-order ΔΣ modulator.

$$\frac{Y(z)}{X(z)} = \frac{k_1 k_2 k_3 k_4 z}{D(z)} \dots \dots \dots (1)$$

$$\frac{Y(z)}{Q(z)} = \frac{(z-1)^4}{D(z)} \dots \dots \dots (2)$$

여기서 분모다항식은

$$D(z) = z^4 - (4 - a_4)z^3 + (6 + k_4 a_3 - 3 a_4)z^2 - (4 - k_3 k_4 a_2 + 2 k_1 a_3 - 3 a_4)z$$

$$(1 + k_2 k_3 k_4 a_1 - k_3 k_1 a_2 + k_4 a_3 - a_1)$$

이다.

식 (1), (2)에서 보는 바와 같이 ΔΣ 변조기는 신호대 출력 특성은 저역통과 필터 특성을 갖고, 양자화 잡음 대 출력은 고역통과 필터 특성을 가지므로 양자화 오차는 고주파수로 천이됨을 예측할 수 있다.

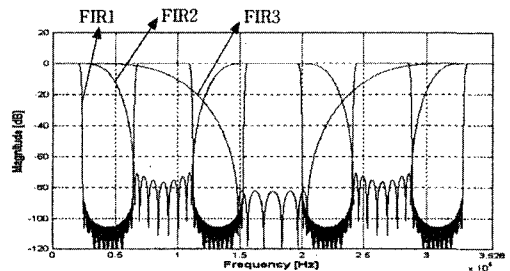
본 논문에서의 디지털 보간 필터의 사양은 표 1에서 나타낸 바와 같이 18비트 이상에서의 각 회사별

사양은 다르지만 CS4390[9]과 같이 통과대역($0.41 \times f_s$) 내의 진폭을 ±0.001[dB], 저지대역(> 0.59 × fs) 감쇠를 -75[dB]로 설정하였다. 이 때 표본화 주파수 fs=44.1[kHz]로 하여 통과대역은 0.41 × fs, 저지대역은 0.59 × fs로 설정하여 시뮬레이션한 결과 그림 1의 디지털 보간 필터의 FIR1, FIR2, FIR3의 탭수는 각각 119, 19, 15를 얻을 수 있었고, 각각의 3단 FIR 필터의 주파수 스펙트럼은 그림 3과 같았다. 그림 3(b)에서 보는 바와 같이 FIR1 × FIR2 × FIR3의 출력에서 저지대역은 약 -75[dB]의 감쇠 특성을 갖으며, 통과대역에서의 진폭은 그림 3(c)에서 보는 바와 같이 0.41 × fs 미만에서 진폭이 약 ±0.0022[dB]이고, 0.41 × fs에서 감쇠가 -0.0012[dB]인 특성을 갖음을 볼 수 있다. 여기서 통과대역에서 진폭은 주어진 사양을 벗어나지만 제3장에서 제시하는 본 논문의 구조와 그 특성을 비교하기 위해 이와 동일한 탭수와 계수를 그대로 사용하고자 한다.

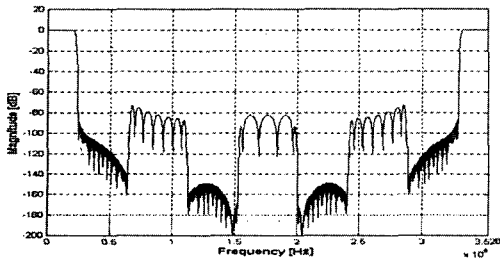
표 1. 오디오 DAC의 사양 요약.

Table 1. The summary of specifications of audio DACs.

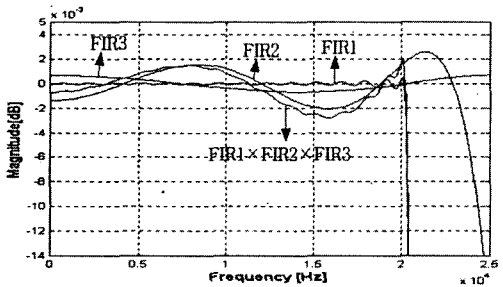
회사명	칩 명칭	분해능 [비트]	통과대역 진폭[dB]	저지대역 감쇠[dB]
Crystal Semiconductor	CS4327	20	±0.002	-72
	CS4329	20	±0.001	-75
	CS4390	24	±0.001	-75
Burr-Brown	PCM1716	24	±0.002	-82
	PCM1728	16/20/24	±0.002	-82
AKM	AK4352	20	±0.005	-80
	AK4393	24	±0.005	-75
Analog Devices	AD1857/8	16/18/20	±0.045	-62



(a)



(b)



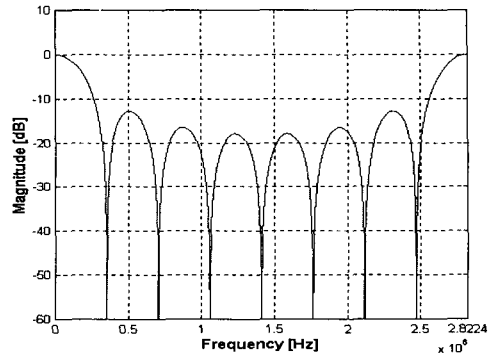
(c)

그림 3. 그림 1의 3단 FIR 필터의 주파수 스펙트럼. (a) $8 \times fs$ 주파수 스펙트럼, (b) $FIR1 \times FIR2 \times FIR3$ 에 대한 출력 주파수 스펙트럼, (c) (a),(b)에 대한 통과대역 주파수 특성곡선.

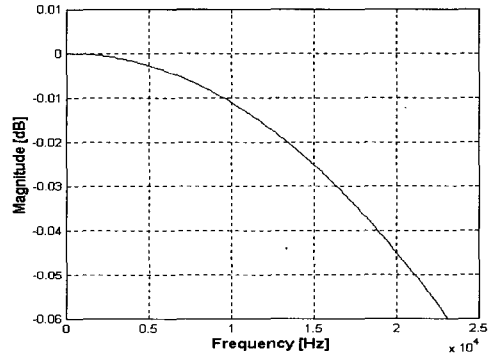
Fig. 3. The frequency spectrum of 3 stage FIR filters. (a) $8 \times fs$ frequency spectrum, (b) Output frequency spectrum of $FIR1 \times FIR2 \times FIR3$, (c) Inband frequency characteristics of (a) and (b).

이 디지털 보간 필터의 후단인 S/H의 주파수 특성은 그림 4와 같다. 그림 4(b)는 그림 4(a)의 통과대역 부분을 확대한 것으로서 감쇠 현상이 $0.41 \times fs = 18[\text{kHz}]$ 에서 $-0.036[\text{dB}]$ 까지 감쇠되고 있으며, $8 \times fs - (0.41 \times fs) = 335[\text{kHz}]$ 근처에서 3단의 FIR 필터의 출력 주파수 스펙트럼을 S/H가 $-24[\text{dB}]$ 이상 감쇠시킬 수 있음을 그림 4(a)에서 예측할 수 있다.

상기의 FIR 필터와 S/H 회로를 그림 1과 같이 종속 연결 하였을 때의 주파수 스펙트럼은 그림 5와 같다. 그림 5(a)에서 보는 바와 같이 S/H로 인하여 $335[\text{kHz}]$ 에서 약 $-24[\text{dB}]$ 정도 감쇠됨을 알 수 있고, 그림 5(b)에서는 종속연결된 FIR3 출력의 통과대역을 감쇠시



(a)



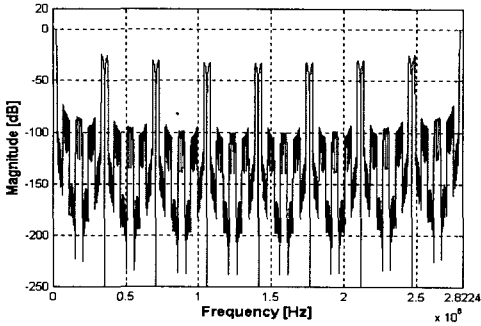
(b)

그림 4. S/H의 출력 주파수 스펙트럼. (a) $64 \times fs$ 주파수 스펙트럼, (b) (a)에 대한 통과 대역 주파수 특성 곡선.

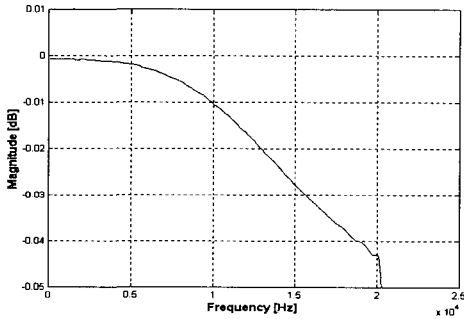
Fig. 4. The output frequency spectrum of S/H. (a) $64 \times fs$ frequency spectrum, (b) Inband frequency characteristic of (a).

켜 $0.41 \times fs$ 에서 약 $-0.037[\text{dB}]$ 까지 떨어진 것을 볼 수 있다.

상기 보간 필터와 $\Delta\Sigma$ 변조기를 종속 연결한 주파수 스펙트럼은 그림 6에 나타나 있다. 그림 6(a)에서는 식(1)에서 보여준 $\Delta\Sigma$ 변조기의 저역통과 필터 특성에 의해 $8 \times fs - (0.41 \times fs) = 335[\text{kHz}]$ 근처에서 S/H의 출력값은 $-24[\text{dB}]$ 를 $-75[\text{dB}]$ 로 감쇠시키고, 양자화 잡음을 식 (2)처럼 고주파수로 천이시킨다. 이때 통과대역은 그림 6(b)에서 보는 바와 같이 $\Delta\Sigma$ 변조기로 인하여 통과대역 내에서 진폭이 $11[\text{kHz}]$ 에서 최대



(a)



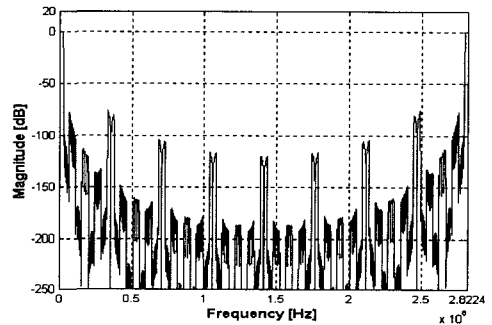
(b)

그림 5. 3단 FIR 필터와 S/H를 중속 연결한 출력 주파수 스펙트럼. (a) $64 \times fs$ 주파수 스펙트럼, (b) (a)에 대한 통과대역 주파수 특성곡선.

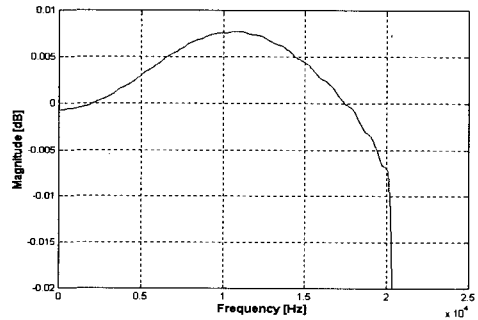
Fig. 5. The output frequency spectrum of the cascaded 3 stage FIR filters and S/H. (a) $64 \times fs$ frequency spectrum, (b) Inband frequency characteristic of (a).

0.0075[dB]까지 올라가고, $0.41 \times fs$ 에서 -0.0022[dB]로서 통과대역 내에서 진폭 사양을 만족시킬 수가 없다. 이때 통과대역에서 진폭을 감소시키기 위해서 $\Delta \Sigma$ 변조기의 진폭을 감소시키는 경우 신호대 잡음비가 감소되므로 동적 범위(Dynamic range)가 감소된다^[12]. 따라서, 그림 1과 같은 기존의 구조로는 S/H와 $\Delta \Sigma$ 변조기로 인해 통과대역 내에서 사양을 만족시키지 못할 뿐만 아니라 이 진폭을 아날로그 저역통과 필터로 감소시키는데는 그림 7에 보여준 것 처럼 극점(Pole)이 3개인 아날로그 저역통과 필터(소자값은 스위치드-캐패시터 저역통과 필터로 구현하기 위한 값

임.)를 사용해야 하고, $C_2=1.234nF$ 처럼 큰 캐패시턴스를 CMOS 공정으로 구현할 경우 단위 캐패시턴스가 $1fF/\mu m^2$ 라 하면 계산상 $1110.86\mu m \times 1110.86\mu m$ 의 면적이 필요하고, 설계 배치(layout)시 3~4배의 면적이 더 소요되는 것을 감안하면 대략 $2000\mu m \times 2000\mu m$ 의 면적이 필요로 하는데, 이는 DAC에서 집적되는 아날로그 블럭 전체에 해당하는 면적과 비슷하다. 따라서 칩면적을 줄이기 위해서는 그림 1처럼 칩 외부에 최소한 2차 저역통과 필터를 놓을 수 밖에 없다[5,7~9].



(a)



(b)

그림 6. 디지털 보간 필터와 $\Delta \Sigma$ 변조기를 중속 연결한 주파수 스펙트럼. (a) $64 \times fs$ 주파수 스펙트럼, (b) (a)에 대한 통과대역 주파수 특성곡선.

Fig. 6. The output frequency spectrum of the cascaded digital interpolation filter and $\Delta \Sigma$ modulator. (a) $64 \times fs$ frequency spectrum, (b) Inband frequency characteristic of (a).

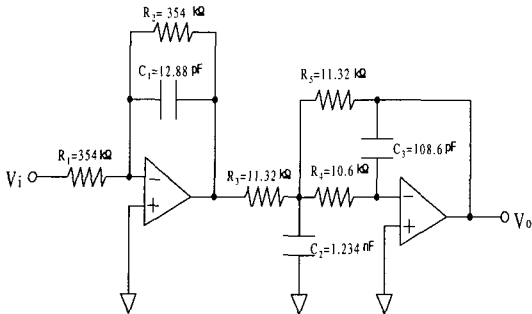


그림 7. 아날로그 저역통과 필터의 구성 및 통과대역 진폭을 보상하기 위한 소자값.

Fig. 7. The structure of analog low-pass filter and the values of elements for compensating the passband ripple.

III. 본 논문에서 제시하는 디지털 보간 필터

제2장에서 보는 바와 같이 그림 1과 같은 기존의 구조에서 FIR1과 FIR2는 동일하지만 세 번째단의 보간회로로서 칩 외부에 있는 아날로그 저역통과 필터 대신에 IIR 필터를 사용하고 후단에 S/H를 넣어 이 IIR 필터로 그림 1의 구조에서 발생된 통과대역내의 진폭을 감쇠 시키도록한 구조를 그림 8에 나타내었다. 이 때 RC 적이 큰 그림 1의 칩 외부에 있는 아날로그 저역통과 필터는 칩 내부에 있는 1비트 스위치드-캐패시터(Switched-capacitor) DAC와 연속시간의 저역통과 필터(Continuous-time low-pass filter)로 집적이 가능하게 되고, 이제 이 아날로그 필터들은 통과대역 밖의 잡음만을 줄여주면 되므로 RC 적이 작게될 수 있음을 예측할 수 있다.

그림 8의 IIR1 필터는 그림 7로 부터 s-영역(Domain)의 전달함수 H(s)로 부터 구하는데, 그 전달함수 H(s)는

$$H(s) = \frac{V_o(s)}{V_i(s)} = -\frac{\frac{1}{R_1 C_1}}{s + \frac{1}{R_2 C_1}} \cdot \frac{1}{s^2 + s \frac{1}{C_2} \left(\frac{1}{R_3} + \frac{1}{R_4} + \frac{1}{R_5} \right) + \frac{1}{R_4 R_5 C_2 C_3}} \dots \dots \dots (3)$$

이다. 이선형적분(Trapezoidal integration) 변환기법을 적용하여 s-영역에서 z-영역으로 변환하면

$$s = \frac{2}{T} \frac{z-1}{z+1} \dots \dots \dots (4)$$

를 대입하면 되므로 z-영역에서의 전달함수 H(z)는

$$H(z) = \frac{V_o(z)}{V_i(z)} = \frac{-b(z+1)}{z-a} \cdot \frac{e z^2 + fz + g}{z^2 + cz + d} \dots \dots \dots (5)$$

가 된다. 여기서

$$a = \frac{\frac{2}{T} R_2 C_1 - 1}{\frac{2}{T} R_2 C_1 + 1} \dots \dots \dots (6)$$

$$b = \frac{R_2}{R_1 \left(\frac{2}{T} R_2 C_1 + 1 \right)} \dots \dots \dots (7)$$

$$c = \frac{2b - \frac{8}{T^2}}{\frac{4}{T^2} + \frac{2a}{T} + b} \dots \dots \dots (8)$$

$$d = \frac{\frac{4}{T^2} - \frac{2a}{T} + b}{\frac{4}{T^2} + \frac{2a}{T} + b} \dots \dots \dots (9)$$

$$e = g = \frac{-c}{\frac{4}{T^2} + \frac{2a}{T} + b} \dots \dots \dots (10)$$

$$f = \frac{-2c}{\frac{4}{T^2} + \frac{2a}{T} + b} \dots \dots \dots (11)$$

인데 T는 fs = 44.1kHz 일때, T=1/8×fs = 1/352800[sec]이다. 그림 7에 주어진 소자값을 대입하면 식(6)~식(11)의 각 계수값은 a=0.5258, b=0.23712, c=-1.218651, d=0.566539, e=-0.086972, f=-0.173944, g=-0.086972가 된다.

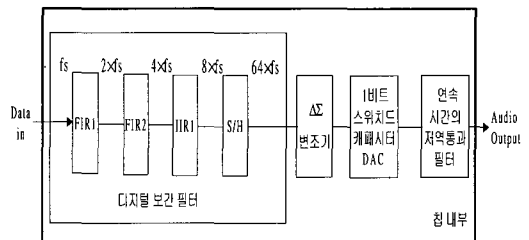


그림 8. 본 논문에서 제시하는 64×fs 오디오 DAC의 구조.

Fig. 8. The proposed 64×fs audio DAC structure.

3.1 구조 비교 및 검토

제2장에서 구해진 FIR3에 대한 모델과 식 (5)에서 구해진 IIR1에 대한 모델은 그림 9 (a), (b)와 같은데 FIR3는 FIR1, FIR2와 마찬가지로 카이저 창(Kaiser window)을 이용하면 표 2 (a)에 나타낸 것 처럼 탭수가 15인 필터를 얻을 수 있는데, 계수값이 하프 밴드(Half-band)를 기준으로 대칭이 되고- 하프 밴드 필터(Half-band filter)라 불리워짐. - 또한 그 계수의 절반은 0의 계수를 갖으므로 실제 RAM에 저장해야 할 계수의 수는 5개가 되며, MAC의 수는 9개가 된다. 그림 8 구조의 디지털 보간 필터는 FIR과 FIR2는 동일한 대신에, 그림 9 (b)의 구조와 같이 IIR1은 표 2 (b)에 나타낸 것 처럼 탭수가 10인 필터가 되고, 실제 RAM에 저장해야 할 계수의 수는 6개가 되며, MAC의 수는 8개가 된다. 따라서 하드웨어적인 측면에서 볼 때 RAM의 면적은 그림 1의 구조가 감소되고, MAC으로 인한 면적은 그림 8의 구조가 감소된다.

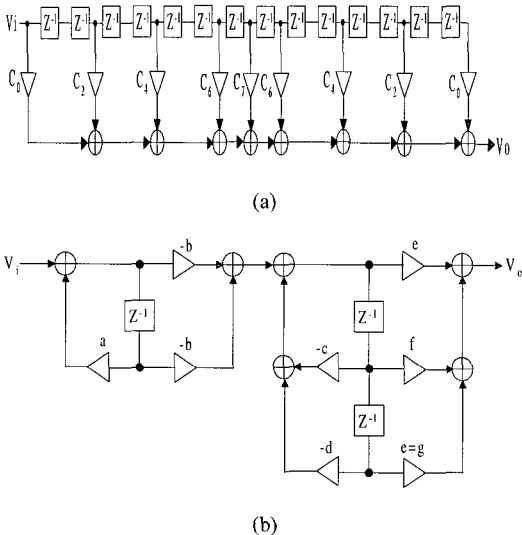


그림 9. FIR3와 IIR1의 모델. (a) FIR3 filter의 모델, (b) IIR1 filter의 모델.

Fig. 9. The model of FIR3 and IIR1. (a) The model of FIR3 filter, (b) The model of IIR1 filter.

표 2. 그림 1과 그림 8의 디지털 보간필터에 대한 비교. (a) 그림 1 구조, (b) 그림 8 구조.

Table 2. The comparison of Fig. 1 and Fig. 8 for digital interpolation filters. (a) The structure of Fig. 1, (b) The structure of Fig. 8.

(a)

단 구분	출력 표본 주파수	탭수	RAM에 저장되는 계수의 수	MAC의 수
FIR1	88.2kHz	119	31	61
FIR2	176.4kHz	19	6	11
FIR3	352.8kHz	15	5	9

(b)

단 구분	출력 표본 주파수	탭수	RAM에 저장되는 계수의 수	MAC의 수
FIR1	88.2kHz	119	31	61
FIR2	176.4kHz	19	6	11
IIR1	352.8kHz	10	6	8

3.2 주파수 특성 비교 및 검토

그림 10은 그림 3의 FIR1, FIR2 필터와 식 (3)에서 구해진 세번채단의 IIR1 필터의 주파수 스펙트럼을 나타낸 것으로서 종속연결된 FIR1×FIR2×IIR1의 출력은 그림 10(b)에서 보는 바와 같이 저지대역은 -75[dB]이상의 감쇠 특성을 갖고, 통과대역에서의 진폭은 그림 10(c)에서 보는 바와 같이 IIR1의 경우, 0.41×fs 이하에서 ±0.0055[dB]이고, 0.41×fs에서 -0.0025[dB] 감쇠됨을 볼 수 있지만 그림 11에서 보는 바와 같이 S/H와 ΔΣ 변조기를 모두 종속 연결하였을 때 출력 스펙트럼을 살펴보면 그림 6(b)에서 S/H와 ΔΣ 변조기에 의해 출력 값이 11[kHz]근처에서 0.0075[dB]까지 올라 간 것을 보상하여 통과대역 진폭이 ±0.001[dB], 0.41×fs에서 -0.0025[dB] 감쇠가 있어 모두 사양을 만족하였음을 보여준다.

또한, 그림 11(a)에서는 식 (1)에서 보여준 ΔΣ 변조기의 저역통과 필터 특성에 의해 저지대역은 67[kHz]에서 -95[dB], 155[kHz]에서 -101[dB], 335[kHz]

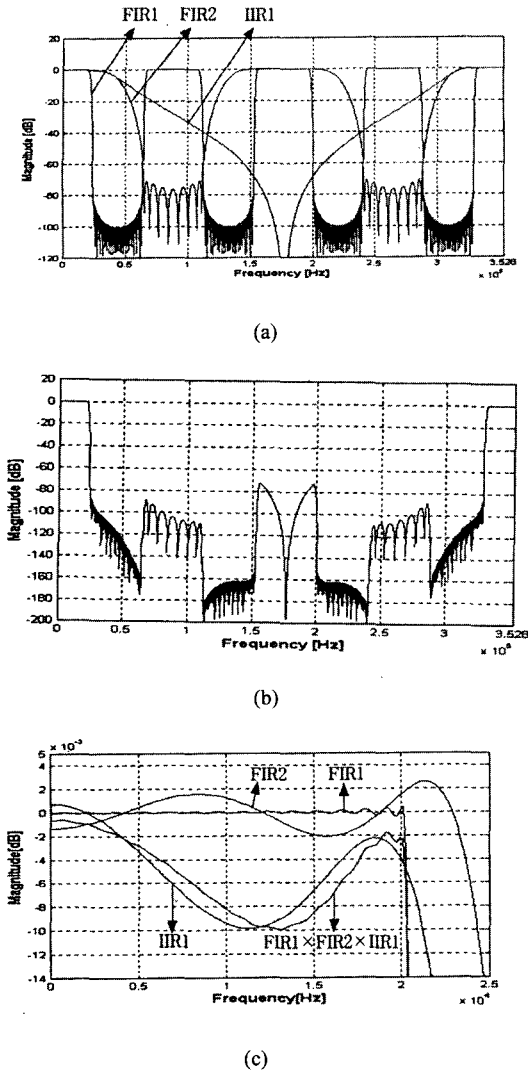


그림 10. 2단의 FIR 필터와 IIR 필터로 혼합된 구조의 주파수 스펙트럼. (a) $8 \times f_s$ 주파수 스펙트럼, (b) $FIR1 \times FIR2 \times IIR1$ 에 대한 출력 주파수 스펙트럼, (c) (a),(b)에 대한 통과대역 주파수 특성곡선.

Fig. 10. The frequency spectrum composed of FIRs and IIR filters. (a) $8 \times f_s$ frequency spectrum, (b) Output frequency spectrum of $FIR1 \times FIR2 \times IIR1$, (c) Inband frequency characteristics of (a) and (b).

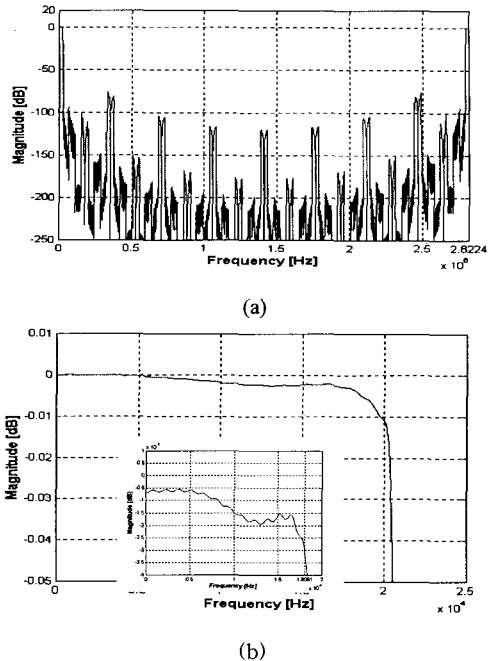


그림 11. 디지털 보간 필터와 $\Delta\Sigma$ 변조기를 중속 연결한 출력 주파수 스펙트럼. (a) $64 \times f_s$ 주파수 스펙트럼, (b) (a)에 대한 통과대역 주파수 특성곡선.

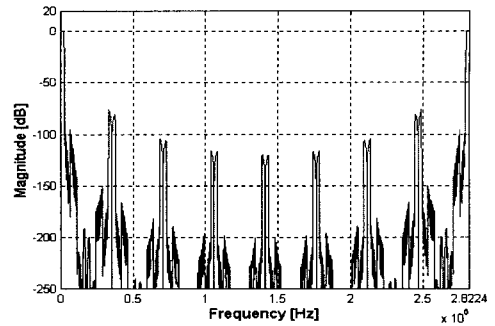
Fig. 11. The output frequency spectrum of the cascaded digital interpolation filter and $\Delta\Sigma$ modulator. (a) $64 \times f_s$ frequency spectrum, (b) Inband frequency characteristic of (a).

에서 -75[dB]의 감쇠 특성을 갖는다. 이와 마찬가지로 그림 6(a)는 65[kHz]에서 -75[dB], 162[kHz]에서 -113[dB], 335[kHz]에서 -75[dB]의 감쇠 특성을 갖는 것을 볼 수 있는데 65[kHz] 근처에서 그림 8의 구조와 약 20[dB]의 차이를 보여 주었다. 여기서 그림 6에 그림 7의 아날로그 저역통과 필터를 연결시켜 주파수 특성을 보면 그림 12 (a)에서 보는 바와 같이 아날로그 필터 특성 때문에 통과대역 $0.41 \times f_s$ 이하에서 ± 0.0015 [dB]의 진폭을 갖고, 저지대역 $0.59 \times f_s$ 이상에서 -75[dB]를 갖으므로 통과대역에서 진폭은 사양에서 벗어나고, 저지대역에서는 사양을 만족시켜 줄을 알 수 있다. 즉, 그림 1 구조에서는 그림 7과 같은 아날로그 저역통과 필터가 필요하므로 큰 면적이 요구될

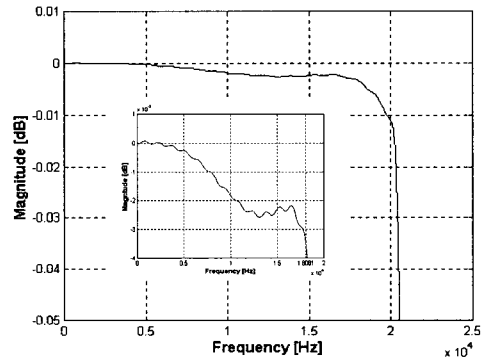
뿐만 아니라, 통과대역의 진폭 사양을 만족시키기 위해서는 FIR 필터의 탭수를 증가시켜야 한다. 그러나 그림 8의 구조에서는 주어진 사양을 모두 만족시키기 위해 칩외부에 그림 7과 같은 아날로그 저역통과 필터가 불필요하게 된다.

3.3 군지연 특성 비교 및 검토

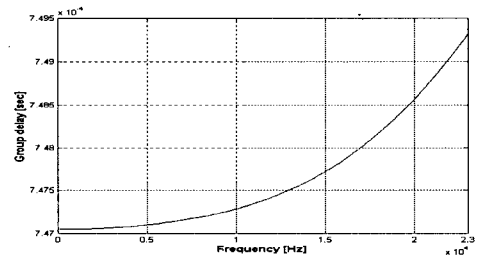
FIR 필터는 선형 위상(Linear phase)을 가지므로 군지연 특성이 우수하지만 IIR 필터의 위상은 선형이 아니므로 시스템 측면에서 조사해보아야 한다. 그림 1의 구조의 경우 S/H와 $\Delta\Sigma$ 변조기를 종속 연결시켰을 때 제2장에서 처럼 통과대역 내에서 큰 진폭을 가지므로 칩 외부에 그림 7의 아날로그 저역통과 필터를 구성해야 하는데 $\Delta\Sigma$ 변조기의 후단에 1비트 DAC가 필요하지만 그림 8의 구조에서 사용되는 1비트 DAC와 동일하게 구성되었다고 가정하여 동일한 조건에서 시뮬레이션을 하기 위해 $\Delta\Sigma$ 변조기 후단에 그림 7의 아날로그 저역통과 필터를 연결하였다. 이때 그림 12 (b)와 같은 군지연 특성을 얻을 수 있었다. 그림 12 (b)에서 보는 바와 같이 군지연은 통과대역 내에서 $32.945/\text{fs}[\text{s}]$ 이고, 군지연 오차가 $(7.4815-7.4705)/7.4705 = 0.1472\%$ 였으며, 그림 8에서 제시한 구조의 경우 통과대역을 보상하기 위한 별도의 아날로그 필터가 필요하지 않으므로 $\Delta\Sigma$ 변조기의 최종 출력단에서 군지연 특성을 살펴보면 그림 13에서 보여주는 바와 같이 통과대역 내에서 $30.07/\text{fs}[\text{s}]$ 이고, 오차가 $(6.83-6.8186)/6.8186 = 0.1672\%$ 였는데, 이 시뮬레이션에서는 그림 1의 구조의 경우 FIR3 필터가 더 추가된 형태이므로 군지연 값이 본 구조에 비해 크기 때문에 군지연 오차가 더 작은 값으로 나왔지만 이 점을 감안하면 군지연 오차는 거의 동일한 값이 될 것이다.



(a)



(b)



(c)

그림 12. 그림 1 구조의 주파수 특성곡선. (a) $64 \times \text{fs}$ 주파수 스펙트럼, (b) (a)에 대한 통과 대역 주파수 특성곡선, (c) (b)에 대한 군지연.

Fig. 12. The frequency characteristics of Fig. 1. (a) $64 \times \text{fs}$ frequency spectrum, (b) Inband frequency characteristic of (a), (c) Group delay of (b).

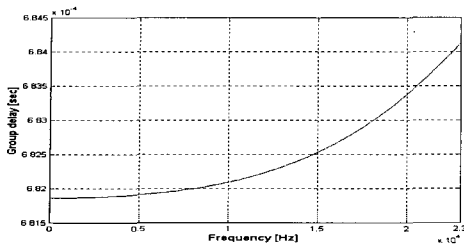


그림 13. 본 논문의 군지연.

Fig. 13. The group delay of the proposed.

IV. 결론

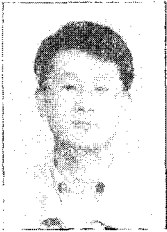
기존의 디지털 보간 필터의 구조를 FIR과 IIR 필터의 혼합형으로 구성하여 칩 외부에 있는 아날로그 저역통과 필터의 RC적을 감소시킴으로써 하나의 칩내에 고정밀 오디오 DAC를 집적할 수 있도록 하였고, 그림 6과 그림 12에서 보는 바와 같이 기존의 구조로써 본 논문에서 제시한 동일한 사양을 만족시키기 위해서는 FIR1, FIR2, FIR3 필터를 각각 127, 23, 17 탭으로 증가시켜야 하고, 하드웨어적인 측면에서 볼 때 RAM의 면적은 그림 1의 구조가 감소되고, MAC으로 인한 면적은 그림 8의 구조가 감소되므로 대략 비슷한 면적이 소요될 것이지만 그림 1의 구조에서 그림 7의 아날로그 필터를 칩내부에 집적할 경우 그림 8의 구조에 비해 너무 큰 면적을 차지한다. 그러나 그림 8의 구조로는 디지털 보간 필터로 이미 통과대역을 보상하고, 저지대역에서의 감쇠 사양을 만족시켰으므로 $\Delta\Sigma$ 변조기의 후단에 있는 1비트 스위치드-캐패시터 DAC와 연속시간의 아날로그 저역통과 필터의 RC적은 감소되므로 칩 면적이 그림 1의 구조 보다 감소된다. 또한 군지연 특성은 기존의 구조와 거의 동일한 오차를 갖음을 시뮬레이션 결과 알 수 있었지만, 그림 1 구조에서는 IIR 필터로 동작하는 아날로그 저역통과 필터가 사용되어야 하므로 소자값 변동에 따른 감도(Sensitivity) 특성때문에 일정한 군지연 특성을 얻기가 어렵고, 그림 8의 구조에서는 디지털 보간 필터로 집적되므로 정확한 신호처리를 할 수 있어 실질적인 군지연 특성도 기존의 구조보다 개선될 것이다. 그러나 실질적인 18-비트이상의 분해능을 갖는 DAC는

THD가 약 108[dB]이상이 되어야 하는데 이상적으로 4차 $\Delta\Sigma$ 변조기로 구현할 경우 과표본화비가 $128 \times fs$ 이어야 하고, 5차 $\Delta\Sigma$ 변조기로 구현할 경우 과표본화비가 $64 \times fs$ 이어야 하므로 이에 맞게 $128 \times fs$ 를 갖는 DAC의 구조에 대한 연구를 계속하여 칩으로 구현할 예정이다.

참고 문헌

- [1] J. C. Candy, G. C. Temes, *Oversampling Delta-Sigma Data Converters*, IEEE Press, N.Y., 1991.
- [2] S. R. Norsworthy, R. Schreider, et. al., *Delta-Sigma Data Converters*, IEEE Press, N.Y., 1997.
- [3] T. Kwan, R. Adams, et. al, "A Stereo Multibit $\Delta\Sigma$ DAC with Asynchronous Master-Clock Interface", *IEEE J. Solid-State Circuits*, vol. 31, pp. 1881~1887, Dec. 1996.
- [4] B. J. Kup, E. C. Dijkmans, et. al., "A Bit-Stream Digital-to-Analog Converter with 18-b Resolution", *IEEE J. Solid-State Circuits*, vol. 26, pp. 1757~1763, Dec. 1991.
- [5] P. Ju, K. Suyama, et. al., "A 22kHz Multi-bit Switched-Capacitor Sigma-Delta D/A Converter with 92dB Dynamic Range", *IEEE J. Solid-State Circuits*, vol. 30, pp. 1316~1325, Dec. 1995.
- [6] R. Adams, K. Q. Nguyen, et. al., "A 113-dB SNR Oversampling DAC with Segmented Noise-Shaped Scrambling", *IEEE J. Solid-State Circuits*, vol. 33, pp. 1871~1878, Dec. 1998.
- [7] *1994 Crystal Semiconductor Audio Databook*, Crystal Semiconductor Co., 1994.
- [8] 신윤태, 최영식, "93dB 동적 범위를 갖는 오디오 디지털-아날로그 변환기용 아날로그 회로 설계, 제5회 한국반도체학술대회, pp. 359~360, 1998 2월.
- [9] *CS4390 24-Bit Stereo D/A Converter for Digital Audio Data Sheet*, Crystal Semiconductor Co., June 1998.

— 저 자 소 개 —



申 銳 太 (會 員 申 請 中)
 1987년 2월 전북대학교 전기공학과 졸업(공학사). 1989년 2월 전북대학교 대학원 전기공학과 졸업(공학석사). 1992년 7월~1993년 4월 (주) 현대정공 기술연구소 연구원. 1993년 4월 ~ 1998년 3월 (주) 현대전자산업 System IC 연구소 선임 연구원. 현재 SOC 테크놀로지 선임연구원.
 주관심분야 : ASIC 및 아날로그 IC 설계 등임.



申 建 淳 (正 會 員)
 1972년 한양대학교 전기공학과 졸업(공학사). 1983년 전북대학교 대학원 전기공학과 졸업(공학석사). 1989년 전북대학교 대학원 전기공학과 졸업(공학박사). 1993년 미국 Ohio state university, 전기공학과 solid-state microelectronic lab. 객원교수. 현재 금오공과대학교 전자공학과 교수.
 주관심분야 : ASIC 및 아날로그 IC 설계 등임.



李 正 雄 (會 員 申 請 中)
 1997년 2월 금오공과대학교 전자공학과 졸업(공학사). 1999년 3월 금오공과대학교 대학원 전자공학과 석사학위과정 입학. 1999년 5월 현재 동대학원 석사학위과정 재학중.