

반도체 FAB의 스케줄링 시뮬레이터 개발†

이영훈 · 조한민 · 박종관 · 이병기

연세대학교 기계전자공학부 정보산업공학 전공

Scheduling Simulator for Semiconductor Fabrication Line

Young Hoon Lee · Han Min Cho · Jong Kwan Park · Byung Ki Lee

Modeling and system development for the fabrication process in the semiconductor manufacturing is presented in this paper. Maximization of wafer production can be achieved by the wafer flow balance under high utilization of bottleneck machines. Relatively simpler model is developed for the fabrication line by considering main characteristics of logistics. Simulation system is developed to evaluate the line performance such as balance rate, utilization, WIP amount and wafer production. Scheduling rules and input rules are suggested, and tested on the simulation system. We have shown that there exists good combination of scheduling and input rules.

1. 서 론

반도체 산업은 고가의 설비로 구성되어 전문 생산기술을 필요로 하는 최첨단 산업으로서 현대 산업사회에서 가장 대표적인 장치 산업이며 자본 및 기술 집약적인 산업이라 할 수 있다. 반도체 제조공정의 기술적인 부문에 대한 연구는 반도체 제조의 성패를 좌우하기 때문에 중요하게 관리되어 왔으나 생산성에 영향을 주는 생산물류에 대한 효율적인 관리방법에 대한 연구는 막대한 편이다. 특히 전 공정 사이클타임의 70~80%의 시간을 소비하는 Fabrication(이하 FAB) 공정에 있어서 반도체 웨이퍼에 대한 물류 통계를 얼마나 효율적으로 하는가와 전체 생산능력을 감안하여 투입량을 어떻게 결정하는가는 반도체 제조의 전체 공기 및 재공의 양에 큰 영향을 주며 결과적으로 생산성을 좌우하게 된다(Lee, et al., 1992; Lou and Kager 1989; Uzsoy, et al., 1992, 1994). 본 논문에서는 이러한 점을 고려하여 FAB 공정을 중심으로 시스템을 모델링하고 몇 가지 스케줄링 규칙과 FAB 투입량을 결정하는 규칙을 내장한 Simulator를 개발하였다. 또한 효율적인 스케줄링 방법과 Lot 투입방법을 찾기 위해 몇 가지 평가척도를 위한 결과 데이터들을 수집하고 이를 비교하였다. 본 연구의 목표는 복잡한 모델을 단순화한 시뮬레이션 모델링을 만들고 실험을 통해 개발된 시뮬레이터의 성능과 시뮬레이터가 포함하고 있는 스케줄링 규칙과 FAB 투입규칙의 성능을 비교하는 데 있다. 반도체 FAB의 제조 과정은 가장 난이도가 높은 사진(Photolithography; 이하 Photo)공정의 Masking Layer를 기준으로 보통 16~25번의 Cyclic 공정이 반복되며 FAB에서만 500~700가지의 공정이 진행된다 <표 1>과

<그림 1>은 FAB의 반복 공정을 나타낸다. 메모리 제품위주의 생산 라인에서는 10~20가지의 제품 또는 프로세스가 진행되기 때문에 특별히 시스템적이고 과학적인 생산관리 방식보다는 경험과 직관(Intuition)에 의한 방식으로 운영되어 왔고 그 동안 상당히 성공적이었다(이영훈 등, 1995). 그러나 주문자 방식의 제품은 종류에 따라 한 생산라인에서 20~40가지의 프로세스, 때로는 100여 개의 프로세스가 복잡한 네트워크 형태의 제조라인을 형성하게 됨에 따라 보다 과학적인 접근이 필요하게 되었다. 특히 제품별 납기가 중요 평가지표가 되었고 세조공기가 짧을수록 주문량이 증가하여 이는 기업의 수익과 직결되는 상황이 되었다. 반도체의 제조공기는 보통 CTPL(Cycle Time Per Layer)로 평가되는데 이는 반도체의 1 Masking Layer 생산에 소요되는 평균 공기(단위: h)를 말한다. 한국의 대부분의 업체는 CTPL의 값이 평균 3 h로서 순수공기의 CTPL값 0.9~1.0 h과 비교하면 약 3배가 소요되는 셈이다(Leachman, 1994). 즉 작업대기에 소요되는 시간이 전체공기의 70%정도로써 이는 부가가치가 없는 손실인 것이다. IBM이나 TI(Texas Instrument)와 같은 반도체 업체에서 공기를 단축하기 위한 각종 노력을 하고 있을 것으로 보고되고 있으며(Demeester and Tang, 1994; Kraft, 1993), 이에 대한 이론적인 연구도 활발하다(Ehteshami, 1992; Leachman, 1998). 최근 제조공기 단축의 필요성을 심각하게 인식, 이에 대한 관리를 독려, 강력하게 추진하고 있으나 이는 단순히 관리적으로 풀 수 있는 문제는 아니며 과학적이고 체계적인 방법으로 분석, 올바른 방법을 찾아야 한다. 최근 정보 기술의 발달과 함께 시뮬레이션 기법이 소개되고 전문 S/W 업체들이 시뮬레이터를 개발, 상용화하고 있으며 대표적으로 ARENA(System Modeling Co.), MANSIM and

† 이 논문은 1997년도 연세대학교 학술연구비의 지원에 의하여 이루어진 것임.

표 1. 반도체 FAB의 주요 공정

공정명	내용
확산 (Diffusion)	고온의 환경을 형성하여 물질이 확산하도록 하는 공정으로 보통 Furnace(로:爐)에서 이루어지며 석영관에 코일을 감은 전지로를 사용하고 수평식(Horizontal)과 수직식(Vertical)이 있다.
화학기상 증착 (CVD)	CVD란 Chemical Vapor Deposition의 약자로서 보호막을 형성하는 과정으로 AP, LP, PE라고 불리는 설비에서 이루어진다.
사진 (Photolithography)	웨이퍼 표면에 감광액(PR : Photo Resist)을 고르게 도포해 주는 Coating공정, 미세한 회로 패턴이 웨이퍼 상의 위치와 Mask가 정확히 일치하도록 정렬시키는 Align공정, 자외선을 이용하여 Mask상에 회로 패턴을 감광액이 도포된 표면에 전사해 주는 Stepping공정, 빛에 노출되어 성질이 변한 감광액을 현상액으로 제거해 주는 현상(Developing)공정으로 구성되어 있다.
박막 (Thin Film)	불순물 원자이온을 고속으로 가속하여 웨이퍼 속으로 주입하는 Implant공정, 알루미늄(Al)원자를 웨이퍼 표면에 부착시켜 소자간에 연결 배선을 만들어 주는 금속막 증착(Sputtering)공정, 반도체 특성에 치명적 영향을 미치는 나트륨(Na)을 웨이퍼 뒷면으로 몰아서 갈아내는 Grinding공정으로 구성되어 있다.
식각 (Etching)	웨이퍼 위에 형성된 패턴으로 필요한 부분을 선택적으로 깎아 주는 공정으로 Wet Etch, Dry Etch가 있으며 식각 후 남은 감광액을 제거하는 Strip공정 및 세척 공정이 있다.

TESTSIM(Tyecin Co.), Automod(Auto Simulation Co.) 등이 있으며 반도체전용의 실험적인 시도 등이 보고되고 있다(Bitran and Tirupati, 1988; Kim, et al., 1998). 국내의 대표적 반도체 업체 4개사의 경우 일부 생산라인에서 이를 구입, 적용을 위한 구축을 시도하고 있으나 현재 성공적으로 운영되고 있다고 보고된 사례는 없다. 이처럼 상업용 시뮬레이터를 구입, 개발하여 반도체 FAB라인에 적용하기가 어려운 이유는 다음과 같다.

첫째, 대부분의 시뮬레이터 S/W는 일반 조립산업을 대상으로

개발되어 사용되다가 이를 일부 수정, 반도체 산업에 맞게 재개발하였으나 반도체 생산 과정의 불규 구조는 일반 조립산업과는 근본적으로 달라 범용성 시뮬레이터 S/W를 반도체 산업에 적용하기 힘들다.

둘째, 국내 반도체 업체의 생산 현장관리는 미국/일본과는 근본적으로 다르게 운영되고 있다. 선진사의 경우 상위 레벨의 생산관리 시스템과 하위레벨의 MES(Manufacturing Execution System)이 완벽하게 구현된 상태에서 적용하고 있다. 그러나 국

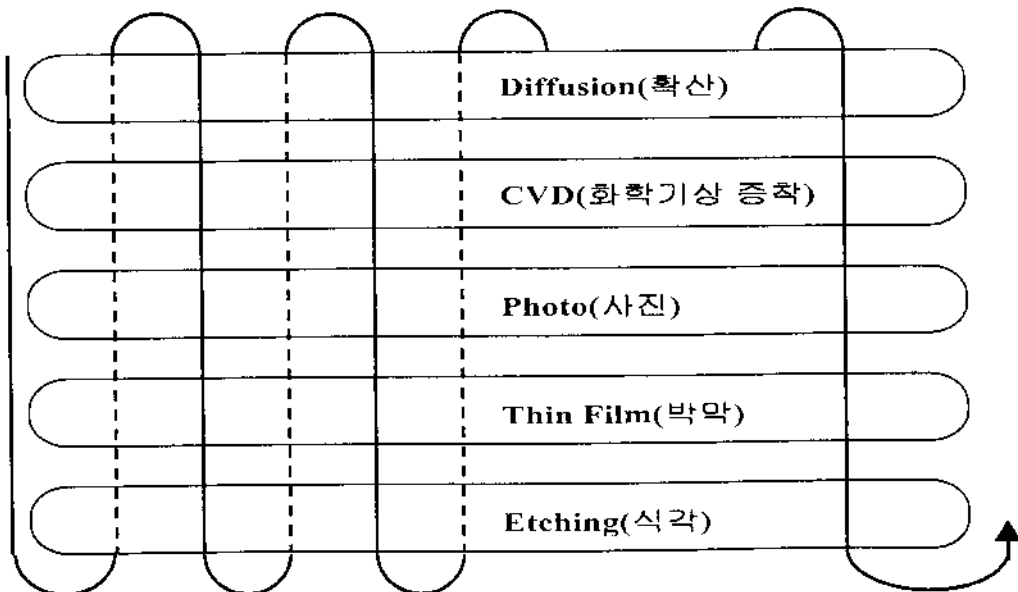


그림 1. FAB 공정.

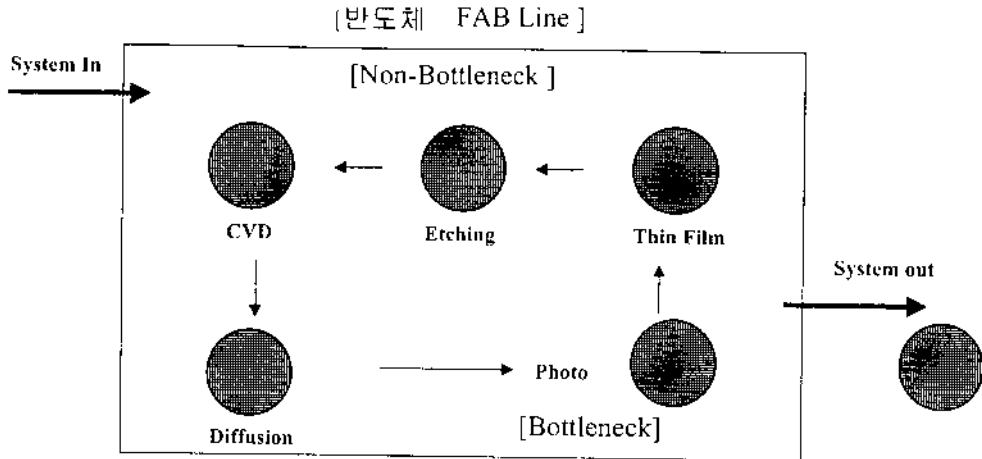


그림 2. Fabrication 물류 모델링.

내업체는 시뮬레이터 구축과정 자체가 생산라인의 모든 공정 자체의 데이터 재구축을 요구하고 있다. 위와 같은 대표적 이유로 외국의 범용성 시뮬레이터 구입 및 구축은 대부분 실패하였다. 그러나 시뮬레이션 기법 및 시뮬레이터 도구의 구축은 점차 나뉠종 소량화하는 국내 반도체 업체의 생산라인 운영에 중심적인 생산관리 분석 도구로서 개발되어야 할 분야이다.

국내에 적용가능한 FAB 전용 시뮬레이터의 개발은 2단계의 과정을 거쳐야 적용가능할 것으로 본다.

첫째, FAB 공정자체에 대한 모델링을 해야 한다. FAB 공정은 대체적으로 500~700개의 공정과 600여 대의 설비의 네트워크 물류 구조하에서 이루어지며 5~6개의 지역(Area)과 자동반송 장치에 의해 운반되는 수 만장(보통 5만~10만장)의 웨이퍼가 움직이는 라인에 대한 모델링이다. 하루에도 50~60만 건의 데이터 Transaction이 일어나는 상황에서 있는 그대로 시스템에 구현하는 것은 현실적으로 불가능하기 때문에 물류운영의 핵심을 기준으로 모델링하여 이를 근거로 시뮬레이터를 개발해야 한다.

둘째, 국내 반도체 업체의 생산 기술력은 세계적으로 선진 수준에 이르고 있다. 각 공정 및 셀(Cell)에는 눈에 보이지 않는 각종 노하우(Know-How)와 관리기법이 적용되고 있으며 이것의 통합체가 메모리 분야 반도체 세계 1위라는 결과를 낳았다. 미국 S/W 전문회사의 기계적 모델링에 근거한 시뮬레이터는 이와 같은 관리 노하우를 구현할 수 없기 때문에 국내에서 자체적으로 개발될 수 있어야 한다.

이 연구는 이러한 점을 감안하여 본격적인 FAB 시뮬레이터 개발의 시작 단계로, 실제 국내 업체의 생산라인 데이터를 기초로 하여 각 Device별 투입 규칙과 Stepper의 스케줄링 알고리즘을 적용, 설정할 수 있는 스케줄링 시뮬레이터를 개발하는 것을 목적으로 한다.

2. System Modeling

2.1 물류 모델링

반도체의 기본공정은 하나의 Device가 완성되기까지 16~25개의 Layer를 구성하는 공정을 거친다. 각 Layer는 대부분 비슷한 일련의 공정으로 구성되어 하나의 Device가 FAB공정을 끝내기 위해서는 Layer수만큼의 반복 공정이 진행된다. 하나의 Layer는 물류측면에서 Non-Bottleneck 공정과 Bottleneck 공정으로 나눌 수 있다. 반도체 FAB의 Bottleneck 공정은 대부분 사진기술을 사용하는 Stepper 설비에 해당된다. Non-Bottleneck 공정은 Device와 Layer에 따라 차이가 있으나 Etching, Diffusion, CVD, Thin-Film 공정 등의 20~30개로 구성되어 있다. 특별한 경우를 제외하고는 Non-Bottleneck 공정에서는 지체되는 일이 거의 없으며 필요에 따라 언제든지 작업이 진행될 수 있다. 즉 Non-Bottleneck의 공정은 통상 작업이 진행되는 대로 물류가 이동하며 가장 고가의 장비에 해당하는 Stepper의 효율을 최대화하는 것이 FAB의 물류관리 목표가 되어 Bottleneck 공정이 전체 물류의 흐름을 좌우하게 된다. 그러나 Stepper 각각은 정해진 Device의 특정 Layer만을 진행하도록 되어 있으며 Layer가 바뀔 때 Mask 교체로 인한 교체준비 시간이 필요하다. 물류관리 측면에서 관리가 가능하도록 구성된 시뮬레이터의 기본가정은 다음과 같다.

- 물류이동단위는 웨이퍼 단위 매수이다. 통상 웨이퍼 24~25매가 한 로트로 로트 박스에 담겨져 이동하지만 실제 작업 시는 공정에 따라 한 매씩 작업되는 경우가 대부분이고 특히 Bottleneck공정의 Stepper의 경우 한 매씩 작업이 이루어진다.
- 웨이퍼의 FAB 내 투입은 로트 단위로 이루어진다. 한 로트를 25매의 웨이퍼로 가정한다. 실재는 테스트 웨이퍼 1매와 생산 웨이퍼 23~24매로 구성된다.
- 작업은 Shift 단위로 이루어진다. 대부분의 반도체 제조현장은 24시간을 2교대 또는 3교대로 나누어 연중무휴체제로 작업이 진행되는데 국내의 경우 3교대를 적용하고 있어, 8시간을

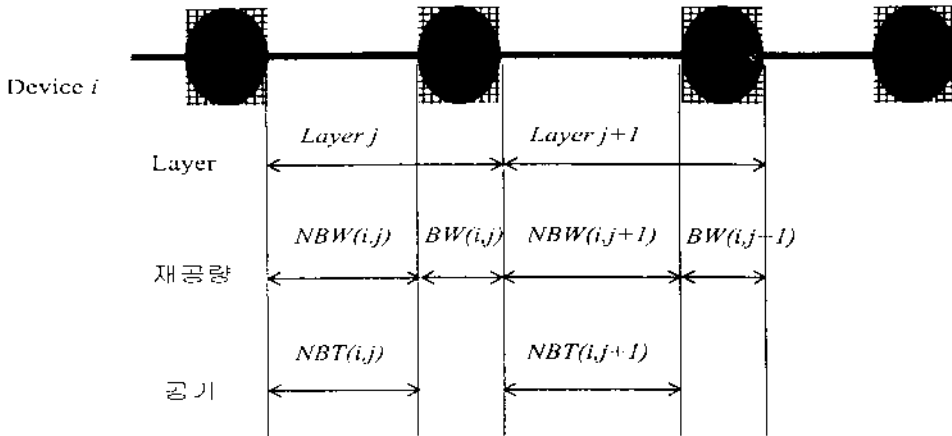


그림 3. 불류흐름의 Mechanism.

한 Shift로 정의한다.

· 각 Layer는 Non-Bottleneck과 Bottleneck공정 순으로 구성되어 있다. 각 Layer별로 표준작업시간이 결정되어 있으며 표준작업시간과 월별 생산목표, 제조공기 목표에 따라 적정 재공이 결정된다. 적정 재공은 표준작업시간에 대응되는 필수 재공과 공정 간 이동 또는 지체에 대응되는 여유 재공으로 나뉘어진다.

· 각 Layer의 Bottleneck으로부터 Output 되는 웨이퍼의 양은 Stepper에 스케줄되어 작업이 진행되는 분량에 해당된다. Bottleneck에 도착되어 Stepper가 할당되어 작업이 진행되기 전까지는 재공으로 쌓여 있게 된다. 마지막 Layer의 Bottleneck공정을 통과한 웨이퍼는 FAB생산량으로 본다.

· 물류통제의 방법은 Shift별 FAB투입되는 양의 결정방식과 Bottleneck 공정의 Stepper 스케줄링방식이 있다.

FAB공정을 Layer로 나눌 때 종래는 기술적 관점에서 구분함으로 물류관리의 특성을 전혀 고려하지 않았다. 물류 통제를 위한 Layer의 재정의가 필요한데 Photo의 Align공정까지 또는 온라인 자동화되어 있는 경우는 Align공정과 연결되어 한 설비에서 작업이 끝나 Unloading되는 시점까지를 한 Layer로 정의한다. 한 Layer는 Device마다 다르나 통상 20~30개의 공정으로 구성된다. 재공은 동적이기 때문에 움직임이 시시각각 변하지만 한 Layer 내에 있는 전체 재공이 기준값과 동일한 값을 가지고 있을 때 해당 Layer는 Balance상태에 있다고 말할 수 있다. Layer 별 Balance 평가지수는 기준값 대비 현재의 재공을 비교한 값으로 다음과 같이 정의할 수 있다(Leachman et al., 1998; Lee and Kim, 1997).

$$BR = \frac{\text{현 재공} - \text{적정 재공}}{\text{적정 재공}} \quad (1)$$

여기서 BR은 각 Layer의 Balance 평가지수이며 적정 재공 대비 초과 재공분의 비율을 의미한다. Balance 평가지수는 -1부

터 +∞ 까지의 값을 가질 수 있다. 한 Device의 Balance 평가지수는 각 Layer 별 지수의 절대값 평균으로, 한 라인의 Balance 평가지수는 각 Device 지수의 물량 가중평균으로 표현할 수 있다. 여기서 주요 관건은 적정 재공의 설정 방법이다. 재공은 공기와 상관관계가 있기 때문에 적정 재공은 순수공기틀 기준으로 산출되며 공정별 또는 Layer별 난이도의 차이를 반영할 수 있는 구조로 구성되어야 한다. Leachman et al.은 적정 재공을 순수공기에 의해 결정되는 필수 재공과 난이도의 차이 때문에 어쩔 수 없이 발생하는 여유 재공의 합으로 정의하였다. 난이도의 차라고 하는 것은 공정별 각종 편차 즉, 순수공기의 차이, Batch Size의 차이, 생산물량의 혼입에서 오는 변화, 해당 설비의 안정성의 차이 등을 말하며 이러한 편차가 기준 재공에 적절한 형태로 반영되어야 한다. Bottleneck에서의 물류는 스케줄링이 이루어지는 것에 의해 결정된다. 즉 특정 Shift에서 스케줄링이 이루어져 Bottleneck설비에 장착되는 Device는 표준 시간 만큼 작업이 이루어지며 주어진 시간만큼에 해당하는 웨이퍼의 수만큼 그 다음 Layer로 이동한다. Bottleneck설비 앞에는 Buffer가 있어 스케줄링을 위한 대기장소로 사용되며 스케줄링에 의한 착착이 이루어질 때까지 대기한다. Non-Bottleneck은 20~30개의 공정으로 이루어져 공정마다 해당 설비에서 표준시간의 작업이 이루어져야 다음 공정으로 이동한다. 각 공정을 정확하게 모델링하기 위해서는 시물레이션 모델링에 상당한 시간과 노력을 요하게 될 뿐 아니라 복잡하기 때문에 실제의 다양한 상황을 반영하지 못함으로써 시물레이션 결과의 현실성을 보장하지 못하였다. 본 연구에서는 이 부분을 단순화하여 연속적인 하나의 공정으로 보았다. Non-Bottleneck의 재공은 해당공정의 전체 소요시간의 축에 Uniform하게 분포되어 있다고 가정하여 하나의 Shift가 진행하면 해당 Shift에 있는 재공이 그 Layer의 Bottleneck설비의 Buffer로 이동한다고 가정하였다 <그림 3>. 이를 수식으로 표현하면 다음과 같다.

Notation

BW(i, j): Device i, Layer j의 Bottleneck공정의 재공.

NBW(i, j): Device i, Layer j의 Non-Bottleneck공정의 재공.

$NBT(i, j)$: Device i , Layer j 의 Non-Bottleneck공정의 Cycletime.

$BTmove(i, j)$: Device i , Layer j 의 Bottleneck공정에서 작업 후 다음 Layer로 이동한 웨이퍼 양.

$$NBW(i, 1) = NBW(i, 1) - NBW(i, 1) \times (8/NBT(i, 1)) + FABin(i) \quad (2a)$$

$$BW(i, j) = BW(i, j) + NBW(i, j) \times (8/NBT(i, j)) - BTmove(i, j) \quad (2b)$$

$$NBW(i, j) = NBW(i, j) - NBW(i, j) \times (8/NBT(i, j)) + BTmove(i, j-1) \quad (2c)$$

$$FABout(i) = BTmove(i, final) \quad (3)$$

2.2 물류 통제 방법 : Bottleneck 스케줄링

반도체 FAB에서 운영되고 있는 8시간 단위의 Shift 스케줄을 작성하는 것으로, 재공이 있어 설비 할당이 가능한 Device/Layer에 대하여 우선순위를 정하고 우선순위에 의하여 할당 가능한 설비를 찾아 최대한으로 할당하는 방식을 취한다. 이때 전(前) Shift에서 할당된 동일 설비를 찾아 우선 할당함으로써 Mask 교체로 인한 손실을 최소화한다. Mask 교체가 일어나야 하는 상황이 발생할 경우를 포함하여 Device/Layer가 설비를 찾아가 재공 소진 시까지 할당하는 방식으로 스케줄링이 진행된다. 본 시뮬레이터에서 적용될 수 있는 우선 순위의 예는 다음과 같다.

SVI(Shortage Volume Index)

SVI는 Device/Layer 중의 긴급정도를 나타내는데 다음 세 가지 값의 합으로 계산된다(Leachman, et al., 1998). 첫째, FAB 끝단까지의 후속공정의 기준 재공 대비 부족분이며 둘째는, 생산 목표 대비 부족분을 말한다. 셋째, Shift 별 생산목표로서 이는 월 생산목표를 단순히 전체 Shift 수로 나눈 값이다.

$$SVI(i, j) = \Delta wip(i, j) + \Delta out(i) + D(i) \quad (4)$$

여기서 $\Delta wip(i, j)$ 는 Device i , Layer j 의 적정 재공 대비 부족 재공분을 말하며 $\Delta out(i)$ 는 생산목표 대비 누적부족분을 말하고 $D(i)$ 는 Shift 별 생산목표를 말한다. 첫째와 둘째 부분은 기준 대비 부족분이 많은 Layer가 우선 작업이 진행될 수 있도록 하기 위한 부분이며 셋째 부분은 생산량이 많은 Device에 대해 우선 순위를 두어 진행하고자 하는 것이다.

SSV (Shifted SVI)

SVI값은 생산라인의 WIP상태에 따라 마이너스 값을 가질 수 있다. 이 경우 해당 Layer의 Device는 전혀 스케줄링 되지 않기 때문에 특정 Device는 물류 흐름이 전혀 없는 경우가 발생하는데 이로 인한 문제점을 보완하기 위해 모든 SVI값을 최소값 기준으로 모두 양수화한 후 이 값으로 우선 순위를 정하는 방법이 SSV 규칙이다.

$$SSV(i, j) = SVI(i, j) - \text{Min} SVI(i, j) \quad (5)$$

SSV는 기본적으로 모든 Device/Layer의 SVI값을 양수화한 것

으로 스케줄링의 우선 순위는 SVI와 동일하다. 그러나 실제로 스케줄링이 일어나는 과정에서 SVI의 규칙에서는 SVI값만큼 스케줄링이 일어나 마이너스의 값을 갖는 Device/Layer는 현재 재공이 있어도 설비 할당이 발생하지 않는다. 반면에 SSV규칙에서는 SVI의 규칙과 같이 동일한 순서로 스케줄링이 일어나 현재 재공을 소진한 후 SVI값은 제로(0)이지만 현재 재공을 가지고 있는 Device/Layer의 설비 할당을 가능하게 함으로써 특히 소량생산 제품의 물류흐름을 가능하게 한다. 그러나 이는 반대로 Mask교체시간 발생으로 가동률을 낮출 가능성이 있다.

HBR(High Balance Rate)

Device/Layer의 Balance 평가지수가 높은 순으로 스케줄링하는 것으로 현재 재공이 소진될 때까지 설비를 할당한다. 이 알고리즘은 전체 라인의 BR 값을 평균화하는 것을 목적으로 한다.

FBR (Flow Balance Rate)

HBR 규칙을 보정한 FBR 규칙은 HBR 규칙이 해당 Device/Layer의 상태만을 반영하는 반면 FBR 규칙은 현재와 다음 Device/Layer의 상태도 반영한다. 여기서 r 는 통제 보수(Parameter)로서 실험을 통하여 적정값을 구할 수 있다.

$$FBR(i, j) = r \times BR(i, j+1) - BR(i, j) \quad (6)$$

2.3 물류 통제 방법 : FAB투입통제

생산라인의 물류 흐름은 Bottleneck공정의 스케줄링에 의해 가장 큰 영향을 받지만 또한 웨이퍼 물량 투입량에 의해서 많은 영향을 받는다. 이는 전체적인 재공의 양이 변할 뿐만 아니라 초기 Layer의 재공의 변화가 Bottleneck의 스케줄링에 있어서의 Layer별 우선 순위에 영향을 주기 때문이다. 대부분의 반도체 업체에서는 효율적인 투입 규칙을 가지고 있지 못하며 매일 또는 매 Shift마다 초기 Layer의 재공 상태에 따라 경험에 의해 결정된다. 재공 관리 측면에서 가장 간단하면서도 효율적인 방법은 CONWIP방식으로 FAB생산된 양만큼 투입하는 것과 월 생산목표를 Shift수로 나누어 Uniform하게 투입하는 방법이 보편적이다. 그러나 투입방식은 라인의 물류 통제의 주요 요인이며(이근희 등, 1995; Glassey and Resende, 1988; Wein, 1988) 이 연구에서도 각종 투입방식을 규칙화하여 적용할 수 있도록 하였다. 고려할 수 있는 규칙의 예는 다음과 같다.

ELB(Early Layer's Balance) 규칙

$$ELB(i) = \sum_{j=1}^k BR(i, j) \quad (k: \text{고려 대상의 Layer 수}) \quad (7)$$

$$INPUT(i) = \text{TotalInput} \times \frac{ELB(i)}{\sum_j ELB(i)} \quad (8)$$

여기서 $INPUT(i)$ 는 Device i 의 투입량을 의미하며 TotalInput 은 전체 Device의 월간 생산량을 총 Shift수로 나눈 값이다. 즉, 초기 Layer의 Balance 지수의 합에 비례하여 투입하는 방식을 말

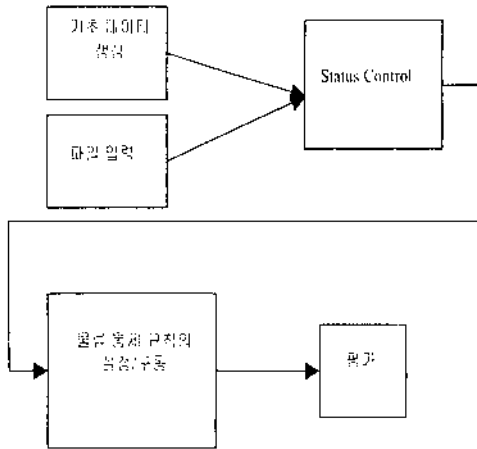


그림 4. 시뮬레이터 구동 순서.

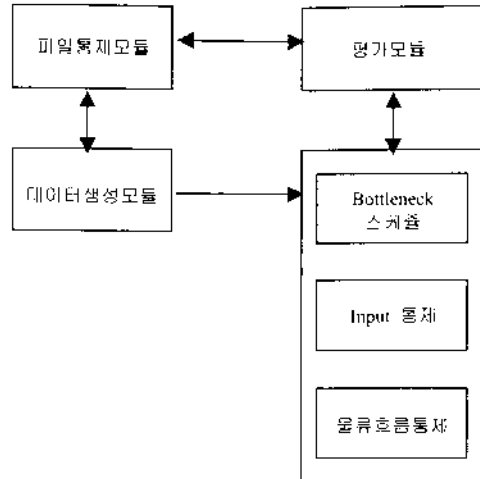


그림 5. Module 구성.

한다.

PR(Progress Rate) 규칙

생산되는 Device 중에서 진척도가 적은 Device를 우선 투입 함으로써 재공량을 늘려주고 이로 인하여 Bottleneck공정에서도 우선 스케줄링이 되게 함으로써 전체 Device의 진척도를 맞출 수 있도록 유도하는 방식이다.

$$PR(i) = \frac{\text{Device } i \text{의 현재까지의 누적생산량}}{\text{Device } i \text{의 목표생산량}} \quad (9)$$

$$INPUT(i) = \text{TotalInput} \times \frac{PR(i)}{\sum PR(i)} \quad (10)$$

3. 시스템 개발

시뮬레이터는 파일 통제 모듈, 데이터 생성 모듈, 물류 통제 모듈, 평가 모듈 등의 4개로 구성되어 있으며 물류 통제 모듈 내에는 Bottleneck스케줄, 투입량 통제, 물류 흐름 통제의 3개의 Sub-Module로 구성되어 있다<그림 4>. 시뮬레이터가 구동되는 순서는 <그림 5>와 같이 기초 데이터 생성 또는 파일 입력, Status Control, 물류통제 규칙의 설정 및 구동, 평가등으로 이루어진다.

이 논문에서 제시된 여러 스케줄링 규칙과 투입량 규칙을

FastFab Parameter (F3) - [Final Data Information]												
Current Shift : 30												
Device	S10 Time	Difficulty	Proces WIP	Actual WIP	LayerCT	NBT	Stepper	Stepper	Stepper	Stepper	Stepper	Stepper
(Dev, Layer)	Stepper 1	Stepper 2	Stepper 3	Stepper 4	Stepper 5	Stepper 6	Stepper 7	Stepper 8	Stepper 9	Stepper 10	Stepper 11	Stepper 12
(1, 1)	0	0	0	1.6	0	0	0	0	1.6	0	0	0
(1, 2)	0	2	1.5	1.9	1.4	0	1.5	0	1.3	0	0	2.4
(1, 3)	0	1.7	1.3	0	0	0	0	0	0	0	0	0
(1, 4)	2.4	2.3	2	0	1.3	0	0	0	1.3	2.2	1.5	2.4
(1, 5)	1.4	1.8	0	0	1.4	1.8	0	2	0	2	1.5	0
(1, 6)	0	0	1.3	0	0	0	0	2	0	2	0	1.4
(1, 7)	1.2	0	0	0	0	1.5	1.9	0	1.6	0	1.7	1.5
(1, 8)	0	2.4	0	1.9	1.8	0	0	1.3	0	1.4	1.8	0
(1, 9)	0	1.4	0	0	0	0	2.2	1.9	0	0	1.5	0
(1, 10)	0	1.9	1.6	1.6	0	0	0	0	1.4	0	1.2	2.1
(1, 11)	2.3	0	0	0	1.4	0	2.2	2.2	0	0	0	2.1
(1, 12)	2.4	1.3	0	0	0	0	2.2	0	2.3	0	0	0
(1, 13)	0	2.2	0	0	0	0	0	0	0	2.4	2.4	2.4
(1, 14)	1.9	0	0	1.3	1.2	1.3	0	0	0	1.3	2.3	2
(1, 15)	1.4	0	0	0	1.3	0	0	0	2	0	0	2.4
(1, 16)	1.2	2.4	0	0	1.5	0	0	0	1.2	1.7	0	1.7
(1, 17)	0	0	0	0	0	0	2.3	0	0	2.3	0	1.4
(1, 18)	0	0	1.2	0	2.1	0	0	2.3	0	1.6	1.8	0
(1, 19)	1.9	1.8	0	0	2.3	0	0	1.3	0	1.4	1.9	0
(1, 20)	0	0	0	0	0	0	0	0	0	0	0	1.5
(1, 21)	1.3	0	0	0	0	0	0	0	0	0	0	2
(1, 22)	0	2.2	0	1.9	0	2	0	0	1.8	0	1.6	0
(1, 23)	1.5	0	1.8	0	0	0	0	1.9	0	0	0	2.2
(1, 24)	0	0	2.4	0	2.2	1.9	2	0	1.5	0	1.2	1.9
(1, 25)	2.4	0	0	2.3	1.8	0	0	0	2.3	1.7	1.7	0
(1, 26)	0	0	0	2.1	1.8	2.3	0	0	0	0	1.3	2.2
(1, 27)	0	0	0	0	0	0	0	0	0	0	1.5	0

그림 6. 데이터 생성창.

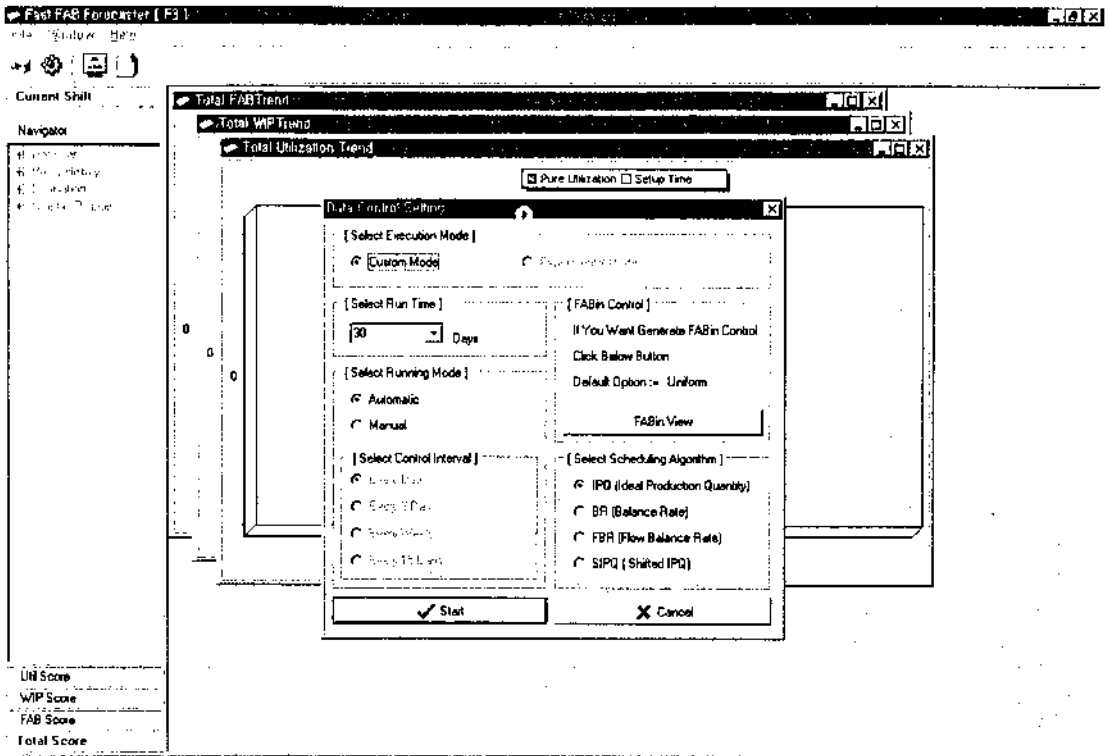


그림 7. 투입량 및 스케줄링 규칙 화면

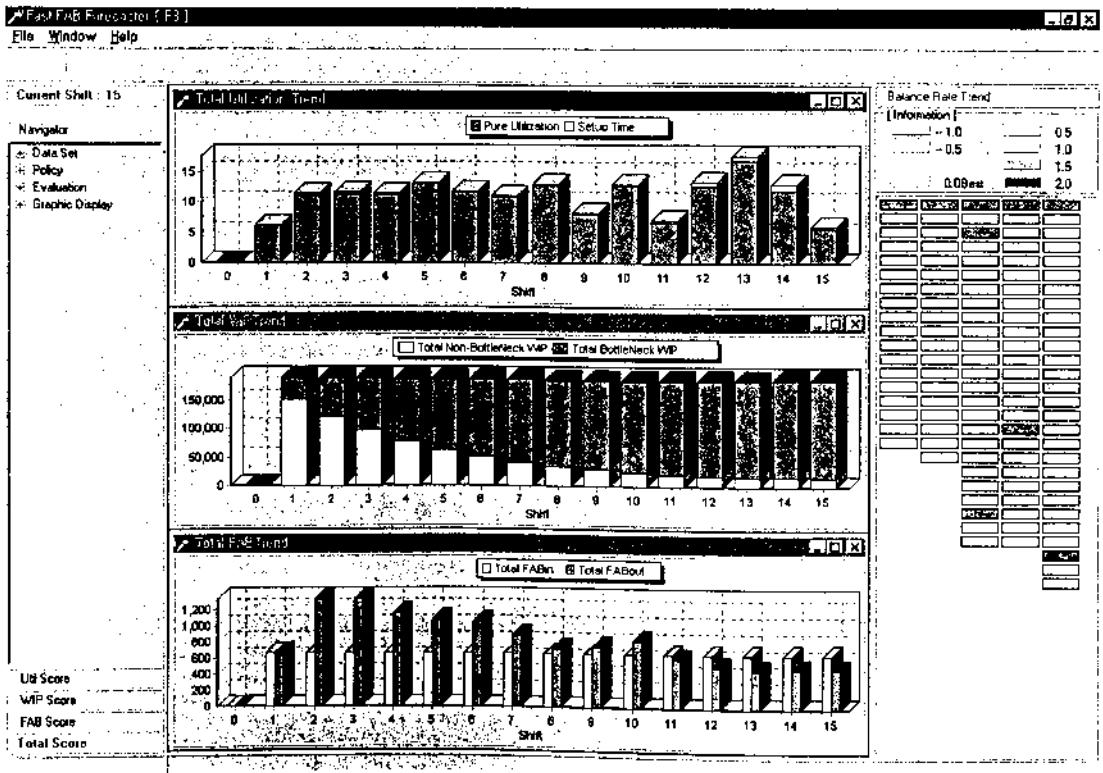


그림 8. 시뮬레이션 구동화면

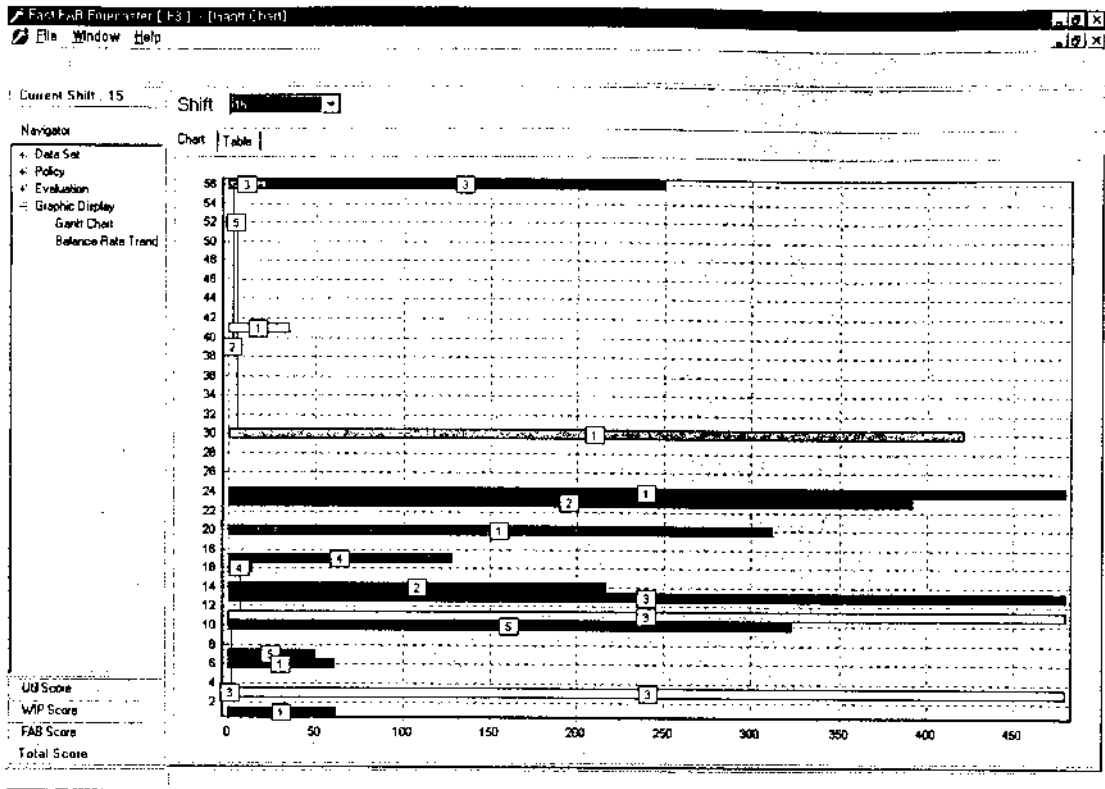


그림 9. Stepper 스케줄 간트 차트.

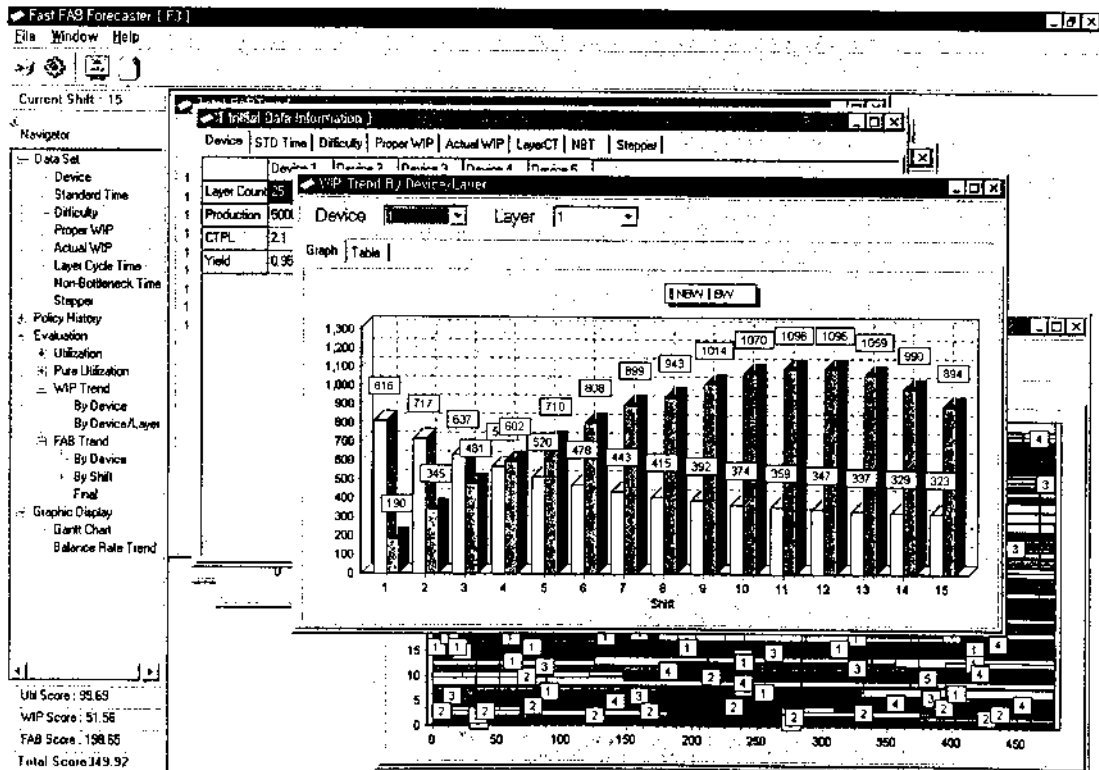


그림 10. 시뮬레이션 결과 화면.

시스템으로 구현하였다. 구현 도구는 Delphi를 이용하였으며 Data Base도 Delphi에서 제공하는 DB Engine을 이용하였다.

모의 실험을 위한 기초 데이터를 실제 라인과 비슷한 범위 내에서 무작위로 생성할 수 있다. 또한 Device, Layer, Stepper, 각 Device/Layer의 재공 상태와 적정 재공값들을 자동으로 생성하고 필요부분에 대해서 사용자가 원하는 값도 입력할 수 있으며 시뮬레이터에서 기본적으로 제공하는 파일에서 데이터 세트를 선택하여 시뮬레이션 할 수 있다. 데이터가 확정되면 자신이 선택한 상황을 보면서 사용자가 원하는 대로 필요분에 대해 수정할 수 있다<그림 6>.

데이터에 관한 모든 입력 또는 생성이 끝나면 Shift 별 FAB투입량을 조절하고 FAB투입 규칙을 선택할 수 있으며 FAB투입까지의 상황이 결정되면 전체 Run Time과 통제 방법(Automatic Control, Manual Control), 스케줄링 알고리즘을 선택한다<그림 7>. 구동을 자동으로 할 경우는 처음 선택한 알고리즘으로 구동하는 동안 자동으로 시뮬레이션되며, Manual로 할 경우는 선택된 구동간격(3, 9, 21 Shifts) 동안 구동한 후 알고리즘과 FAB투입, 구동 간격 등을 재설정한다. 모든 셋팅이 끝나면 시뮬레이터를 구동할 수 있는데 Total Utilization, Pure Utilization, 라인 Balance, FAB투입, FAB생산 등의 상황을 시뮬레이션이 진행되는 동안의 변화를 볼 수 있다<그림 8>. 시뮬레이션 도중이나 끝나고 난 후의 Stepper의 스케줄링이 일어난 상황과 재공의 변화를 알 수 있다<그림 9,10>.

4. 실험 및 결과

시뮬레이터의 성능과 제시한 규칙의 성능을 평가하기 위하여 스케줄링 규칙과 투입 규칙의 조합으로 실험 Set을 만들고 각 Set별로 서로 다른 3개의 생산량 조건하에서 10회 이상의 실험을 실시하였다<표 2>. 생산량의 Device별 차이는 생산량을 고

표 2. Device 별 생산량(단위:웨이퍼)

Device Level	1	2	3	4	5
CV=0	10,000	10,000	10,000	10,000	10,000
CV=0.5	20,000	10,000	10,000	5,000	5,000
CV=1.0	30,000	5,000	5,000	5,000	5,000

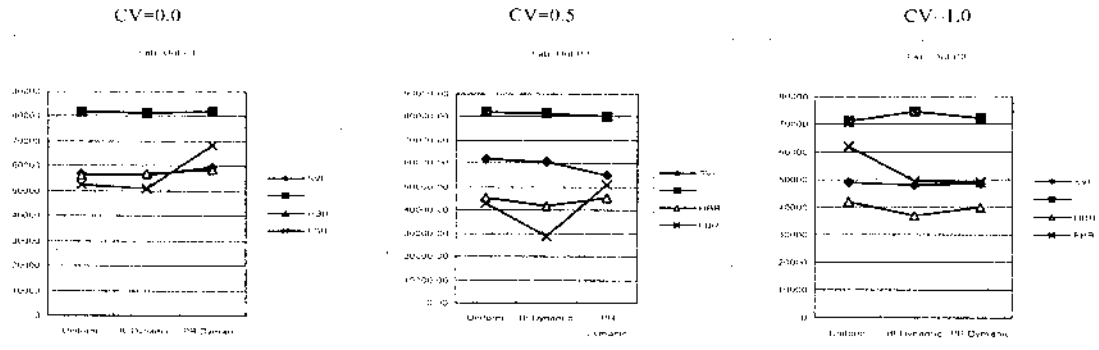
려하여 스케줄링 규칙과 투입 규칙에 많은 영향을 미칠 것으로 예상된다. 이를 반영하기 위하여 Device별 생산량의 변화를 나타내는 CV=(생산량 변화의 표준편차)/(생산량의 평균)를 정의하고 CV=(0, 0.5, 1.0)의 3가지 경우에 대하여 실험하였다.

실험결과는 생산량을 나타내는 FAB생산, FAB생산량의 분산, 제조라인의 Balance Rate, 설비의 가동률 측면에서 평가하였다. <표 3>은 4가지의 스케줄링 규칙과 3가지의 투입 규칙의 각각의 조합에 대한 평가지수를 보여주고 있다. 실험결과를 분석하여 보면 Device별 생산량의 차이는 각종 평가지수에 큰 영향을 주지 못하지만 Balance Rate가 낮을수록 FAB생산량이 증가함을 알 수 있다<그림 11>. SVI 스케줄링 규칙은 가동률이 97%정도로 매우 높으나 실제로 FAB생산량은 상대적으로 낮아 가동률 최고의 정책이 생산량 증가와는 별개의 문제임을 알 수 있다. 이는 규칙의 특성상 예측할 수 있었던 결과인데 즉 SVI의 값을 결정하는 부분 중 생산량이 값을 주도할 경우 Shift가 바뀌어도 지속적으로 우선 순위가 높아 Mask의 교체 없이 같은 종류의 Device/Layer의 생산이 이루어져 설비 가동률은 높으나 물류전체의 Balance가 깨져 최종 FAB생산량 증가에는 기여하지 못하게 된다. 반면에 SSV규칙은 우선 순위는 낮아도 현재 재공을 가지고 있는 Device/Layer에 할당이 이루어져 물류흐름이 전체 생산 진행에 도움을 주기 때문에 FAB생산량의 평가에서 우위를 보이고 있다. 특히 소량생산 제품의 지속적인 설비

표 3. 스케줄링 규칙과 투입 규칙의 성능 비교

	스케줄링 규칙	SVI	SSV	HBR	FBR
FAB Out(매)	Uniform	49,156	70,984	41,987	61,750
	ELB	47,877	74,297	37,032	49,635
	PR	48,260	72,024	40,176	48,976
FAB-OUT Variance	Uniform	236	569	285	559
	ELB	304	480	285	553
	PR	233	524	272	571
Balance Rate	Uniform	1.16	0.99	0.64	0.87
	ELB	1.37	1.08	0.95	0.95
	PR	0.83	0.78	0.93	1.1
Utilization (%)	Uniform	97.18	92.26	86.18	88.78
	ELB	96.94	92.51	82.96	89.07
	PR	98.08	92.37	83.46	88.17

Fab Out Amount



Line Balance

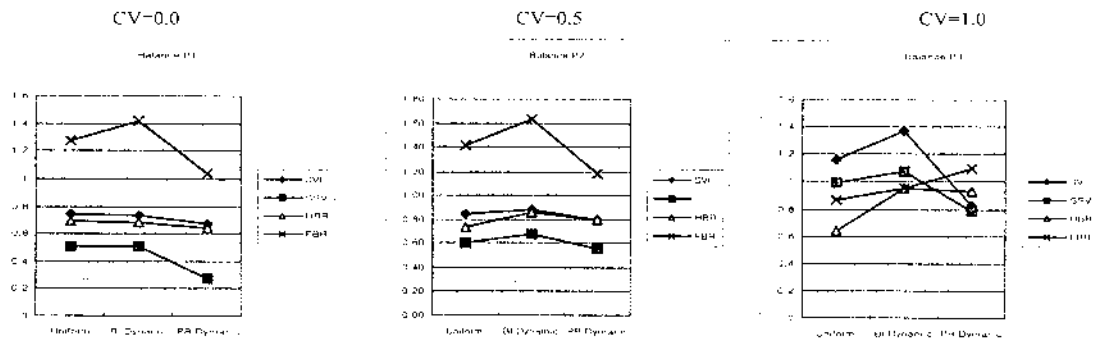


그림 11. 스케줄링 및 Input Rule의 성능 비교.

할당은 전체 생산 목표 달성에 크게 기여함을 보여주고 있다. 실제로 SSV 규칙은 92.5% 내외의 가동률을 유지하면서도 97%의 가동률을 보인 SVI 규칙보다 40% 이상의 생산량 증가를 보여준다. 다만 FAB생산량의 분산이 커서 평준화 생산이 이루어지고 있지 않은 점이 분제로 지적된다. Balance Rate에 근거한 HBR스케줄링 규칙은 예상대로 Balance Rate은 낮게 유지되지만 FAB생산과 가동률에서 성능이 좋지 않았고 Flow Balance Rate을 통제할 FBR 규칙이 HBR보다 FAB생산과 가동률을 올려주고 있음을 알 수 있다. 투입 규칙의 차이는 크게 나타나지 않았으나 적용되는 스케줄링 규칙과의 적절한 조합이 있음을 보여준다. 예를 들면 SVI FE는 SSV 규칙은 진척도를 반영하는 PR 규칙이 적합하며 Balance Rate을 통제하는 HBR과 FBR 규칙은 Uniform하게 투입하는 것이 Balance Rate과 FAB생산의 증가를 가져왔다.

5. 결론

반도체 공정은 공정 자체의 복잡성과 방대한 양의 데이터 Transaction으로 인하여 사람에 의한 스케줄링이 한계가 있는 것이 사실이다. 그러나 지금까지 주로 사람의 경험을 통해 스케줄링이 이루어져 공거나 재공 관리에 많은 문제점을 안고 있다. 본 연구는 반도체 FAB 라인의 특성을 살려 단순화한 모

델링을 제안하고 이를 근거로 스케줄링 시뮬레이터를 개발하여 각종 알고리즘의 평가 수행도를 테스트하였다. 반도체 FAB 라인의 시뮬레이션 구동에 가장 큰 어려움 중의 하나는 Non-Bottleneck에 해당하는 수많은 공정의 각종 Specification과 적용되는 규칙이 수시로 바뀌고 장비 상태 또한 Dynamic하게 바뀌어 이를 정교한 모델링에 근거한 시뮬레이터를 적용하기에는 항상 데이터수집 및 고정애 많은 시간을 요하게 된다. 그러나 본 논문에서 제시된 모델링은 이러한 데이터의 변화를 단순화하고 전체 공정으로 볼 때 Bottleneck공정인 FAB공정과 생산라인 재공에 큰 영향을 미치는 웨이퍼 투입에 초점을 맞추어 스케줄러를 만들었다. 상업용 패키지용 이용한 시뮬레이션 모델링에 1~2개월 정도 소요되는 것과 비교하여 본 연구의 시뮬레이션 모델을 구축에 1~2일이면 가능하고 구동 시간의 측면에서 볼 때 통상 10시간에서 1일이 걸리는 기존의 모델링과 비교해서 Pentium PC에서 3~4분이면 가능하다. 실험결과 또한 실제의 생산라인 데이터를 사용하여 실험한 결과와 크게 다르지 않았다. 또한 새로이 제안된 알고리즘을 사용하여 스케줄링한 결과는 생산량이나 공기, Line Balance면에서 상당부분 기존의 방법보다 개선된 결과를 만들어 낼 수 있었다. 스케줄링 알고리즘에 있어서는 SVI값을 최소 SVI값을 기준으로 보정하여 작업 우선순위와 작업량을 결정할 SSV(Shifted SVI) 규칙이 탁월한 평가척도를 나타내었다. 또한 특정 스케줄링 규칙에 적합한 투입 규칙의 조합이 있음을 보여 주었다.

현재는 알고리즘을 실험하고 결과를 보기위한 시뮬레이터이지만 앞으로 실제 생산라인에의 적용을 위한 작업을 진행하고 있다. 이를 위하여 라인 데이터를 실시간으로 읽어 들이고 이를 토대로 Dynamic한 스케줄을 할 수 있는 시스템으로의 발전 방향이 모색 되어야 할 것이다.

참고문헌

- 이근화, 홍유신, 김수영(1995), 반도체 Wafer FAB 공장에서 생산 일정 계획, *대한산업공학회지* 21(3), 357-369.
- 이영훈, 김수영, 이관후, 이상우(1995), 반도체산업의 생산관리: 이론과 실제, *산업공학* 8(4), 73-87.
- Bitrau, G. R. and Tirupati, D. (1988), Development and Implementation of a Scheduling System for a Wafer FAB Facility, *Operations Research*, 36(3), 377-395.
- Demeester, L. and Tang, C. (1994), Reducing Cycle Time at an IBM Wafer Fabrication Facility, Technical Paper, University of California at Los Angeles.
- Ehteshami, B., Petrakian, R. G. and Shabe, P. M. (1992), Trade-Offs in Cycle Time Management: Hot Lots, *IEEE Trans. on Semiconductor Manufacturing*, 5(2), 101-106.
- Glassey, C. R. and Resende, M. G. C. (1988), A Scheduling Rules for Job Release in Semiconductor Fabrication, *Operations Research Letters*, 7, 213-217.
- Kim, Y. D., Lee, D. H., Kim, J. U. and Roh, H. K. (1998), A Simulation Study on lot release control, mask scheduling, and batch scheduling in

- Semiconductor wafer Fabrication facilities, *Journal of Manufacturing Systems*, Dearborn.
- Kraft, C. (1993), Dynamic Kanban Semiconductor Inventory Management System, Technical Paper, Texas Instruments Inc. .
- Leachman, R. C. (1994), The Competitive Semiconductor Manufacturing Survey: Second Report on Results of the Main Phase, CSM-08 Report.
- Leachman, R. C., Lee, Young Hoon, Kang, Jeon Young and Kim Sooyoung (1998), Balance and WIP Control in the Semiconductor Fabrication Line, Working paper.
- Lee, C. Y., Uzsoy, R. and Martin-Vega, L. A. (1992), Efficient Algorithms for Scheduling Batch Processing Machines, *Operations Research*, 40, 764-775.
- Lee, Young Hoon and Kim, Sooyoung (1997), Balance and Bottleneck in the Semiconductor Shop Floor Control, Proceeding of 14th ICPR, 2, 1272~1275.
- Lou, S. X. C. and Kager, P. W. (1989), A Robust Production Control Rule for VLSI Wafer Fabrication, *IEEE Trans. on Semiconductor Manufacturing*, 2(4), 159-164.
- Uzsoy, R., Lee, C. Y. and Martin-Vega, L. A. (1992), A Review of Production Planning and Scheduling Models in the Semiconductor Industry, Part I: System Characteristics, Performance Evaluation, and Production Planning, *IEE Transactions*, 24(4), 47-60.
- Uzsoy, R., Lee, C. Y., and Martin-Vega, L. A. (1994), A Review of Production Planning and Scheduling Models in the Semiconductor Industry, Part II: Shop-Floor Control, *IEE Transactions*, 26(5), 44-55.
- Wein, L. M. (1988), Scheduling Semiconductor Wafer Fabrication, *IEEE Transactions on Semiconductor Manufacturing*, 1(3), 115-129.



이영훈

서울대학교 산업공학과에서 학사(1981), Columbia Univ. 산업공학과에서 석사(1989) 및 박사학위(1992)를 취득함. 현재 연세대학교 기계전자공학부 정보산업공학전공 조교수로 재직중. 주 관심분야는 시스템 최적화, 스케줄링, SCM 등임



박중관

연세대학교 산업시스템공학과에서 공학사(1998), 현재 동 대학원에서 시스템 최적화를 전공하고 있음.



조한민

연세대학교 산업시스템공학과에서 공학사(1998), 현재 동 대학원에서 시스템 최적화를 전공하고 있음.



이병기

연세대학교 산업시스템공학과에서 공학사(1998), 현재 동 대학원에서 시스템 최적화를 전공하고 있음.