

CMOS 디지털 게이트의 최대소모전력 예측 매크로 모델

論 文

48A-10-20

Macro-model for Estimation of Maximum Power Dissipation of CMOS Digital Gates

金 東 郁*
(Dong-Wook Kim)

Abstract - As the integration ratio and operation speed increase, it has become an important problem to estimate the dissipated power during the design procedure as a method to reduce the TTM(time to market). This paper proposed a prediction model to estimate the maximum dissipated power of a CMOS logic gate. This model uses a calculational method. It was formed by including the characteristics of MOSFETs of which a CMOS gate consists, the operational characteristics of the gate, and the characteristics of the input signals. As the modeling process, a maximum power estimation model for CMOS inverter was formed first, and then a conversion model to convert a multiple input CMOS gate into a corresponding CMOS inverter was proposed. Finally, the power model for inverter was applied to the converted result so that the model could be applied to a general CMOS gate. For experiment, several CMOS gates were designed in layout level by 0.6 μ m layout design rule. The result by comparing the calculated results with those from HSPICE simulations for the gates showed that the gate conversion model has within 5% of the relative error rate to the SPICE and the maximum power estimation model has within 10% of the relative error rate. Thus, the proposed models have sufficient accuracies. Also in calculation time, the proposed models was more than 30 times faster than SPICE simulation. Consequently, it can be said that the proposed model could be used efficiently to estimate the maximum dissipated power of a CMOS logic gate during the design procedure.

Key Words : maximum power estimation, macro model, MOSFET characteristics, CMOS logic gate, relative error rate

1. 서론

최근 반도체 산업에 있어서의 가장 큰 관심은 집적도 증가에 있으며, 이를 위해 CMOS기술이 디지털 회로의 실현에 가장 널리 사용되고 있다[1, 2]. CMOS회로는 높은 소형화 가능성 이외에 저전력 소모, 높은 잡음여유도 등의 장점을 갖고 있다. 그러나, 집적도 증가는 동작속도를 증가하여 CMOS회로에서의 전력소모를 증가하는 결과를 초래하고 있다. 특히 최근의 경향은 전자기기의 휴대성을 크게 중시하고 있어 순간 최대공급전력 및 평균 전력소모가 회로구현에 있어 큰 제약으로 대두되고 있다[3].

이에 최근의 연구경향은 주어진 회로기능에서 전력소모를 줄이기 위한 설계방법의 연구[3]와 설계과정에서 미리 전력소모량을 예측하여 전력소모에 대한 사양을 맞춤으로써 TTM(time to market)을 줄이는 방법의 연구로 크게 나누어 볼 수 있다. 본 논문은 두 번째의 연구범주에 속한다. 전력소모를 예측하는 연구에도 그 대상에 따라 평균전력소모 예측과 최대전력소모 예측으로 분리할 수 있는데, 평균전력소모는 주어진 전력을 사용하는 경우, 즉 휴대폰이나 노트북 컴퓨터 등의 용도에서 큰 의미를 가지며, 최대전력소모는 순간전력의 최대치가 중요한 요소로

작용하는 경우, 즉 단일 전원 시스템 등에서 의미를 갖는다. 본 연구는 이 중 최대전력소모와 연관되며, 특히 최근에는 단일 전원 시스템으로 실현 경향이 움직이고 있어 최대전력소모가 매우 중요한 설계요소가 되고 있다[3].

소모전력을 예측하는 방법에는 스위칭 활동을 측정하는 방법 [8-10]과 확률적인 통계를 사용하는 방법[11, 12]의 두 가지로 구분된다. 첫 번째 방법은 주어진 회로의 스위칭 활동을 예측하여 기 연산된 각 게이트의 전력소모를 적용, 그 회로의 전력소모를 예측하는 방법이며, 두 번째 방법은 전력소모가 입력조합에 의해 변화한다는 것에 기인하여 동작시간을 확률적으로 계산하여 전력소모를 예측하는 방법이다. 이 두 방법 모두 각 게이트를 구성하는 구성 요소의 특성이나 입력신호의 특성 등을 고려하지 않음으로서[12] 예측된 결과가 실제의 결과와 많은 차이를 보이고 있다. 또한 최근에 오버슈트(overshoot), 단락회로, 그리고 방전구간을 따로 고려한 모델링 방법[13]이 발표되었으나, 그 정확성이 입력 천이시간이 변화하는 전 구간동안 유지되지 못하고 있다. 따라서 게이트의 특성과 입력신호의 특성 및 회로의 지연시간 등을 고려한 CMOS 논리 게이트의 전력소모 예측 방법이 절실히 요구되고 있다. 그 외에, 전력의 민감도에 기초를 둔 전력 모델링 방법[14, 15]과, 상위-레벨(RTL-레벨)에서의 설계가 활발히 이루어지고 있는 것에 부응하여 상위-레벨에서의 전력 모델링 방법[16, 17] 등이 최근에 발표된 바 있다.

본 논문에서는 CMOS 게이트를 구성하는 MOSFET들의 특성과 지연시간 등의 특성을 내포하고 있는 입력신호의 정보를 모두 고려하여 CMOS 게이트의 최대소모전력 예측 모델을 제안하고자

*正 會 員 : 光云大 電子材料工學科 副教授·工博
接受日字 : 1999年 5月 14日
最終完了 : 1999年 8月 3日

한다. 이 모델의 형성을 위해 MOSFET의 동작을 재모델링하여 사용하며 입력신호를 선형화하여 모델링 과정을 단순화한다. 본 논문은 정적 CMOS 게이트 전체를 대상으로 하며, 먼저 CMOS 인버터에 대해 모델링을 수행한 후 일반적인 CMOS 게이트로 확장한다. 제안된 모델은 0.6 μ m 설계규칙으로 설계된 대상회로에 대해 HSPICE 시뮬레이션을 수행한 결과와 비교하여 그 우수성을 보인다.

2. MOSFET 및 신호의 선형화 모델

최대소모전력을 예측하기 위한 모델링에 앞서 이 장에서는 먼저 CMOS 논리 게이트를 구성하는 MOSFET와 논리 게이트의 입·출력 신호를 선형화한다. 이 과정은 전력소모 예측모델의 계산 양을 줄여 예측을 위한 비용의 최소화를 위해 진행된다.

2.1 MOSFET 특성

일반적으로 MOSFET의 전류-전압(I-V)특성이 비선형적이다. 이러한 특성은 그 응용에 있어서 매우 많은 계산량이 요구되며, 효과적인 모델링을 위해 이 특성을 부분적인 선형성을 가진 특성으로 재모델링한다. 그림 1에 본 논문에서 사용하는 선형화 모델을 나타내었는데, 선형영역과 포화영역을 각각 선형성을 갖도록 모델링하였다. 그림 1 (b)에서 I_{D0} 는 V_{GS} 에 최대전압(V_{DD})이 인가되었을 때의 포화전류를 나타낸다. G_{L0} 는 $V_{GS}=V_{DD}$ 일 때 선형영역에서의 컨덕턴스를 나타내며, 이 값은 간단한 시뮬레이션 또는 다음 식으로 구할 수 있다.

$$G_{L0} = \left[\lim_{V_{GS} \rightarrow 0} \frac{I_D}{V_{DS}} \right]_{V_{GS} = V_{DD}} \quad (1)$$

$V_{GS}=V_{DD}$ 일 때 V_{DS} 에 대한 드레인 전류 I_{D0} 는

$$I_{D0} = G_{L0} \cdot V_{DS} \quad (2)$$

로 쉽게 구할 수 있다. $V_{GS} < V_{DD}$ 일 때의 포화전류는 Schokley 모델을 사용할 경우,

$$I_D = B(V_{GS} - V_{TH})^2 \quad (3)$$

$$B = \frac{I_{D0}}{(V_{DD} - V_{TH})^2} \quad (3-1)$$

로 나타낼 수 있다. 여기서 V_{TH} 는 MOSFET의 문턱전압을 나타낸다.

V_{LS} 는 본 논문에서 설정한 선형영역과 포화영역의 경계전압으로 I_{D0} 와 I_{D0} 의 교점으로부터 구한다. 또한 본 논문에서는 V_{GS} 에 무관하게 V_{LS} 는 동일하다고 간주한다. 따라서 주어진 바이어스 조건에서 드레인 전류는 I_{D0} 와 G_{L0} 로 모두 계산할 수 있다.

2.2 입력신호

MOSFET에 대한 모델링에서 실제 측정결과와 모델링 결과가 큰 차이를 보이는 많은 경우는 입력신호에 대한 정보를 충분히 포함하지 않은 경우가 대부분이다. 일반적인 입력신호는 그 전단의 출력신호라 간주할 수 있으며, 그림 2의 가는 선으로 나타낸

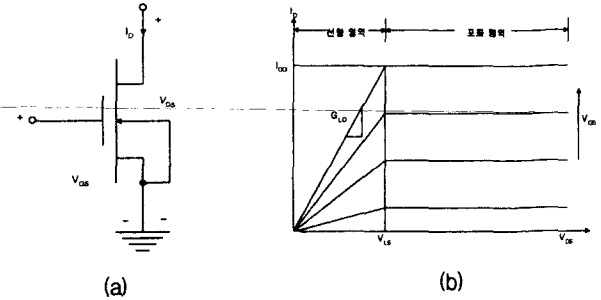


그림 1 MOSFET의 선형 모델

(a) MOSFET 바이어스 (b) 선형화된 I-V 특성

Fig. 1 MOSFET Linear model

(a) MOSFET bias (b) Linearized I-V characteristics

것과 같이 비선형적인 특성을 가진다. 모델링 작업에서 이 비선형성을 그대로 적용할 경우 모델에 의한 예측시간이 길어져 그 효율성이 떨어진다. 따라서 본 논문에서는 입력신호를 그림 2의 굵은 선과 같이 선형적으로 모델링하여 사용한다. 모델링 방법으로는 V_{HIGH} 와 V_{LOW} 의 두 점을 택하여 이들을 선형적으로 연결하고 이 선을 V_{DD} 와 GND로 확장한다. 일반적으로 V_{HIGH} 와 V_{LOW} 는 0.9 V_{DD} 와 0.1 V_{DD} 를 사용하나, 정확성에 따라 다른 값을 택할 수 있다.

$$V_{in}(t) = T_t \cdot t \quad (4-1)$$

$$V_{in}(t) = V_{DD} - T_t \cdot t \quad (4-2)$$

식 (3), (3-1), (4-1), (4-2)에 의해 MOSFET 드레인 전류는 시간의 함수로 표현할 수 있는데, 예로서, nMOSFET의 V_{GS} 에 그림 2(a)의 상승신호가 입력되었을 때 드레인 전류 I_{Dn} 은,

$$I_{Dn} = B_n T_t^2 \left(t - \frac{V_{THn}}{T_t} \right)^2 \quad (5)$$

로 표현된다. 여기서 첨자 n은 모두 nMOSFET임을 나타내고 있다.

3. CMOS 인버터의 최대전력 예측모델

본 논문에서는 먼저 CMOS 인버터에 대한 최대소모전력 예측모델을 형성하고 그 결과를 다른 CMOS 게이트로 확장한다.

3.1 CMOS 인버터의 시간에 따른 동작모델

앞 장에서 재모델한 MOSFET는 그 동작영역에 따라 전류원(포

화영역) 또는 저항(선형영역)의 회로소자로 대체할 수 있다. 따라서 그림 3 (a)의 인버터를 구성하고 있는 두 MOSFET는 인버터의 동작에 따라 그림 3 (b), (c), (d)의 세 가지중 하나로 표현할 수 있다. 이 때 차단영역에서 동작하는 MOSFET는 선형영역에서 $R=\infty$ 또는 포화영역에서 전류원의 공급전류값을 0으로 하여 표현한다.

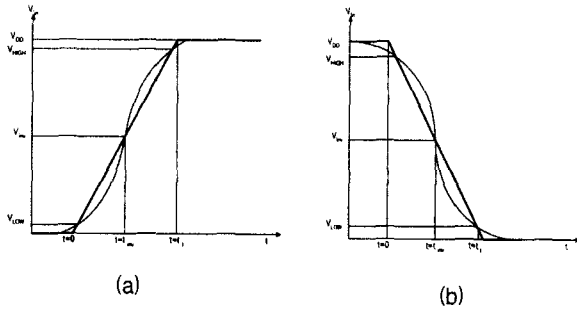


그림 2 입력신호의 선형 모델
 (a) 상승신호 (b) 하강신호
 Fig. 2 Linear model of input signal
 (a) Rising signal (b) Falling signal

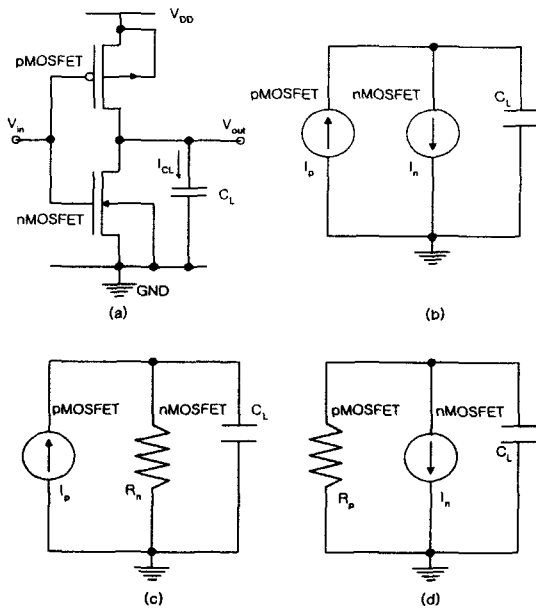


그림 3 CMOS 인버터의 재모델링
 (a) CMOS 인버터
 (b) 포화영역의 pMOSFET와 포화영역의 nMOSFET
 (c) 포화영역의 pMOSFET와 선형영역의 pMOSFET
 (d) 선형영역의 pMOSFET와 포화영역의 pMOSFET
 Fig. 3 Remodeling of CMOS 인버터
 (a) CMOS inverter
 (b) Saturated pMOSFET and saturated nMOSFET
 (c) Saturated pMOSFET and nMOSFET in linear region
 (d) pMOSFET in linear region and saturated nMOSFET

앞장에서 설명한 바와 같이 각 동작영역에서의 저항 또는 전류원은 주어진 입력신호에 따라 그 동작구간을 시간으로 표현할 수 있는데, 인버터의 두 MOSFET에 대한 전압에 따른 구간과 해당하는 시간구간 및 그 때의 값을 나타내면 표 1과 같다.

3.2 CMOS 인버터의 최대전력 예측모델

일반적으로 전력은 전압과 전류의 곱으로 계산된다. 특히 디지털 회로에서 소모되는 전력은 각 전원으로부터 공급되는 전력의 합과 동일하며, 특히 단일전원 시스템의 경우는 정전압과 공급되는 전류의 곱으로 나타낼 수 있다. 본 논문에서는 단일 전원 시스템을 가정하며, 따라서 최대소모전력 P_{max} 은,

$$P_{max} = V_{DD} \cdot I_{max} \tag{6}$$

이다. 즉, 최소소모전력을 계산하는 문제는 최대공급전류를 계산하는 문제로 간략화된다.

CMOS 인버터에서 pMOSFET를 통해 흐르는 전원전류는 nMOSFET로 흐르는 전류와 커패시터로 흐르는 전류(I_{α})의 합으로 계산된다. CMOS 인버터의 동작영역은 입력신호의 천이시간에 따라 변화하므로 최대전류 또한 입력신호의 천이시간에 따라 변화한다. 본 논문에서는 입력신호의 천이시간이 큰 경우와 작은 경우의 두 가지로 분류하여 전류를 계산하는데, 그 경계시간을 t_{LS} 로 잡았다. t_{LS} 는 그림 1의 V_{1S} 에 도달하는 시간을 나타내며, $V_{GS}=V_{DD}$ 일 때의 포화전류와 선형전류의 경계에 이르는 시간을 뜻한다. 이 시간은 입력신호가 하강할 때,

$$V_{LSn} - V_1 = \frac{B_p T_i^2}{C_L} \int_{t_{inv}}^{t_{LS}} \left(t - \frac{|V_{THp}|}{T_i} \right)^2 dt \tag{7}$$

$$V_1 = \alpha \left(t_{inv} - \frac{|V_{THp}|}{T_i} \right)^2 + \beta \left(t_{inv} - \frac{|V_{THp}|}{T_i} \right) + \gamma - \gamma e^{-\frac{(t_{inv} - |V_{THp}|/T_i)}{R_{LSn} C_L}} \tag{7-1}$$

$$\alpha = R_{LSn} B_p T_i^2 \tag{7-2}$$

$$\beta = -2R_{LSn}^2 C_L B_p T_i^2 \tag{7-3}$$

$$\gamma = 2R_{LSn}^3 C_L^2 B_p T_i^2 \tag{7-4}$$

로부터 구할 수 있으며, 그 결과는 다음과 같다.

$$t_{LSn} = \left(\frac{3C_L(V_{LSn} - V_1)}{B_p T_i^2} + \left(t_{inv} - \frac{|V_{THp}|}{T_i} \right)^3 \right)^{\frac{1}{3}} + \frac{|V_{THp}|}{T_i} \tag{8}$$

입력이 상승천이할 때도 이와 비슷하게 t_{LSp} 를 구할 수 있으며, 여기서는 이 수식에 대해서는 생략한다.

t_{LS} 에 따른 분류는 다음과 같다. 즉, 하강천이하는 입력의 경

표 1 CMOS 인버터의 두 MOSFET에 대한 전압 및 시간에 따른 동작영역

Table 1 The operational regions according to the conditions of voltages and corresponding times

MOS FET	Region	Output Voltage	Time	Value
nMOS FET	Linear	$V_{out} \leq V_{LSn}$	$t \leq t_{inv}$	R_{LSn}
			$t > t_{inv}$	∞
	Saturation	$V_{out} > V_{LSn}$	$t \leq \frac{(V_{DD} - V_{THn})}{T_t}$	I_{Dn}
			$t > \frac{(V_{DD} - V_{THn})}{T_t}$	0
pMOS FET	Linear	$V_{out} \geq V_{DD} - V_{LSp}$	$t \geq t_{inv}$	R_{LSp}
			$t < t_{inv}$	∞
	Saturation	$V_{out} < V_{DD} - V_{LSp}$	$t \geq V_{THp} /T_t$	I_{Dp}
			$t < V_{THp} /T_t$	0

우 $t_{LSn} \geq t_t - V_{THn}/T_t$ 이면 입력천이시간이 작은 경우로 분류되고 $t_{LSn} < t_t - V_{THn}/T_t$ 이면 큰 경우로 분류된다. 입력신호의 상승/하강의 경우와 함께 모두 네 가지의 경우가 가능하며, 각 경우에 대한 최대전류(I_{max}) 및 그 때의 시간(t_{max})은 다음과 같다.

입력신호가 빠르게 하강하는 경우는 인버터의 pMOSFET가 선형영역, 그리고 nMOSFET는 포화영역과 차단영역의 경계에서 동작할 때 최대전류가 흐른다. 따라서 그림 3 (d)의 모델을 사용하며, 이 때 공급전류 I_n 은 0이다. 이 동작영역은 $t \geq (V_{DD} - V_{THn})/T_t$ 인 기간에 발생하므로 최대전류 및 그 때의 시간은 다음과 같이 계산된다.

$$t_{max} = \frac{V_{DD} - V_{THn}}{T_t} \quad (9)$$

$$I_{max} = \frac{Qe^{-1.3t_{max}/R_{LSp}C_L}}{R_{LSp}T_t^2} \quad (10)$$

$$Q = V_{DD} - V_{LSp} - A_1 \quad (10-1)$$

$$A_1 = V_{DD} - B_n T_t^2 R_{LSp} [2R_{LSp}C_L(R_{LSp}C_L + P) + P^2] \quad (10-2)$$

$$P = \frac{V_{DD} - V_{THn}}{T_t} \quad (10-3)$$

천천히 하강하는 입력신호의 경우 pMOSFET와 nMOSFET가 모두 포화영역에서 동작할 때 최대전류가 흐른다. 따라서 이 경우는 그림 3 (b)의 모델을 사용하며, 그 때의 최대전류 및 시간은 다음과 같다.

$$t_{max} = \frac{V_{DD} - V_{THn}}{T_t} \quad (11)$$

$$I_{max} = I_n(t_{max}) + I_{CL}(t_{max}) \quad (12)$$

$$I_n(t_{max}) = B_n T_t^2 \left(\frac{V_{DD} - V_{THn}}{T_t} - t_{max} \right)^2 \quad (12-1)$$

$$I_{CL}(t_{max}) = 1.98A_2 C_L t_{max} + A_3 C_L - \frac{Q}{R_{LSp}} e^{-\frac{t_{max}}{R_{LSp}C_L}} \quad (12-2)$$

$$A_2 = -B_n T_t^2 R_{LSp} \quad (12-3)$$

$$A_3 = 2B_n T_t^2 R_{LSp} (R_{LSp}C_L + P) \quad (12-4)$$

상승천이하는 입력의 천이시간이 작은 경우, pMOSFET는 선형영역에서, 그리고 nMOSFET가 포화영역에서 동작할 때 최대전류가 흐른다. 따라서 그림 3 (d)의 모델을 사용하여 최대전류와 시간을 계산하면 다음과 같다.

$$t_{max} = \frac{V_{DD} - V_{THp}}{2T_t} \quad (13)$$

$$I_{max} = \frac{Qe^{(1.3t_{max})/(R_{LSp}C_L)}}{R_{LSp}T_t^2} \quad (14)$$

천천히 상승하는 입력신호의 경우는 두 MOSFET가 모두 포화되었을 때 최대전류가 흐르므로, 그림 3 (b) 모델을 사용하여 최대전류를 구할 수 있다.

$$t_{max} = \frac{V_{DD} - V_{THp}}{2T_t} \quad (15)$$

$$I_{max} = I_n(t_{max}) + I_{CL}(t_{max}) \quad (16)$$

$$I_n(t_{max}) = -B_n T_t^2 \left(\frac{t_{max} - V_{THn}}{T_t} \right)^2 \quad (16-1)$$

$$I_{CL}(t_{max}) = 1.98A_2 C_L \left(t_{max} - \frac{V_{THn}}{T_t} \right) + A_3 C_L - \frac{Q}{R_{LSp}} e^{-\frac{t_{max} - \frac{V_{THn}}{T_t}}{R_{LSp}C_L}} \quad (16-2)$$

이상의 모델에 의해 네 가지의 경우 모두에서 최대전류를 쉽게 구할 수 있으며, 네 경우 중 어느 경우에 해당하는지 또한 입력천이시간과 천이종류에 따라 쉽게 구할 수 있어 최대전력소모는 식 (6)에 의해 간단히 구할 수 있다.

4. 다입력 CMOS 게이트로의 확장

앞장에서 설명한 CMOS 인버터의 최대전력소모 예측모델을 바탕으로 일반적인 CMOS 게이트, 즉 다입력 CMOS 게이트의 최대전력소모 예측모델을 형성하는 방법으로, 본 논문에서는 다입력 게이트를 인버터로 변화하여 3장의 모델을 그대로 적용하는 방법을 사용한다.

다입력 게이트는 각 네트워크에 두 개 이상의 MOSFET들이 존재하는 것 이외에도 한 개 이상의 입력이 회로동작에 영향을 미치므로, 이 두 요소에 대해 따로 설명하도록 한다. 또한 본 논문에서는 세 개 이상의 입력을 갖는 게이트에 대해 먼저 두 입력을 선택하여 본 장에서 제시하는 방법으로 단일 입력화하고

그 결과를 다른 한 개의 입력과 처리하는 방법을 취한다. 따라서 궁극적인 처리과정은 두 입력을 하나의 입력으로 변환하는 것이므로 여기서는 두 입력을 대상으로 하는 처리과정만을 기술하도록 한다.

4.1 MOSFET의 결합

먼저, 두 MOSFET를 구조적으로 하나의 MOSFET로 변환하는 방법을 설명한다. 일반적으로 CMOS 게이트의 한 네트워크는 다수의 MOSFET들이 직렬/병렬로 연결되어 있다. 회로동작에 미치는 영향으로 볼 때 최종적인 저항(컨덕턴스)은 직렬(병렬) 연결된 두 MOSFET의 저항(임피던스)의 합과 같다. 또한 도통상태 MOSFET의 저항은 채널의 L/W의 비에 비례한다. 따라서 두 MOSFET의 W/L을 α_1, α_2 라 하면, 결합된 MOSFET의 유효 컨덕턴스 요소 α_{eff} 는, 직렬연결된 경우

$$\frac{1}{\alpha_{eff}} = \frac{1}{\alpha_1} + \frac{1}{\alpha_2} \quad (17)$$

로, 그리고 병렬연결된 경우는,

$$\alpha_{eff} = \alpha_1 + \alpha_2 \quad (18)$$

로 모델링한다.

4.2 입력신호의 결합

일반적으로 두 MOSFET에 입력되는 두 입력은 서로 다른 형태를 띌 수 있다. 그러나 한 네트워크의 직렬/병렬 연결된 두 MOSFET의 입력이 회로동작에 영향을 미치는 경우는 두 입력 모두 논리 0에서 논리 1로 변하거나 논리 1에서 논리 0으로 변하는 경우이다. 따라서 본 논문에서는 그림 5에 나타낸 여섯 가지의 경우를 고려한다. 여기서 (a), (b), (c)는 상승천이하는 경우이며 (d), (e), (f)는 하강천이의 경우이다. 또한 그림 5의 여섯 경우는 두 입력의 관계, 즉 두 입력이 교차하는 전압(V_c)과 반전전압(V_{inv})의 관계에 따라 다음의 세 경우로 나눌 수 있다.

$V_c \leq V_{inv}$ 인 경우 : (a), (d)

$V_c > V_{inv}$ 인 경우 : (b), (e)

교차하지 않는 경우 : (c), (f)

본 논문에서는 이 세 가지의 형태 각각에 대해 단일 입력으로 변환할 수 있는 변환식을 제안한다. 변환된 신호가 천이를 시작하는 시간을 t_{sr} 라 하고 천이가 끝나는 시간을 t_{sb} 라 하면, 그림 5의 여섯 경우에 대한 변환식은 표 2에 나타낸 것과 같다. 이 표에서 상승천이와 하강천이의 경우 변환식이 다른 것은 천이의 종류에 따라 충전/방전 경로가 다르기 때문이다. 표 2의 변환식은 시뮬레이션 결과를 응용하여 생성한 것이다.

5. 시뮬레이션 및 결과

본 장에서는 앞에서 제안한 최대전력 예측모델, CMOS 게이트 변환모델, 그리고 변환된 모델에 예측모델을 적용한 결과를 시뮬레이션을 통해 확인한다.

제안된 모델들의 정확성에 대한 비교기준은 다른 유사 논문에서와 같이 SPICE 시뮬레이션 결과로 선택하였다. SPICE 시뮬레이션을 위해 먼저 대상회로를 0.6 μ m 설계규칙에 의해 레이아웃을 설계한 후 회로 및 동작 파라미터들을 추출(extract)하여 SPICE 입력파일을 준비하였다. 시뮬레이션은 SUN Sparc 워크스테이션에서 HSPICE를 수행하여 필요한 데이터를 얻었으며, 이때 MOSFET의 크기는 nMOSFET를 W/L=0.6 μ m/0.6 μ m, pMOSFET은 1.8 μ m/0.6 μ m로 통일하였다. SPICE 결과와의 비교대상은 각 값에 대한 절대치와 상대오차율로 선정하였으며, 상대오차율은 다음의 수식으로 계산하였다.

$$\begin{aligned} \text{상대오차율} &= \frac{\text{SPICE 결과} - \text{제안된 모델에 의한 계산결과}}{\text{SPICE 결과}} \times 100 \end{aligned} \quad (19)$$

5.1 CMOS 인버터의 최대전력소모

먼저 3장에서 제안한 CMOS 인버터의 최대전력소모 예측모델에 대해 실험을 수행하였다. 입력신호의 천이시간에 따라 인버터의 동작영역 및 동작상태가 변화한다는 것을 감안하여 여기서는 입력신호의 천이시간을 1ns에서 8ns까지 변화하면서 실험하였으며, 그 결과는 그림 6과 그림 7에 상승입력과 하강입력에 대해 각각 나타내었다. 이 그림은 각각의 경우 최소소모전력(P_{max})과 그 때의 시간(t_{max})를 비교한 것으로, 두 경우 모두 10% 이내의 상대오차율을 보이고 있어 제안된 모델이 충분히 정확함을 알 수 있다.

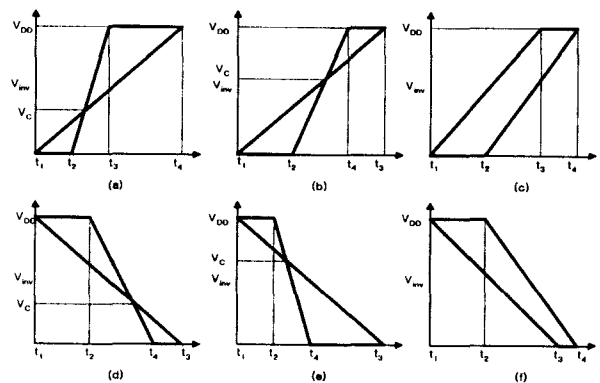


그림 5 2-입력 신호의 천이형태

(a),(b),(c) : 상승입력 (d),(e),(f) : 하강입력

Fig 5 Transition types of 2 input signals

(a),(b),(c) : Rising inputs (d),(e),(f) : Falling inputs

표 2 2-입력 신호의 단일입력 변환식

Table 2 Equations to convert two inputs to single input

Configuration and Falling/rising	Time	Condition	Modeled Equation
Rising inputs into Parallel or MOSFETs	t_{ST}	$V_C \geq V_{inv}$	$\frac{V_C}{V_{DD}}(t_2 - t_1) + t_1$
		$V_C < V_{inv}$	$\frac{V_{DD} - V_C}{V_{DD}}(t_2 - t_1) + t_1$
Falling inputs into Serial MOSFETs	t_{ED}	NA	$\frac{V_{DD}}{V_{DD} - 2V_{TH}}(t_4 - t_{ST}) + t_{ST}$
Falling inputs into parallel MOSFETs or Rising inputs into serial MOSFETs	t_{ST}	$V_C \geq V_{inv}$	$t_2 - \frac{V_C}{V_{DD}}(t_2 - t_1)$
		$V_C < V_{inv}$	$t_2 - \frac{V_{DD} - V_C}{V_{DD}}(t_2 - t_1)$
	t_{ED}	NA	$t_3 - \frac{2}{2V_{DD} - V_{TH}}(t_4 - t_{ST})$

5.2 다입력 게이트의 변환모델

다음으로 수행한 시뮬레이션은 4장에서 제안한 다입력 게이트를 인버터로 변환하는 모델에 대한 평가이다. 이 실험에서의 비교 대상은 두 입력에 의한 변환전의 출력파형과 변환된 입력에 의한 인버터의 출력파형이다. 비교항목으로는 출력의 논리 반전전

압(V_{inv})과 출력신호의 천이시간(t_r)으로 잡았으며, 마찬가지로 이 비교항목에 대해 절대값과 상대오차를 SPICE에 대해 수행하였다. 이 실험 역시 입력신호의 천이시간을 1ns에서 6ns까지 변화시키면서 진행되었다. 병렬 및 직렬 연결된 MOSFET의 구성을 대표하는 게이트로 여기서는 NOR와 NAND 게이트를 선택하였으며, 각 게이트의 각 네트워크에 대해 4장의 변환모델을 적용하였다.

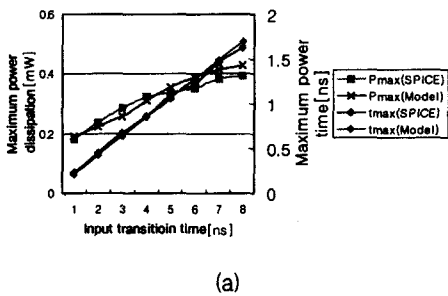
먼저 NOR 게이트의 경우에 대한 실험결과를 상승입력과 하강입력으로 나누어 각각 그림 8과 그림 9에 나타내었다. 두 경우 모두에서 반전전압 및 천이시간이 모두 SPICE 결과와 5% 이내의 차이를 보여, 제안된 변환모델이 매우 정확하다는 것을 보여주고 있다.

NAND게이트에 대한 변환모델의 결과는 그림 10과 그림 11에 상승입력과 하강입력에 대해 각각 나타내었다. NOR 게이트에서와 마찬가지로 NAND 게이트에서도 SPICE와 5% 이내의 오차를 보여 변환모델의 정확성을 입증하고 있다.

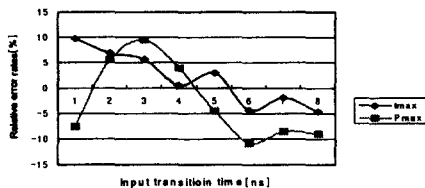
5.3 변환된 게이트에 최대전력소모 예측모델 적용결과

5장에서 제안된 변환모델에 의해 변환된 결과는 중국에서는 3장에서 제안된 최대전력 모델에 적용하여 최소소모전력을 예측하여야 하는데, 본 절에서 이 적용결과를 나타낸다. 앞 절에서 NOR와 NAND 게이트를 구분하였으므로 본 절에서도 이들을 구분하여 나타낸다.

먼저 NOR 게이트를 변환한 결과에 상승입력과 하강입력을 입력하여 실험한 결과를 그림 12와 그림 13에 각각 나타내었다. 실험방법은 인버터에 최대전력모델을 적용하였을 때와 동일한



(a)



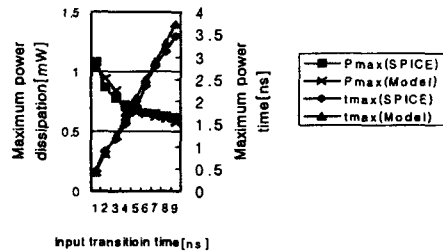
(b)

그림 6 상승입력에 대한 CMOS 인버터의 최소소모전력 모델 적용결과

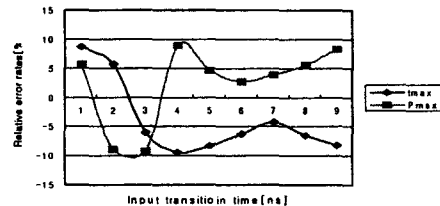
(a) 절대치 (b) SPICE에 대한 상대오차율

Fig. 6 Result from applying maximum dissipated Power model to CMOS inverter for rising input

(a) Absolute value (b) Relative error rate to SPICE



(a)



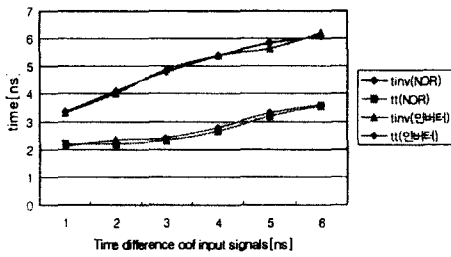
(b)

그림 7 하강입력에 대한 CMOS 인버터의 최소소모전력 모델 적용결과

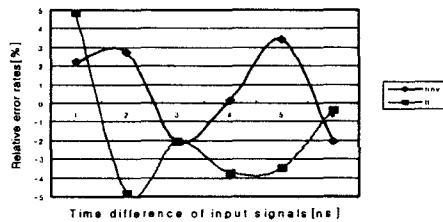
(a) 절대치 (b) SPICE에 대한 상대오차율

Fig. 7 Result from applying maximum dissipated power model to CMOS inverter for falling input

(a) Absolute value (b) Relative error rate to SPICE



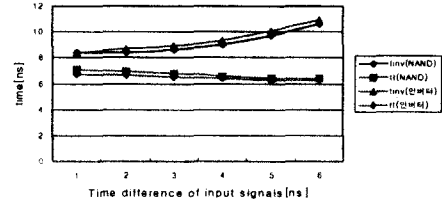
(a)



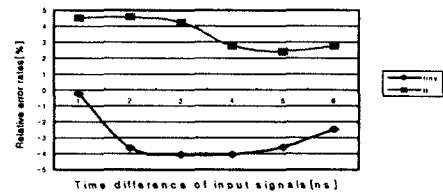
(b)

그림 8 상승입력에 대한 CMOS NOR 게이트의 변환모델 적용결과
(a) 절대치 (b) SPICE에 대한 상대오차율

Fig. 8 Result from applying the conversion model to CMOS NOR gate for rising input
(a) Absolute value (b) Relative error rate to SPICE



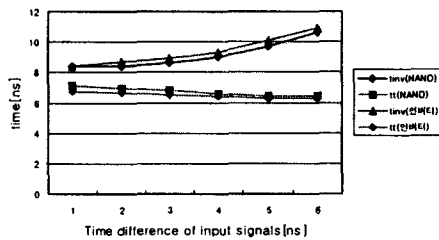
(a)



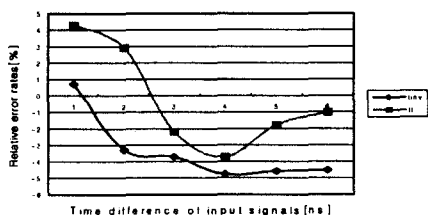
(b)

그림 10 상승입력에 대한 CMOS NAND 게이트의 변환모델 적용결과
(a) 절대치 (b) SPICE에 대한 상대오차율

Fig. 10 Result from applying the conversion model to CMOS NAND gate for rising input
(a) Absolute value (b) Relative error rate to SPICE



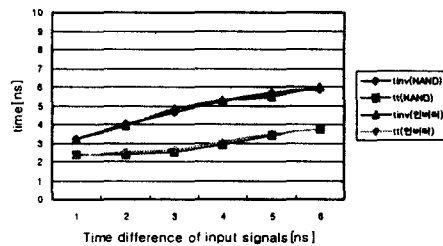
(a)



(b)

그림 9 하강입력에 대한 CMOS NOR 게이트의 변환모델 적용결과
(a) 절대치 (b) SPICE에 대한 상대오차율

Fig. 9 Result from applying the conversion model to CMOS NOR gate for falling input
(a) Absolute value (b) Relative error rate to SPICE



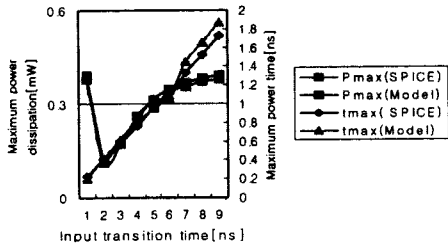
(a)



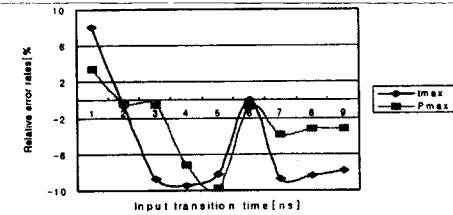
(b)

그림 11 하강입력에 대한 CMOS NAND 게이트의 변환모델 적용결과
(a) 절대치 (b) SPICE에 대한 상대오차율

Fig. 11 Result from applying the conversion model to CMOS NAND gate for falling input
(a) Absolute value (b) Relative error rate to SPICE



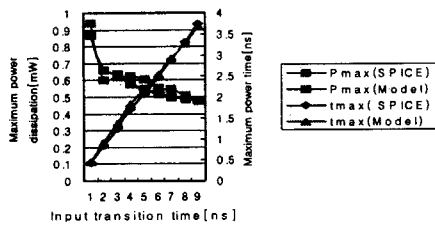
(a)



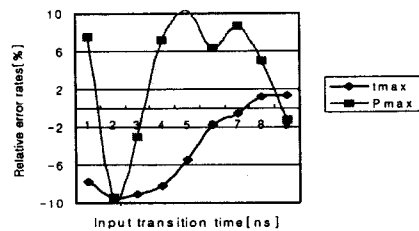
(b)

그림 12 상승입력에 대한 변환된 CMOS NOR 게이트의 최대 소모전력 모델 적용결과
(a) 절대치 (b) SPICE에 대한 상대오차율

Fig. 12 Result from applying maximum dissipated power model to the converted CMOS NOR gate for rising input
(a) Absolute value (b) Relative error rate to SPICE



(a)



(b)

그림 13 하강입력에 대한 변환된 CMOS NOR 게이트의 최대 소모전력 모델 적용결과
(a) 절대치 (b) SPICE에 대한 상대오차율

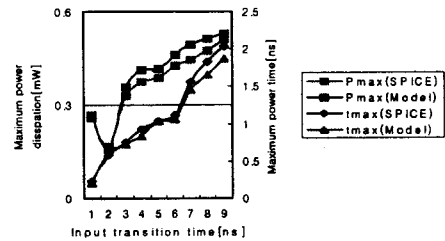
Fig. 13 Result from applying maximum dissipated power model to the converted CMOS NOR gate for falling input
(a) Absolute value (b) Relative error rate to SPICE

방법을 사용하였으며, 마찬가지로 절대치 비교와 상대오차율을 계산하여 정확성을 추정하였다. 상승전이와 하강전이 모두

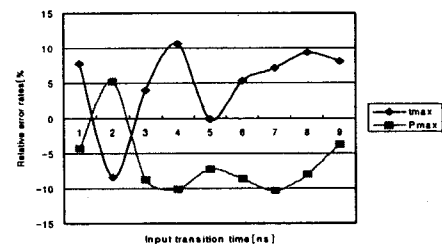
SPICE와 10% 이내의 상대오차율을 보여 변환된 모델을 적용하였을 때도 인버터를 적용하였을 때와 큰 차이를 보이지 않아 변환 모델과 최대전력 예측모델이 모두 정확함을 보이고 있다.

변환된 NAND 게이트에 최대전력 예측모델을 적용한 결과는 그림 14과 그림 15에 상승입력과 하강입력에 대해 각각 나타내었다. NOR 게이트의 경우에서와 같이 SPICE와 10% 이내의 상대오차율을 보이고 있으며, 따라서 변환모델과 최대전력 예측모델이 어떤 경우에도 적용될 수 있음을 보여주고 있다.

본 논문에서 제안한 모델링 방법의 우수성을 상대적으로 보이기 위해, 본 논문에서 제안한 전력모델을 기존의 논문에서 발표한 모델들과 비교하였다. 기존 논문들에서 계산시간에 대한 데이터를 실지 않고 있으므로 여기서는 SPICE와의 상대오차율을 비교하였다. 비교대상 데이터는 [7]과 [13]에 실린 데이터를 사용하였으며, SPICE와의 최대상대오차율과 최저상대오차율을 비교하였다. 비교 결과를 표 3에 나타내었다. [7]과 [13]은 그 논문에서 추출한 데이터이므로 표 3의 데이터가 정확하나, 그 외의 데이터는 모든 경우를 모두 포함한 데이터가 아니므로 약간의 차이가 있을 수 있다. 그러나, 이미 발표된 데이터이므로 최대상대오차는 표 3에 수록된 값보다 작을 수는 없다. 이 표에서 보는 바와 같이 본 논문에서 제안한 모델의 최대상대오차율이 가장 작으므로 상대적으로 본 논문의 모델이 우수함을 나타내고 있다고 하겠다.



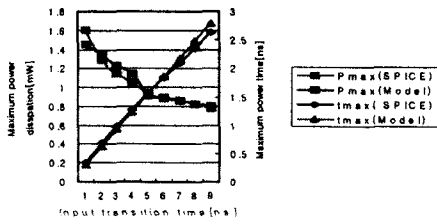
(a)



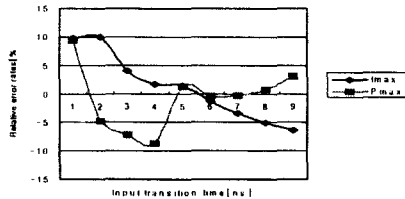
(b)

그림 14 상승입력에 대한 변환된 CMOS NAND 게이트의 최대 소모전력 모델 적용결과
(a) 절대치 (b) SPICE에 대한 상대오차율

Fig. 14 Result from applying maximum dissipated power model to the converted CMOS NAND gate for rising input
(a) Absolute value (b) Relative error rate to SPICE



(a)



(b)

그림 15 하강입력에 대한 변환된 CMOS NAND 게이트의 최대 소모전력 모델 적용결과

(a) 절대치 (b) SPICE에 대한 상대오차율

Fig. 15 Result from applying maximum dissipated power model to the converted CMOS NAND gate for falling input

(a) Absolute value (b) Relative error rate to SPICE

표 3 기존 방법과의 SPICE에 대한 상대오차율 비교

Table 3 Comparison with previous methods in relative error rate to SPICE

Methods	Max. error rate [%]	Min. error rate [%]
[5]	42.7	161.9
[6]	8.07	52.8
[7]	0	50.0
[13]	5	27.3
[18]	8.07	1,600
[19]	38.7	55.0
Proposed	0	10.8

6. 결론

본 논문에서는 CMOS 논리 게이트의 최대소모전력을 설계과정 중에 예측하여 설계시간과 비용을 줄일 수 있는 매크로 모델을 제안하였다. 이 모델은 최대소모전력을 예측하기 위한 계산모델로, MOSFET의 I-V 특성 및 논리 게이트의 동작특성에 기초하여 형성하였다. 즉, 논리 게이트를 구성하는 각 MOSFET의 특성과 입력신호의 특성을 선형화하여 포함함으로써 논리 게이트의 동작특성을 충분히 포함하도록 형성되었다. 모델링 방법으로는 먼저 CMOS 인버터에 대한 최대전력 예측모델을 생성하고, CMOS 다입력 게이트를 해당하는 인버터로 변환하는 모델을 생성함으로써 일반적인 CMOS 게이트에 적용할 수 있도록 형성하였다.

제안된 최대소모전력 예측모델과 CMOS 게이트의 변환모델의 정확성을 확인하기 위해 제안한 모델을 사용하여 계산한 결과를 0.6μm 설계규칙으로 설계한 CMOS 게이트들을 HSPICE에 적용한 결과와 비교하였다. 그 결과, CMOS 인버터 및 변환된 게이트를

적용한 결과 모두에서 SPICE와 10% 이내의 상대오차율을 보였으며, 변환모델은 NOR 형태와 NAND 형태 모두에서 SPICE 결과와 5% 이내의 상대오차율을 보여, 제안된 최대소모전력 예측모델과 게이트 변환모델 모두 매우 정확히 모델링 되었음을 알 수 있었다. 계산속도면에서도 제안된 모델은 게이트당 평균 3ms의 CPU 시간을 나타낸 반면, SPICE 시뮬레이션은 게이트당 평균 약 100ms의 CPU 시간을 보여 제안된 모델이 SPICE의 30배 정도의 계산속도를 보였다.

따라서 본 논문에서 제안한 최대소모전력 예측모델과 게이트 변환모델은 충분히 빠른 속도로 SPICE로 뒤지지 않는 예측능력을 갖고 있어 CMOS 회로의 최대소모전력을 설계단계에서 예측할 때 매우 효과적으로 사용할 수 있을 것으로 기대된다.

참 고 문 헌

- [1] Masakazu Shoji, *Theory of MOS Digital Circuit and Failures*, Princeton University Press, Princeton, NJ 1992.
- [2] John P. Uyemura, *Circuit Design for CMOS VLSI*, Kluwer Academic Publishers, Norwell MA, 1992.
- [3] Abdellatif Bellaouar and M. I. Elmasry, *Low-Power Digital VLSI Design, Circuits and Systems*, Kluwer Academic Publishers, Norwell MA, 1995.
- [4] Neil H. E. Waste and Kamram Eshraghian, *Principles of CMOS VLSI Design*, Addison Wesley, Reading MA, 1993.
- [5] H. J. Veendrick, "Short-Circuit Power Dissipation of Static CMOS Circuit and its Impact on the Buffer Circuit", *IEEE J. Solid-State Circuits* Vol. SC-19, No. 4, pp. 468-473, April 1994.
- [6] S. Vemum and N. Scheinberg, "Short-Circuit Power Dissipation Estimation for CMOS Logic Gates", *IEEE Trans. on Circuit and Systems*, Vol. 41, No. 11, pp. 762-765, Nov. 1994.
- [7] A. Hirata, H. Onodera, and K. Tamaru, "Estimation of Short-Circuit Power Dissipation and its Influence on Propagation Delay for Static CMOS Gates", *IEEE ISCAS*, pp. 751-754, 1996.
- [8] R. Marculescu, D. Marculescu, and M. Pedram, "Logic Level Power Estimation Considering Spatiotemporal Correlations", *IEEE ICCAD*, pp. 294-299, 1992.
- [9] A Ghosh, et al., "Estimation of Average Switching Activities in Combinational and Sequential Circuits", *IEEE DA Conf.*, pp. 253-259, 1992.
- [10] Chi-Ying Tsui, et al., "Power Estimation for Sequential Logic Circuits", *IEEE Trans. VLSI Systems*, pp. 404-416, Sept. 1995.
- [11] R. Burch, F. N. Najm, and T. N. Trick, "A Monte Carlo Approach to Power Estimation", *IEEE ICCAD*, pp. 635-638, 1993.
- [12] Chi-Ying Tsui, J. M. Pedram, and A. Despain, "Efficient Estimation of Dynamic Power Dissipation under a Real

- Delay Model", IEEE ICCAD, pp. 224-28, 1993.
- [13] S. Turgis and D. Auvergne, "A Novel Macromodel for Power Estimation in CMOS Structures", IEEE Trans. on CAD, Vol. 17, No. 11, pp. 1090-1098, Nov. 1998.
- [14] Zhanping Chen and Kaushik Roy, "A Power Macromodelling Technique Based on Power Sensitivity", DAC'98, pp. 678-683, 1998.
- [15] Zhanping Chen, Kaushik Roy, and Edwin K. P. Chong, "Estimation of Power Sensitivity in Sequential Circuits with Power Macromodelling Application", IEEE ICCAD, pp. 468-472, 1998.
- [16] Alessandro Bogliolo and Luca Benini, "Robust RTL Power Macromodels", IEEE Trans. on VLSI Systems, Vol. 6, No. 4, pp. 578-581, Dec. 1998.
- [17] Qing Wu, et al., "Cycle-Accurate Macr-Models for RT-Level Power Analysis", IEEE Trans. on VLSI Systems, Vol. 6, No. 4, pp. 520-528, Dec. 1998.
- [18] T. Sakurai and R. Newton, Alpha-power Law MOSFET Model and its Application to CMOS Inverter Delay and Other Formula", IEEE J. Solid-State Circuits, Vol. 25, No. 4, pp. 584-593, April 1990.
- [19] N. Hedenstierna and K. Jeppson, "CMOS Circuit Speed and Buffer Optimazation", IEEE Trans. on CAD, Vol. CAD-61, No. 3, pp. 762-764, March 1987.

저 자 소 개



김 동 욱 (金東郁)

1960년 8월 23일생. 1983년 2월 한양대학교 전자공학과 졸업(학사). 1985년 2월 한양대학교 대학원 졸업(석사). 1991년 9월 Georgia 공과대학 전기공학과 졸업(공학박). 1992년 3월~현재 광운대학교 전자재료공학과 부교수. 광운대학교 정보통신연구소 연구원. 1997년 12월~현재 광운대학교 반도체설계 지역센터 운영위원. 주 관심분야는 디지털 VLSI Testability, VLSI CAD, 설계 검증, 저전력 설계
Tel : (02) 940-5167, Fax : (02) 919-3940
E-mail : vlsicad@daisy.kwangwoon.ac.kr