

論文99-36D-11-6

정상상태에서 드리프트-확산 방정식의 소신호 해석 프로그램 개발

(A Development of the Small Signal Analyzer for the Stationary Drift-Diffusion Equation)

林 雄 鎮 * , 李 恩 九 * , 金 泰 漢 * , 金 鐵 城 *

(Woong Jin Lim, Eun Gu Lee, Tae Han Kim, and Cheol seong Kim)

요 약

정상상태에서 반도체 소자의 전기적 특성을 분석할 수 있는 소신호 해석용 시뮬레이터를 개발하였다. 전위와 전자 및 정공 농도의 Slotboom변수에 대한 소신호 응답을 정의한 후 S^3A 방법을 적용하여 DC 동작점에서 반도체 방정식을 선형화하였다. 행렬풀이를 위해 전진해법을 사용하여 메모리 소비량을 최소화하며 고주파 영역에서 소신호 해의 정확성을 향상시켰다.

구현된 알고리즘의 검증을 위해 3차원 구조를 갖는 N⁺P 다이오드 및 2차원 구조를 갖는 n-MOSFET에 대해 소신호 해석을 수행하여 MEDICI와 비교한 결과, 인가 전압에 따른 컨덕턴스와 캐패시턴스의 평균 상대 오차는 N⁺P 다이오드에서는 0.67%와 2.6%이고, n-MOSFET의 경우 7.75%와 2.24%로 나타났다. n-MOSFET에 대하여 입력신호의 주파수 변화에 따른 컨덕턴스와 캐패시턴스를 비교한 결과, MEDICI의 경우 10[GHz]까지 예측한 반면 본 논문이 제시한 방법을 이용한 모의실험은 100[GHz]까지 예측이 가능하여 고주파 영역에서 모의실험의 정확도가 향상됨을 확인하였다.

Abstract

The small signal analyzer for the stationary drift-diffusion equation is developed. The slotboom variables of the potential, electron and hole concentrations for the response of applied small signal are defined and the stationary drift-diffusion equation is linearized on DC operating point by S^3A method. Frontal solver, which is used to solve the global matrix, progresses the accuracy of the solution in high frequency and minimizes the requirement of the memory.

The simulations are executed on the structure of 3 dimensional N⁺P junction diode and 2 dimensional n-MOSFET to verify the proposed algorithm. The average relative errors of the conductance and the capacitance compared with MEDICI are about 2.6% and 0.67% for N⁺P junction diode and 7.75% and 2.24% for n-MOSFET. The simulation by the proposed algorithm can analyze the stationary drift-diffusion equation for applied small signal in high frequency region about 100[GHz].

I. 서 론

반도체 소자에 대한 소신호 해석은 전자회로의 모의

실험에 필요한 소자 파라미터의 정확한 추출을 가능하게 할 뿐만아니라 디지털과 아날로그 회로 설계자들에게 디지털 회로에서 중요한 성능변수인 스위칭 속도를 결정하는데 필수적인 역할을 하는 소자의 주파수 특성을 제공한다. 따라서 전자회로와 반도체 소자의 주파수 응답과 소신호 특성 파라미터에 대한 정확한 예측을 위해서는 소자에 대해 정교하게 소신호 해석해야 하는

* 正會員, 仁荷大學校 電子工學科

(Dep. of Electronic Engineering, Inha University)

接受日字: 1999年4月21日, 수정완료일: 1999年10月13日

문제가 대두되고 있다.

반도체 소자의 소신호 해석을 위해 MEDICI, ATLAS, FIELDAY, DAVINCI, H-FIELDS-3D, THUNDER 등과 같은 2차원 또는 3차원 소자 시뮬레이터들이 사용되고 있다^[1]. 이러한 소자 시뮬레이터는 반도체 소자의 소신호 해석을 위해 FDM^[2], CPM^[3], S³A(Sinusoidal Steady State Analysis)방법^[4]등을 사용하고 있으며, 소자의 모의실험 중 생성되는 소신호 행렬의 풀이를 위해 B-SOR방법^[5], GCR방법^[6], ILUCGS방법^[7]이나 BICGS방법^[8]등의 간접해법을 사용한다.

그러나 기존의 시뮬레이터들은 소자의 해석을 위해 전자 및 정공 농도로 표현된 반도체 방정식을 사용하기 때문에 소신호 해석 모의실험시 동작점을 결정하기 위한 정상상태 모의실험의 수렴성이 불량하여 전체 모의실험 시간의 증가를 초래한다. 또한 반도체 방정식의 해석을 위한 소신호 행렬 풀이방법으로 간접해법을 사용하여 모의실험 시간의 단축과 메모리 소비량의 최소화를 꾀하고 있으나 소신호 행렬의 경우 행렬요소가 주파수의 크기에 따라 강하게 결합되는 특성을 가지고 있기 때문에 저주파 영역에서는 정확한 해를 구할 수 있으나 고주파 영역에서는 수렴성이 불량해지며 수렴하였어도 해의 정확도가 떨어지는 단점이 발생^[6]한다. 뿐만 아니라 3차원 소자 시뮬레이터에서는 해석에 필요한 메인 메모리의 한계로 인해 일반적으로 해석이 불가능한 실정이다. 그러므로 동작점 결정에 필요한 모의실험 시간의 감소와 메모리의 한계를 극복하면서 고주파 영역에서도 정확한 예측이 가능하게 하는 행렬풀이 방법의 도입이 요구된다.

본 논문에서는 동작점 결정을 위해 정상상태 해석에서 적용된 slotboom변수^[9]에 대한 소신호 응답을 정의한다. 또한 행렬풀이 방법으로 전진해법을 사용하여 고주파 영역에서 해를 정교하게 구할 수 있고 3차원 구조를 갖는 소자의 소신호 해석이 가능함을 보인다.

본 논문의 II장에서는 S³A방법을 이용한 소신호 반도체 방정식의 선형화 과정을 설명하였다. III장에서는 자체 개발된 시뮬레이터인 BANDIS^[10~12]에 사용된 알고리즘 및 전체 해석 순서를 설명하였으며, IV장에서는 BANDIS로부터 얻은 모의실험 결과의 정확성을 검증하기 위하여 기존의 2차원 소자 시뮬레이터인 MEDICI와 수렴특성을 비교 하였다.

II. 반도체 방정식의 선형화

반도체 소자의 전기적인 특성을 예측할 수 있는 드리프트-확산 방정식은 포아송 방정식과 전자 및 정공 연속방정식으로 구성된다. 식 (1)은 Slotboom 변수를 사용하여 이산화한 결과식^[10]이다.

$$F_u(u, v, w) = 0 \quad (1a)$$

$$F_v(u, v, w) - \frac{\partial n}{\partial t} = 0 \quad (1b)$$

$$F_w(u, v, w) - \frac{\partial p}{\partial t} = 0 \quad (1c)$$

여기서 $F_u(u, v, w)$, $F_v(u, v, w)$ 와 $F_w(u, v, w)$ 는 각각 포아송 방정식^[11]과 전자 및 정공 연속방정식^[10]이고 n 과 p 는 각각 전자 및 정공 농도이다.

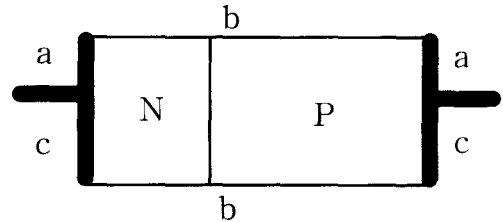


그림 1. PN 다이오드의 모의실험에 적용된 경계조건 이산화에 적용된 디리클리(Dirichlet) 경계조건 (a), 노이만(Neumann) 경계조건(b)과 선형화에 적용된 디리클리(Dirichlet) 경계조건(c)

Fig. 1. The boundary conditions for the simulation of the PN diode The Dirichlet boundary condition(a) and the Neumann boundary condition(b) for discretization and the Dirichlet boundary(c) condition for the small signal analysis.

그림 1은 드리프트-확산 방정식의 이산화와 선형화에 적용된 경계조건을 나타낸다. 방정식을 이산화할 경우 전극영역은 디리클리 경계조건^[10]을 적용하고 전극 이외의 영역은 노이만 경계조건^[10]을 적용한다. 방정식을 선형화할 경우 전극영역은 디리클리 경계조건을 적용하여 미소인가 전압에 대해 전자 및 정공 농도가 평형을 이루도록 가정한다.

1. Slotboom 변수의 소신호 응답

S³A방법은 반도체소자를 소신호 해석하기 위해서 소신호 조건이 만족되는 경우 각 전극에 정현파형의 미소 입력이 인가 되면 각 전극에서의 계산되어지는 출력도 정현파형의 응답이라는 가정하에 DC 동작점에서 선형화된 반도체 방정식을 해석하는 방법이다.

전극 *i*에 입력전압이 식 (2)와 같이 인가 되었다고 가정^[5]한다.

$$V_i = V_{i0} + \tilde{V}_i e^{j\omega t} \quad (2)$$

식 (2)와 같이 입력전압이 인가되었을 때 각 출력전극 *j*에서의 전위, 전자 및 정공의 소신호 응답은 식 (3)과 같다고 가정^[1,3]한다.

$$u_{ji} = u_{j0} + \tilde{u}_{ji} e^{j\omega t} \quad (3a)$$

$$u_{n_i} = u_{n_i0} + \tilde{u}_{n_i} e^{j\omega t} \quad (3b)$$

$$u_{p_i} = u_{p_i0} + \tilde{u}_{p_i} e^{j\omega t} \quad (3c)$$

식 (3)의 가정을 slotboom변수인 *v, w*에 대하여 Taylor 전개를 사용하면 식 (4)와 같이 나타낼 수 있다.

$$v_{ji} = v_{j0} + v_{j0}(\tilde{v}_{ji}-1)e^{j\omega t} \quad (4a)$$

$$w_{ji} = w_{j0} + w_{j0}(\tilde{w}_{ji}-1)e^{j\omega t} \quad (4b)$$

그러므로 정현 입력에 대한 정현 출력의 전자 및 정공 농도에 의한 표현은 식 (5)와 같이 나타낼 수 있다.

$$n_{ji} = n_{j0} + \tilde{n}_{ji} e^{j\omega t} \quad (5a)$$

$$p_{ji} = p_{j0} + \tilde{p}_{ji} e^{j\omega t} \quad (5b)$$

이때 전자 및 정공 농도의 소신호 출력의 진폭을 slotboom 변수로 표현하면 식 (6)과 같다.

$$\tilde{n}_{ji} = e^{u_{i0} + V_i} (v_{0i} \tilde{u}_{ji} + v_{j0} (\tilde{v}_{ji}-1)) \quad (6a)$$

$$\tilde{p}_{ji} = e^{-u_{i0} + V_i} (-w_{j0} \tilde{u}_{ji} + w_{j0} (\tilde{w}_{ji}-1)) \quad (6b)$$

2. 정상상태에서 드리프트-확산 방정식의 선형화

소신호는 식 (2)의 정의와 같이 DC 동작점 (*u₀, v₀, w₀*)을 기준으로 인가된 미소 전압이므로 전위, 전자 및 정공의 소신호 응답은 DC동작점을 기준으로 반도체 방정식을 선형해석하여 구할 수 있다. 식 (7)은 식 (1)을 DC동작점을 기준으로 Taylor전개를 근간으로 선형화한 결과식이다.

$$F_u(u_0, v_0, w_0) + \frac{\partial F_u}{\partial u} \tilde{u} e^{j\omega t} + \frac{\partial F_u}{\partial v} v_0 (\tilde{v}-1) e^{j\omega t} + \frac{\partial F_u}{\partial w} w_0 (\tilde{w}-1) e^{j\omega t} = 0 \quad (7a)$$

$$F_v(u_0, v_0, w_0) + \tilde{u} e^{j\omega t} \left\{ \frac{\partial F_v}{\partial u} - j\omega (v_0 e^{u_0 + V_i}) \right\} + v_0 (\tilde{v}-1) e^{j\omega t} \left\{ \frac{\partial F_v}{\partial v} - j\omega (v_0 e^{u_0 + V_i}) \right\} + w_0 (\tilde{w}-1) e^{j\omega t} \frac{\partial F_v}{\partial w} = 0 \quad (7b)$$

$$F_w(u_0, v_0, w_0) + \tilde{u} e^{j\omega t} \left\{ \frac{\partial F_w}{\partial u} + j\omega (w_0 e^{-u_0 + V_i}) \right\} + v_0 (\tilde{v}-1) e^{j\omega t} \frac{\partial F_w}{\partial v} + w_0 (\tilde{w}-1) e^{j\omega t} \left\{ \frac{\partial F_w}{\partial w} - j\omega (w_0 e^{-u_0 + V_i}) \right\} = 0 \quad (7c)$$

(*u₀, v₀, w₀*)에서의 포아송 방정식과 전자 및 정공 연속방정식은 DC 동작점에서의 해이므로 식 (7)의 좌변 첫 항은 0이다. 식 (7)에서 공통된 *e^{jωt}*를 소거한 후 정리하면 행렬형태로 표현된 식 (8)과 같다.

$$\begin{pmatrix} \frac{\partial F_u}{\partial u} & \frac{\partial F_u}{\partial v} & \frac{\partial F_u}{\partial w} \\ \frac{\partial F_v}{\partial u} - j\omega (v_0 e^{u_0 + V_i}) & \frac{\partial F_v}{\partial v} - j\omega (v_0 e^{u_0 + V_i}) & \frac{\partial F_v}{\partial w} \\ \frac{\partial F_w}{\partial u} + j\omega (w_0 e^{-u_0 + V_i}) & \frac{\partial F_w}{\partial v} & \frac{\partial F_w}{\partial w} - j\omega (w_0 e^{-u_0 + V_i}) \end{pmatrix} \begin{pmatrix} \tilde{u} \\ v_0 (\tilde{v}-1) \\ w_0 (\tilde{w}-1) \end{pmatrix} = 0 \quad (8)$$

III. 소신호 해석용 소자 시뮬레이터의 제작

그림 2는 S³A방법을 사용한 소신호 해석 시뮬레이터의 구조이다.

정상상태 해석에서 얻은 전위, 전자 및 정공 농도를 이용해 동작점을 결정한 후 선형화된 반도체 방정식에 대입하여 소신호 해석을 수행한다.

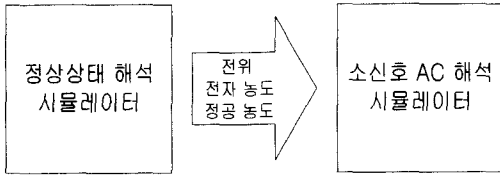


그림 2. 소신호 해석 시뮬레이터의 대략도
Fig. 2. The block diagram of the small signal analyzer.

1. 소신호 해석용 행렬구조

식 (8)의 행렬식에 II장에서 가정한 경계조건을 포함하여 전체 소신호 행렬을 구성하면 식 (9)와 같다.

$$[J + iD] \tilde{X} = B \tag{9}$$

여기서 J 는 정상상태에서의 Jacobian 행렬을 의미하고, D 는 S^3A 방법을 적용하여 만들어진 소신호 반도체방정식에서 허수부분을 나타내며, B 는 인가된 소신호 전압에 의해 결정된 경계조건을 나타낸다. \tilde{X} 는 소신호 해석의 해를 포함한 벡터로써 식 (10)과 같다.

$$\tilde{X} = [\tilde{u}, v_0(\tilde{v}-1), w_0(\tilde{w}-1)]^T \tag{10}$$

식 (9)의 전체 소신호 행렬의 해를 구하기 위해 소신호 행렬의 해인 식 (10)을 실수부와 허수부로 나누어 나타내면 식 (11)과 같다.

$$\tilde{X} = X_R + iX_I \tag{11}$$

복소수 형태의 전체 소신호 행렬식 식 (9)에 식 (11)을 대입하여 실수 계산식으로 표현하면 식 (12)가 된다^[14].

$$\begin{bmatrix} J & -D \\ D & J \end{bmatrix} \begin{bmatrix} X_R \\ X_I \end{bmatrix} = \begin{bmatrix} B \\ 0 \end{bmatrix} \tag{12}$$

2. 전진해법을 이용한 행렬의 풀이

식 (8)의 해석을 위한 행렬식에서 소신호 해석시에 생성되는 Jacobian은 정상상태나 과도상태 해석시에 생성되는 행렬의 4배가 되고 절점수가 N 개인 경우 소신호 행렬식을 구성하는 2차원 행렬은 $6N \times 6N$ 의 크기를 갖는다. 따라서 행렬을 풀기 위해 많은 계산시간이

소요되며, 메모리의 소요량도 늘어나므로 대부분의 상용 시뮬레이터에서는 B-SOR, GCR, ILUCGS 혹은 BICGS 등의 반복법을 사용하여 메모리 소모량을 줄이면서 계산속도를 향상시키는 방법을 취한다. 그러나 반복법을 이용하는 경우 저주파 영역에서는 수렴속도가 빠르고 해도 정확히 구할 수 있으나 차단주파수를 넘는 영역에서는 강하게 결합되는 소신호 행렬의 특징 때문에 고주파 영역에서는 수렴특성이 불량하여 계산 시간이 증가하며 구해진 해도 부정확한 단점을 가지고 있다.

전진해법^[10]은 요소단위로 행렬을 연산하며 연산이 완료된 절점을 행렬에서 소거시키며 진행함으로써 전체 행렬의 크기를 작게 유지시키는 방법이다. 행렬풀이를 위한 연산량이 감소하므로 메모리의 사용량을 최소화하면서 계산속도와 해의 정확도를 향상시킬 수 있다. 특히 Jacobian행렬과 소신호 방정식의 허수부분이 강하게 결합된 고주파 영역에서도 정확한 소신호 해석이 가능하다.

표 1은 상용시뮬레이터인 MEDICI와 자체 개발한 시뮬레이터인 BANDIS에 사용되는 정상상태에서 반도체 방정식의 이산화 방법, 소신호 변수와 행렬풀이법의 차이점을 나타낸다.

표 1. BANDIS와 MEDICI의 비교
Table 1. Comparison between BANDIS and MEDICI.

항목	MEDICI	BANDIS
이산화 방법	S-G법 (유한차분법)	유한 요소법
소신호 변수	전자 및 정공농도	전자 및 정공농도의 Slotboom 변수
행렬풀이법	ILUCGS, BICGS	전진해법

3. 소신호 해석 순서

그림 3은 S^3A 방법을 사용하여 제안된 소신호 해석 시뮬레이터의 흐름도이다.

정해진 DC 동작점에서의 소자 내부의 전위 ϕ , 전자 농도 n , 정공 농도 p 를 계산한 후 소신호 해석을 진행한다.

소자의 각 단자에 인가되는 바이어스를 변화시킨 후 해석 조건에 따라 인가 소신호의 주파수를 증가시키면서 2단계에서부터 4단계까지의 과정을 수행하고 증폭도를 계산한다.

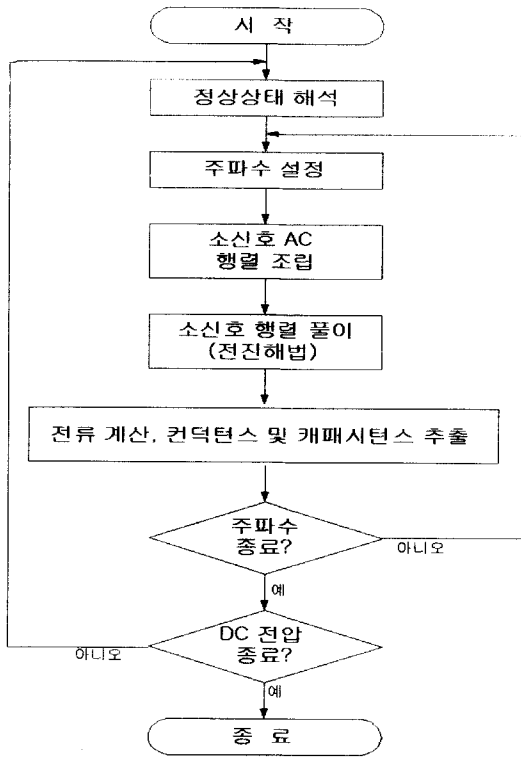


그림 3. 소신호 해석 시뮬레이션의 흐름도
Fig. 3. The flowchart of the small signal analyzer.

IV. 결과 및 검토

II장과 III장에서 제안된 방법을 자체 개발한 시뮬레이터인 BANDIS에 구현하여 N⁺P 접합 다이오드와 n-MOSFET의 전기적 특성을 추출하였다. 각각의 모의 실험용 소자는 TSUPREM-4를 사용하여 제작되었으며 BANDIS의 정확성을 검증하기 위해 MEDICI와 모의 실험 결과를 비교하였다. 전자 및 정공 농도는 bandgap narrowing 효과를 고려한 볼츠만 통계를 따르며 해석이 이루어지는 온도 범위 내에서 불순물은 완전 이온화 된다고 가정하였다. BANDIS는 DEC의 300MHz Alpha Station에서 Windows NT 환경하에서 모의 실험 하였으며 MEDICI는 HP 9000/715 workstation에서 수행되었다.

1. N⁺P 접합 다이오드

모의 실험에 사용될 N⁺P 접합 다이오드는 2차원 공정 시뮬레이터인 TSUPREM-4를 사용하여 제작한 후 3차원 소자로 확장하며^[10], N형 영역과 P형 영역의 최고

불순물 농도는 각각 $2.3 \times 10^{20} \text{ cm}^{-3}$, $3.0 \times 10^{15} \text{ cm}^{-3}$ 이다. 모의 실험에 사용되는 N⁺P 접합 구조는 6334개의 절점과 18237개의 요소로 구성되어 있다. 연속 방정식의 모의 실험에는 Analytic 이동도 모델을 사용하였고 생성-재결합 모델을 고려하지 않았다. 그림 4a는 완성된 N⁺P 접합 다이오드의 구조이고 그림 4b는 불순물 농도 프로파일의 조감도이다.

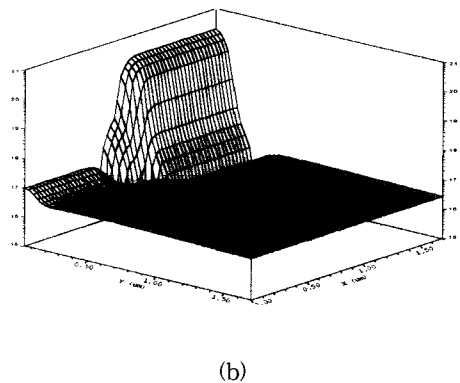
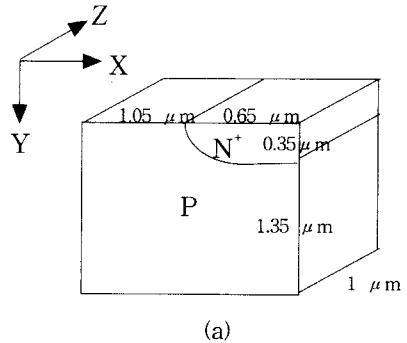


그림 4. (a) N⁺P 접합 다이오드의 구조
(b) N⁺P 접합 다이오드의 불순물 농도 분포
Fig. 4. (a) The structure of N⁺P junction diode.
(b) The doping profile of N⁺P junction diode.

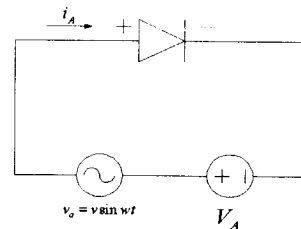
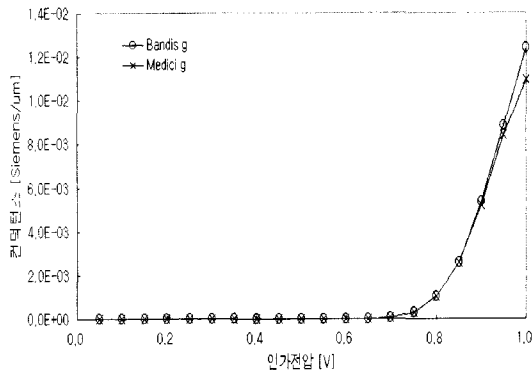
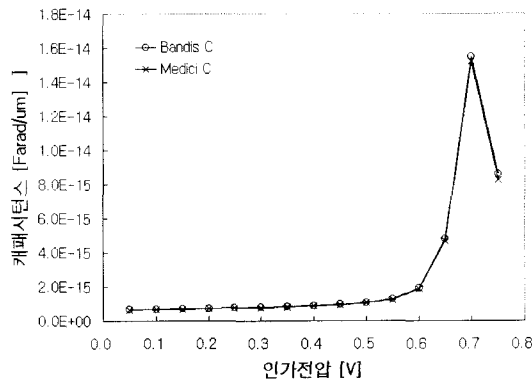


그림 5. N⁺P 접합 다이오드 회로
Fig. 5. The circuit of the N⁺P junction diode.

그림 5는 N⁺P접합 다이오드를 포함한 모의실험용 회로이다.



(a)



(b)

그림 6. (a) 인가전압에 따른 컨덕턴스 결과 비교
(b) 인가전압에 따른 커패시턴스 결과 비교
Fig. 6. (a) The comparison of the conductance with MEDICI
(b) The comparison of the capacitance with MEDICI

그림 6은 PN 다이오드에 인가 전압을 0[V]에서 1[V]까지 변화시키면서 주파수가 1[Hz]이고 진폭이 20[mV]의 정현전압을 소신호 입력으로 사용하였을 경우 인가 전압에 따른 소신호 해석의 결과이다. 여기서 2.0E-15는 2.0×10^{-15} 를 의미한다.

MEDICI의 결과와 3차원 소자에 대한 소신호 해석 결과를 비교했을 때, 커패시턴스의 경우 평균 상대 오차가 2.6%로 나타났다. 그러나 컨덕턴스의 경우 다이오드가 턴온하기 이전인 0.3[V]이하의 잠음영역과 0.9[V]이상의 비정상적인 다이오드 동작영역에서 발생한 오차가 대부분이므로 이를 제외한 인가영역에서의 평균

상대 오차는 약 0.67%이다.

표 2는 그림에서 나타난 MEDICI의 해석결과와 BANDIS에 의한 3차원 다이오드의 해석결과와의 유사한 정도를 정규화된 상관관계^[15]로 나타낸 것이다. 컨덕턴스와 캐패시턴스의 상관관계는 그림 6의 전압범위에서 약 1.00의 값을 나타내므로 MEDICI와 BANDIS의 결과는 유사한 경향을 보이 있고 BANDIS를 이용하여 3차원 다이오드에 대한 모의실험이 가능함을 확인하였다.

표 2. MEDICI결과와 비교한 컨덕턴스와 캐패시턴스값의 정규화된 상관관계

Table 2. The normalized correlation of the conductance and capacitance with MEDICI.

	컨덕턴스	캐패시턴스
정규화된 상관관계	0.99	1.00

표 3은 MEDICI와 BANDIS에서 모의실험에 요구되는 메모리 소비량과 계산시간을 비교한다. 여기서MB는 1.0×10^6 바이트를 의미한다. 계산시간은 유사한 반면 380MB의 고정된 메모리 공간을 필요로 하는 MEDICI에 비해 적은 메모리 공간이 소비되었다. 반면에 상용 3차원 상용 시뮬레이터인 DAVINCI는 본 연구실이 보유하고 있는 workstation의 메모리 부족으로 인해 모의실험이 불가능하였다.

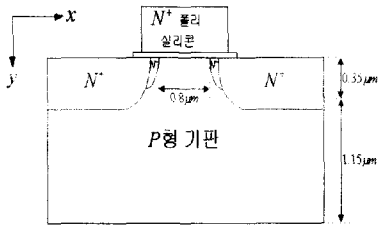
표 3. 모의실험 시간과 메모리 소비량 비교

Table 3. The comparison of the memory requirement and the time of the simulation.

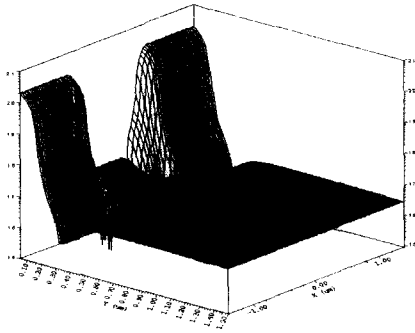
	2차원 다이오드		3차원 다이오드	
	MEDICI	BANDIS	DAVINCI	BANDIS
계산시간	1.0 분	1.2 분		9.8 분
메모리 소비량	139 MB	52 MB		220 MB

2. n-MOSFET

그림 7은 모의실험에 사용될 n-MOSFET 시료이다. 그림 7a는 n-MOSFET의 기본구조이고 그림 7b는 불순물 농도 분포에 대한 조감도이다. N⁺영역의 최대 불순물 농도는 2.0×10^{20} [cm⁻³]이고 TSUPR EM-4의 모의실험으로 부터 얻어진 2차원 n-MOSFET의 구조는 5835개의 절점과 11246개의 요소로 구성되어 있다.



(a)



(b)

그림 7. (a) n-MOSFET의 구조
 (b) n-MOSFET의 불순물 농도 분포
 Fig. 7. (a) The structure of the n-MOSFET.
 (b) The doping profile of the n-MOSFET.

그림 8은 드레인 바이어스에 따른 소신호 해석 모의 실험을 위한 회로도이다.

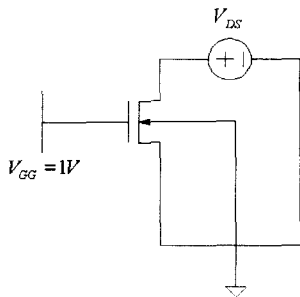
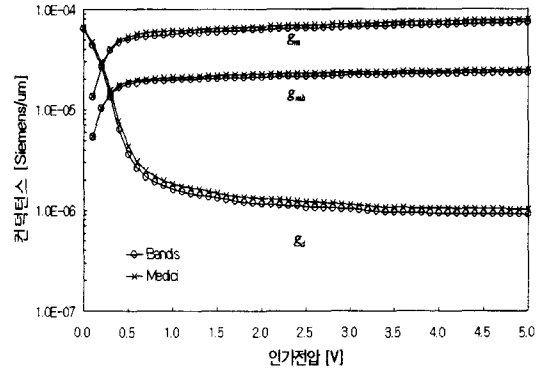


그림 8. n-MOSFET 회로
 Fig. 8. The circuit of the n-MOSFET.

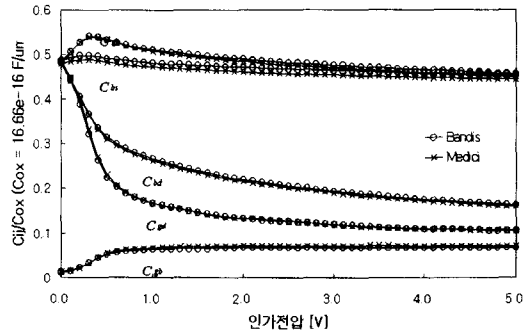
소신호 해석결과와 검증을 위해서 모의 실험용 n-MOSFET의 게이트전극에 1[V] 및 기판에 0[V]의 전압을 인가하고 드레인 전압을 0[V]에서 5[V]까지 변화하면서 입력단자의 소신호 입력전압에 대한 출력 단자에서의 출력 소신호 전류를 계산한 후 컨덕턴스와

캐패시턴스를 추출하여 MEDICI의 결과와 비교하였다. 정확한 모의실험을 위해 물리적 모델로 LSM 이동도^[16]와 band-gap narrowing 효과^[17]를 고려하였다.

그림 9는 게이트 단자를 1[V]로 유지하고 게이트 단자에 주파수가 1[Hz]이고 전압의 크기가 20[mV]인 소신호를 인가한 후 드레인 전압을 0[V]에서 5[V]까지 증가시키면서 추출한 컨덕턴스와 캐패시턴스이다. 이때 C_{ox} 는 $16.66 \times 10^{-16} [F/\mu m^2]$ 이다.



(a)



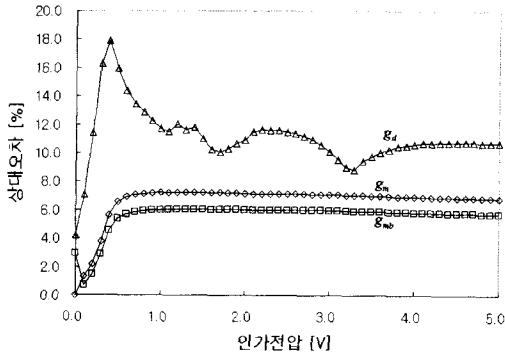
(b)

그림 9. (a) 드레인 전압에 따른 컨덕턴스 비교
 (b) 드레인 전압에 따른 캐패시턴스 비교
 Fig. 9. (a) The comparison of the conductance by the drain voltage.
 (b) The comparison of the capacitance by the drain voltage.

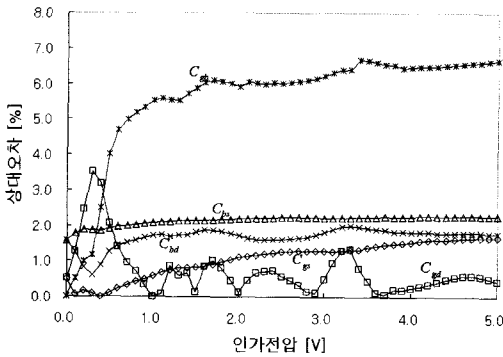
MEDICI와 BANDIS의 컨덕턴스 및 캐패시턴스의 크기를 비교한 결과 평균 상대 오차는 각각 7.75%와 2.24%로 나타났다.

그림 10은 드레인 바이어스에 따른 MEDICI 모의실

험 결과와 BANDIS에 의한 모의실험 결과의 상대 오차이다. 전 영역에 걸쳐 상대 오차가 10%미만으로 나타나 slotboom변수에 의한 반도체 소자의 소신호 해석이 가능함을 확인하였다.



(a)



(b)

그림 10. (a) 드레인 전압에 따른 컨덕턴스의 상대 오차
(b) 드레인 전압에 따른 캐패시턴스의 상대 오차

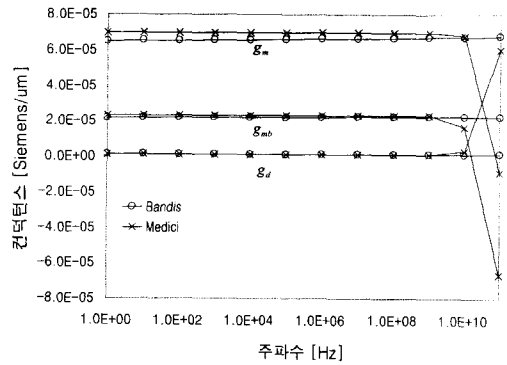
Fig. 10. (a) The relative error of the conductance by the drain voltage.
(b) The relative error of the capacitance by the drain voltage.

그림 11은 게이트 바이어스를 1[V]로 유지하고 드레인 전극에 20[mV]의 소신호 전압을 1[Hz]에서 100[GHz]까지 변화시켰을 때 나타나는 컨덕턴스와 캐패시턴스이다.

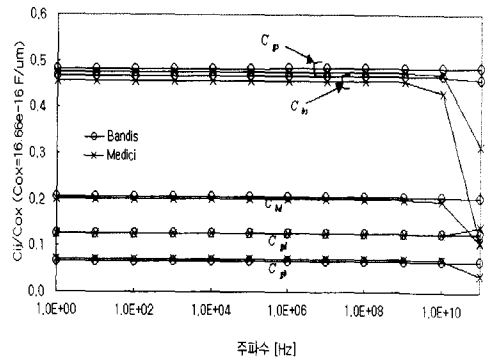
인가된 소신호의 주파수가 10[GHz]이하 영역에서 MEDICI와 BANDIS는 유사한 결과를 나타내는 반면, 10[GHz]이상 영역에서 BANDIS는 일정한 값을 유지하고 MEDICI는 BANDIS의 결과를 기준으로 큰 폭으로 감소 또는 증가한다. 또한 100[GHz]에서 MEDICI는 음

의 컨덕턴스(gm)를 보이고 있어 DC 동작점에서 게이트의 전위가 증가함에 따라 드레인 전류가 감소하는 결과를 나타낸다.

채널농도가 1017인 n-MOSFET에서 반도체 방정식^[10]으로 모의실험이 가능한 주파수는 131[GHz][부록]임을 확인하였으나 MEDICI는 100[GHz]에서 신뢰할 수 없는 결과를 보이고 있다. 간접 행렬풀이법인 BICGS를 사용하는 MEDICI의 모의실험은 고주파 영역에서 강하게 결합된 주파수의 영향을 정확히 고려하지 못하므로 행렬연산에서의 누적되는 오차로 인해 10[GHz]이상의 고주파 영역에서는 정확한 해를 구할 수 없음을 예상할 수 있다



(a)



(b)

그림 11. (a) n-MOSFET의 주파수 변화에 따른 컨덕턴스의 비교

(b) n-MOSFET에서의 주파수 변화에 따른 캐패시턴스의 비교

Fig. 11. (a) The comparison of the conductance by the frequency for the n-MOSFET.
(b) The comparison of the capacitance by the frequency for the n-MOSFET.

표 4. MEDICI결과와 비교한 컨덕턴스의 정규화된 상관관계와 평균상대오차

Table 4. The normalized correlation and the average of the relative error of the conductance with MEDICI.

	정규화된 상관관계	평균상대오차[%]
g_d	0.87	8.95
g_{mb}	0.60	4.64
g_m	0.52	5.53

표 5. MEDICI결과와 비교한 캐패시턴스의 정규화된 상관관계와 평균상대오차

Table 5. The normalized correlation and the average of the relative error of the conductance with MEDICI.

	정규화된 상관관계	평균상대오차 [%]
C_{gb}	0.50	6.8
C_{bd}	0.999	1.61
C_{gd}	0.5	0.44
C_{bs}	0.997	2.25
C_{gs}	0.41	1.51

표 4와 표 5는 각각 컨덕턴스와 캐패시턴스를 MEDICI 결과와 비교한 정규화된 상관관계와 평균상대오차이다. 컨덕턴스와 캐패시턴스는 MEDICI와 비교하여 9% 미만의 평균 상대오차를 보인다.

그림 12는 전류증폭도인 $A_I(\omega)$ 와 전압 증폭도인 $A_V(\omega)$ 를 나타낸다.

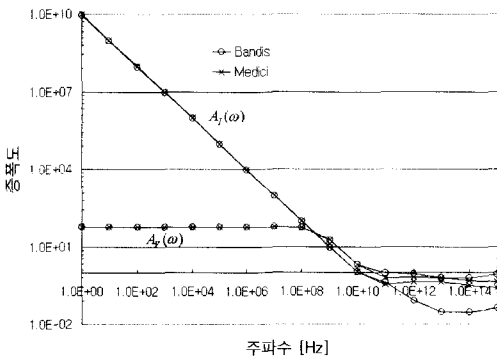


그림 12. MEDICI와의 전류 및 전압증폭도의 비교
Fig. 12. The comparison of the current and voltage gain with MEDICI.

그림 12에서 전류 증폭도를 MEDICI의 결과와 비교하였을 때 10[GHz]이하의 영역에서는 일치하였으나 100[GHz]이상에서는 10%이상의 상대오차를 보이고 있다.

표 6은 MEDICI와 BANDIS에서 모의실험에 요구되는 메모리 소비량과 계산시간을 비교한다. 계산시간은 유사한 반면 380 MB의 고정된 메모리 공간을 필요로 하는 MEDICI에 비해 적은 메모리 공간이 소비되었다.

표 6. 모의실험 시간과 메모리 소비량 비교

Table 6. The comparison of the memory requirement and the time of the simulation.

	2차원 n-MOSFET	
	MEDICI	BANDIS
계산시간	1.5 분	2.0 분
메모리 소비량	380 MB	100 MB

V. 결론

정상상태에서 반도체 소자의 전기적 특성을 분석할 수 있는 소신호 해석용 시뮬레이터를 개발하였다.

동작점에서 미소전위가 인가되었을 때 반도체 내부의 소신호 전위와 전자 및 정공의 의사 페르미 준위에 대한 slotboom변수를 정의하고 정상상태에서 드리프트-확산 방정식의 선형화 방법을 제안하였다. 또한 메모리 소비량을 최소화하면서 고주파 영역에서 소신호 행렬을 정확히 해석할 수 있는 전진해법을 이용한 행렬의 풀이방법을 제안하였다.

제안된 소신호 해석 알고리즘의 검증을 위해 N'P 접합 다이오드 및 n-MOSFET에 대해 모의실험을 수행하였고, 소자의 바이어스 전압과 주파수 변화에 따른 컨덕턴스와 캐패시턴스를 MEDICI와 비교한 결과, 3차원 N'P 접합 다이오드의 경우 0.67%, 2.6%의 평균상대오차를 나타내며 2차원 n-MOSFET의 경우 7.75%, 2.24%로 나타나 slotboom변수를 사용하여 반도체 방정식의 소신호 해석이 가능함과 전진해법을 이용할 경우 적은 메모리를 소모하면서도 3차원 소자에 대해 소신호 해석이 가능함을 확인하였다.

n-MOSFET의 주파수 변화에 따른 평균 상대 오차는 10[GHz]이하에서 컨덕턴스는 6.37%, 캐패시턴스는 2.72%를 나타냈으나 10[GHz]의 고주파 영역에서는 매

우 큰 오차를 보였는데 MEDIC의 경우 행렬 풀이법으로 간접해법을 사용하기 때문에 100[GHz]의 영역에서 신뢰할 수 없는 결과를 보인 반면 본 논문에서 제안한 전진해법을 사용한 경우 100[GHz]의 고주파 영역에서도 정교한 해를 구할 수 있었다.

부록 A 반도체 소자의 주파수 해석 한계

자속밀도의 영향을 고려한 포아송 방정식은 식 (A-1)과 같다. 여기서 c 는 광속이다.

$$-\frac{\epsilon}{c^2} \frac{\partial^2 \phi}{\partial t^2} + \nabla(\epsilon \nabla \phi) = -\rho \quad (\text{A-1})$$

상온에서 소자내의 반송자의 이동도는 광속도의 약 1000배 이상 느리므로 식 (A-1)은 식 (A-2)로 근사된다.

$$\nabla(\epsilon \nabla \phi) = -\rho \quad (\text{A-2})$$

$$\rho = qN_d \quad (\text{A-3})$$

그러나 식 (A-1)의 첫 번째 항이 적어도 $-qN_d$ 의 5%이내의 값을 가져야 근사화된 포아송 방정식이 반도체 소자의 해석에 사용될 수 있으므로 식 (A-4)를 이용하면 해석 가능한 주파수의 범위를 계산할 수 있다.

$$-\frac{\epsilon}{c^2} \frac{\partial^2 \phi}{\partial t^2} = -qN_d \times 0.05 \quad (\text{A-4})$$

N_d 가 $1 \times 10^{17} \text{cm}^{-3}$ 인 경우 소신호 조건을 만족하는 전위($\phi = \phi_0 + \phi e^{j\omega t}$)를 대입하여 변형하면 식 (A-5)가 된다.

$$f = \frac{1}{2\pi} \sqrt{\frac{qN_d c^2}{\epsilon_s} \times 0.05} = 131[\text{GHz}] \quad (\text{A-5})$$

따라서 시료의 농도가 $1 \times 10^{17} \text{cm}^{-3}$ 인 소자의 경우 해석 주파수의 한계는 131[GHz]이다.

참 고 문 헌

[1] S. Wolf, "Silicon Processing for the VLSI era : Volume 3 - The Submicron MOSFET," Lattice press, pp. 77-80, 1995.

[2] M. Reiser, "A two-dimensional numerical FET model for DC, AC, and large-signal analysis," *IEEE Trans. Electron Devices*, vol. ED-20, pp. 35-45, Jan. 1973.

[3] SILVACO, ATLAS user's manual, SILVACO, pp. 3.18-3.19, 1994.

[4] M. Kurata, "A small-signal calculation for one-dimensional silicon n-p-n-transistor," *IEEE Trans. Electron Devices*, vol. ED-18, pp. 200-210, Mar. 1971.

[5] S. E. Laux, "Techniques for small-signal analysis of semiconductor devices," *IEEE Trans. Computer-Aided Design*, vol. CAD-4, pp. 472-481, Oct. 1985.

[6] D. R. Apte and M. E. Law, "Comparison of iterative methods for AC Analysis in PISCES-IIIB," *IEEE Trans. Computer-Aided Design*, vol. 11, no. 5, may 1992.

[7] Z. Y. Zhao, Q. M. Zhang, G. L. Tan, and J.M. Xu, "A new preconditioner for CGS iteration in solving large sparse nonsymmetric linear equations in semiconductor device simulation," *IEEE Trans. Computer-Aided Design*, vol. 10, no. 11, pp. 1432-1440, Nov. 1991.

[8] P. Sonneveld, "CGS, A fast lanczos-type solver for nonsymmetric linear systems," *SIAM J. SCI. STAT. COMPUT.*, vol. 10, no. 4, pp. 36-52, January. 1989.

[9] J. W. Slotboom, "The p-n product in silicon," *Solid-State Electronic.*, vol. 20, pp. 279-283, 1977.

[10] 윤현민, 김태한, 김대영, 김철성, "3차원 정상상태의 드리프트-확산방정식의 해석 프로그램 개발," 대한전자공학회 논문집 제 34권 D편 제8호, pp. 41-51 1997

[11] 김태한, 이은구, 김철성, "우수한 수렴특성을 갖는 3차원 포아송 방정식의 이산화 방법," 대한전자공학회논문집 제34권 D편 제8호, pp. 15-25, 1997.

[12] 김태한, "변형된 결합법을 이용한 혼합모드 소자회로 시뮬레이터 구현에 관한 연구", 인하대학교 박사학위논문, pp. 38-59, 1998

[13] J. Machek and W. Fulop, "Harmonic distortion in a one dimensional p-n-p transistor," *Soidl-State Electronics*, vol. 26, no. 6, pp. 525-536, 1983.

- [14] TMA, MEDICI manual, *TMA*, pp. 2.52-2.54, 1991.
- [15] Dana H. Ballard, Christopher M. Brown, *Computer Vision*, Prentice Hall, pp. 67-69, 1982.
- [16] C. Lombardi, S. Manzini, A. Saporito, and M. Vanzi, "A physically based mobility model for numerical simulation of nonplanar devices," *IEEE Trans. Computer-Aided Design*, vol. 7, no. 11, pp. 1164-1170, Nov. 1988.
- [17] R. S. Muller, *Device Electronics for Integrated Circuits*, John Wiley & Sons, pp. 26-27, 1986.

 저 자 소 개

林 雄 鎮(正會員)

1997년 12월 4일생. 1997년 2월 인하대학교 전자공학과 졸업(공학사). 1999년 2월 인하대학교 전자공학과 졸업(공학석사). 1999년 1월~현재 (주) NEXCOM 정보통신 연구소 연구원 근무. 주관심 분야는 이동통신기술 및 차세대 이동통신기술임

李 恩 九(正會員) 第 34卷 D編 第 8號 參照

현재 인하대학교 박사과정 재학중

金 泰 漢(正會員) 第 33卷 A編 第 9號 參照

현재 패어차일드 코리아 반도체 주식회사 근무중

金 鐵 城(正會員) 第 33卷 A編 第 9號 參照

현재 인하대학교 전자공학과 교수