

# MIMIC용 CB-CPW 전송선로의 누설 혼신의 억제 방법

## (Suppression Method of Crosstalk Caused by Leakage of CB-CPW for MIMIC)

尹皓聖\*, 金成鎭\*, 李海英\*\*

(Ho-Sung Yoon, Sung-Jin Kim, and Hai-Young Lee)

### 요 약

본 논문에서는 밀리미터파 대역에서 PPL 모드에 의한 혼신 현상을 억제할 수 있는 새로운 구조의 CB-CPW 전송선로 구조를 제안하였다. 제안된 구조는 주기판으로 사용되어지는 GaAs 기판 밑면에 Si 손실층이 부착된 형태를 갖는다. PPL 모드는 진행하며 도전을  $\sigma$ 를 갖는 Si 손실층에 의해 감쇠되고 결과적으로 혼신은 억제된다. 모의 실험 결과, 200  $\mu\text{m}$ 의 두께와 도전을  $\sigma=30\text{S/m}$ 를 갖는 Si 기판을 손실층으로 사용하였을 때 60GHz에서 -40 dB이하로 혼신을 억제할 수 있음을 확인하였다. 제안된 방법은 가격이 저렴한 Si 기판을 손실층으로 사용함으로써 밀리미터파 대역에서 동작하는 여러 분야에 이용될 수 있으리라 기대된다.

### Abstract

In this paper, we proposed a novel CB-CPW(Conductor Backed CPW) for suppression of crosstalk caused by PPL(Parallel Plate Line) mode in the millimeter wave frequency. The proposed structure is formed by the GaAs main substrate attached on the Si lossy layer. The PPL mode can be suppressed by the Si lossy layer of conductivity  $\sigma$ , and it reduces the crosstalk between the nearby transmission lines. Using 200  $\mu\text{m}$  thick Si substrate of  $\sigma=30\text{S/m}$ , as the lossy layer, the crosstalk can be suppressed below -40 dB at 60 GHz. The proposed method is costly effective because inexpensive Si wafer is employed to suppress the PPL mode, and it can be used in the various types of millimeter wave applications.

### I. 서 론

최근 정보화에 대한 관심이 높아짐에 따라서 통신환경은 급격히 변화하고 있다. 그에 따라, 보다 다양한 통신 서비스 및 품질 향상을 향한 대중의 요구 또한 급격히 증가하고 있다. 이러한 대중의 요구에 부응하기

위하여 통신은 기존의 음성데이터 뿐만 아니라, 화상데이터의 양방향 서비스에까지 그 영역이 넓어지고 있다. 이에 따라 데이터의 종류뿐만 아니라, 데이터의 크기 또한 급격히 증가하고 있으며, 이를 위한 초고속, 대용량 통신 시스템의 개발이 요구되고 있다. 최근 27 GHz 대역에서 멀티미디어 방송 및 통신 서비스를 양방향으로 제공하는 LMDS(Local Multipoint Distribution Service)의 등장은 이러한 고속, 대용량 통신 시스템을 근간으로 하게 되며, Ka Band 이상의 밀리미터파 대역에서 동작하는 MIMIC(Millimeter Wave MIC) 개발의 중요성을 부각시키고 있다<sup>[1,2]</sup>.

\* 學生會員 \*\* 正會員, 亞州大學校 電子工學部

(School of Electronics Engineering, Ajou University)

接受日字 : 1999年6月15日, 수정완료일 : 1999年9月30日

그런데, 이러한 동작 주파수의 증가는 저주파 대역에서 볼 수 없는 여러 가지 문제를 발생시켜 회로 설계에 많은 제약을 주게 된다. 특히, 이러한 문제를 발생시키는 주요한 원인 중 전송선로 자체의 기생모드에 의한 누설(Leakage) 및 혼신(Crosstalk)은 동작 주파수가 밀리미터파 대역으로 감에 따라 그 영향이 더욱 커지고 있다. 특히, 밀리미터파 대역에서 동작하는 MIMIC의 전송선로로서 주로 사용되어지는 CPW(Coplanar Waveguide)는 칩 실장시 주기판의 밑면에 접지 역할을 하는 패키지의 패들(Paddle)이 있어서 CB-CPW(Conductor Backed Coplanar Waveguide)가 된다. 이 때, 기본 CPW 모드로부터 직접 기생 PPL(Parallel Plate Line) 모드가 인가되며, 이 모드는 CPW의 접지 면과 주기판 반대 면에 있는 패키지의 패들(Paddle) 사이를 따라 진행하게 된다. 이렇게 진행되는 PPL 모드는 그림 1에서와 같이 인접한 전송선로의 신호에 간섭하여 혼신의 원인이 된다. 또한 CB-CPW가 유한한 폭을 가진다고 가정할 경우, 기판과 공기와의 경계 면에서 반사된 PPL 모드가 원래의 CPW 모드에 간섭하여 신호를 왜곡시킨다<sup>[3, 6]</sup>.

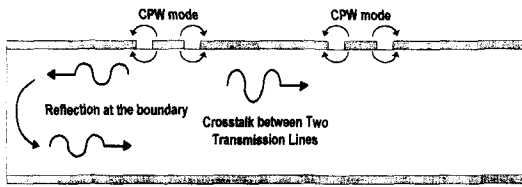


그림 1. CBCPW 구조에서 PPL 모드의 진행  
Fig. 1. Propagation of PPL mode in the CBCPW structure.

이러한 PPL 모드에 의해 발생하는 문제를 해결하기 위하여 여러 가지 방법이 제안되어져있으며, 대표적인 예로는 그림 2와 같이 수직면에 상대적으로 유전율이 낮은 물질이나 Via를 이용하여 방벽(Barrier)을 만듦으로써 PPL 모드의 진행을 억제하는 방법이 있다. 이 경우에 PPL Mode는 외부로 나가지 못하게 되어 혼신을 줄일 수 있으나, 두 개의 상이한 유전체의 경계면 및 Via에서 PPL 모드가 반사됨으로 인해 발생하는 공진에 의한 신호의 왜곡이 발생한다<sup>[7-9]</sup>.

본 논문에서는 기본 CPW 모드로부터 유기된 PPL 모드에 의해 발생하는 혼신(Crosstalk)을 억제하기 위한 새로운 CB-CPW 구조를 제안하였다. 본 제안된 구

조는 기존의 MIMIC에서 주기판으로 주로 사용되는 100 um 두께의 GaAs 주기판에 p형 또는 n형으로 도핑(Doping)된 Si 기판을 부착하는 것으로 PPL 모드는 Si 기판의 도체손실(Conduction Loss)에 의해 감소되며, 이로 인해 혼신이 억제된다.

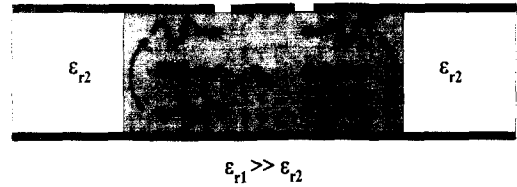


그림 2. PPL 모드 방지를 위한 유전체 방벽  
Fig. 2. Dielectric barrier for PPL modes suppression.

본 구조는 FDTD(Finite Difference Time Domain method)로 해석하였으며, 기판 두께 200um, 도전율 30 S/m인 Si 기판을 부착할 경우 60GHz에서 혼신(Crosstalk)을 -40dB 이하로 억제할 수 있음을 보였다. 제안된 구조는 도전율이 있는 Si 기판을 이용하여 PPL 모드를 억제하는 것으로, 기존의 MIMIC 공정을 그대로 사용할 수 있고 손실 층을 추가하는 공정이 간단할 뿐만 아니라, 가격이 저렴하므로 밀리미터파 대역을 사용하는 여러 응용 분야에서 실용화 될 수 있으리라 기대된다.

## II. 구조 및 해석방법

### 1. 손실 층이 부착된 CBCPW 구조

그림 3(a), (b)는 각각 일반적인 100um 두께의 GaAs 기판에 구성된 CB-CPW 구조와 GaAs 주기판 밑면에 Si 손실층이 부착된 혼신 억제용 CB-CPW 구조이다. 그림 3(a)의 CB-CPW는 두께 100um에 비유전율 12.9인 GaAs 주기판 위에 스트립 폭을 40um, 슬롯 폭을 25um로 하여 일반적인 MMIC와 같은 조건으로 설정하였다. 또한, 주기판 밑면에는 접지면 역할을 하는 패키지의 패들이 부착되었다. 그림 3(b)은 PPL 모드를 억제하기 위한 CB-CPW 구조로, GaAs 주기판 밑면에 도전율  $\sigma$ 를 가지는 Si 기판을 부착하였다. 기본 CPW 모드로부터 직접 유기된 PPL 모드는 인접한 CPW 전송선로에 전달되며, 이러한 혼신을 각 경우에 대하여 관찰함으로써, Si 기판에 의한 PPL 모드의 억제 효과

를 확인할 수 있다. FDTD(Finite Difference Time Domain method) 에 의해 해석된 본 구조는 도체를 모두 완전도체로 가정하였으며, 경계조건은 전면을 Mur 경계 조건으로 설정하여 해석의 정확성 및 효율을 높였다<sup>[10,11]</sup>.

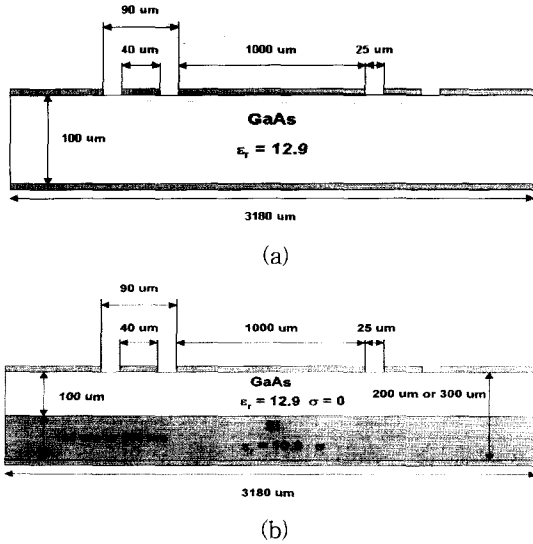


그림 3. 모의 실험을 위한 CB-CPW 구조

(a) 두께 100um GaAs CBCPW 구조

(b) PPL 모드 억제를 위한 CBCPW 구조

Fig. 3. CB-CPW structure for simulation.

(a) Conventional CBCPW structure on the 100um height GaAs substrate.

(b) CBCPW structure for PPL mode suppression.

## 2. 표면 저항 계산

본 논문에서는 CB-CPW 구조에서 발생하는 PPL 모드를 억제하기 위하여 도전율  $\sigma$ 를 가지는 Si 기판을 이용하였다. PPL 모드는 Si 기판의 도체손실에 의하여 감소되며, 이는 표면 도전율을 가지는 물질의 표면 저항을 계산함으로써 구할 수 있다<sup>[12]</sup>.

그림 4는 본 논문에서 제안된 CBCPW 에 손실층으로써 제안된 Si 기판의 표면저항(Surface Resistance)을 구하기 위한 기본 개념을 나타낸 것이다. 기판의 최하단면은 완전도체(Perfect conductor)이며, TEM 모드가 입사되는 것으로 가정하였다. 이로부터 GaAs 주기판과 Si 손실층의 경계면에서의 식 (4)와 같이 입력 임피던스를 구할 수 있다. 이것의 실수값을 취하면 표면 저항을 계산할 수 있는데, 이는 Si 층에 의한 손실을

나타낸다.

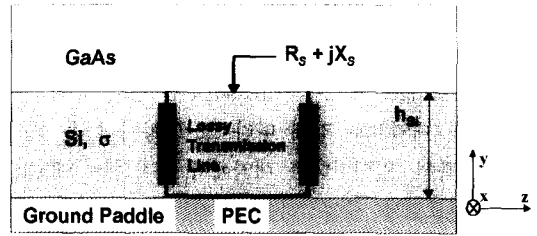


그림 4. 표면 저항의 기본 개념

Fig. 4. Basic concept of surface resistance.

$$E_x = \frac{\sqrt{j\omega\mu_0(\sigma + j\omega\epsilon)}}{\sigma + j\omega\epsilon} \{C_1 e^{\sqrt{j\omega\mu_0(\sigma + j\omega\epsilon)} \cdot y} - C_2 e^{-\sqrt{j\omega\mu_0(\sigma + j\omega\epsilon)} \cdot y}\} \quad (1)$$

$$H_z = C_1 e^{\sqrt{j\omega\mu_0(\sigma + j\omega\epsilon)} \cdot y} + C_2 e^{-\sqrt{j\omega\mu_0(\sigma + j\omega\epsilon)} \cdot y} \quad (2)$$

$$\frac{C_2}{C_1} = -e^{2\sqrt{j\omega\mu_0(\sigma + j\omega\epsilon)} \cdot h_{si}} \quad (3)$$

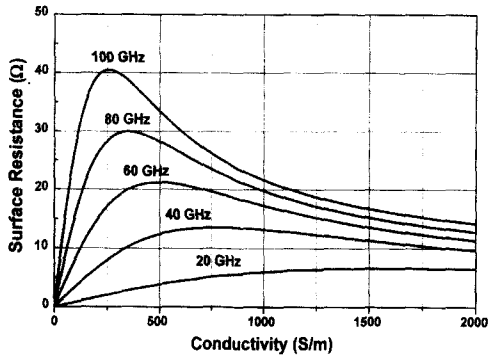
$$Z_s = R_s + jX_s = -\frac{\sqrt{j\omega\mu_0(\sigma + j\omega\epsilon)}}{\sigma + j\omega\epsilon} \left( \frac{1 + e^{2\sqrt{j\omega\mu_0(\sigma + j\omega\epsilon)} \cdot h_{si}}}{1 - e^{2\sqrt{j\omega\mu_0(\sigma + j\omega\epsilon)} \cdot h_{si}}} \right) \quad (4)$$

## III. 해석 및 결과

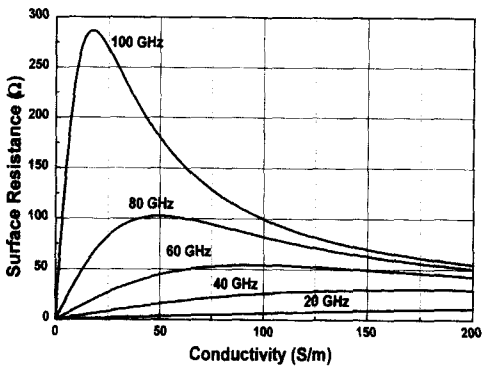
### 1. PPL 모드의 최적 억제 조건

본 논문에서는 PPL 모드를 억제하기 위하여 도전율  $\sigma$ 를 가지는 Si 기판을 손실층으로서 이용하였다. 그런데, PPL 모드에 대한 Si 기판의 손실특성은 기판의 도전율 뿐만 아니라, 사용 주파수에 따라서도 매우 크게 달라진다. 따라서, 최적의 광 대역 손실특성을 얻기 위한 Si 기판의 적절한 도전율을 찾는 것이 중요하다. 그림 5(a), (b)는 각각 100um와 200um의 두께를 가지는 Si 기판에서의 표면 저항을 주파수와 도전율에 따라 계산한 것이다. 또한, 그림 6은 각 주파수에 대한 손실층 두께의 변화에 따른 최대 표면 저항을 가지는 Si 기판의 도전율이다.

그림 5에서 손실층의 표면 저항은 기판의 두께가



(a)



(b)

그림 5. 표면 저항

- (a)  $h_{Si}=100\mu m$
- (b)  $h_{Si}=200\mu m$

Fig. 5. Surface resistance.

- (a)  $h_{Si}=100\mu m$
- (b)  $h_{Si}=200\mu m$

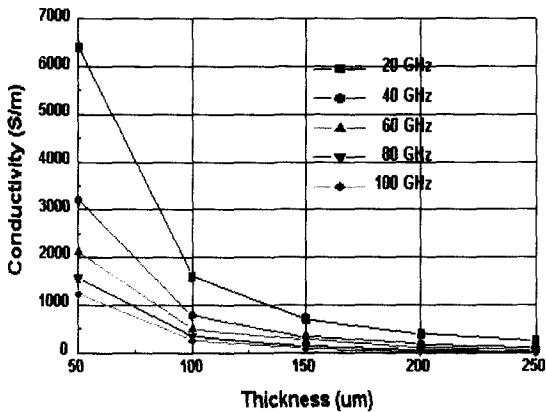


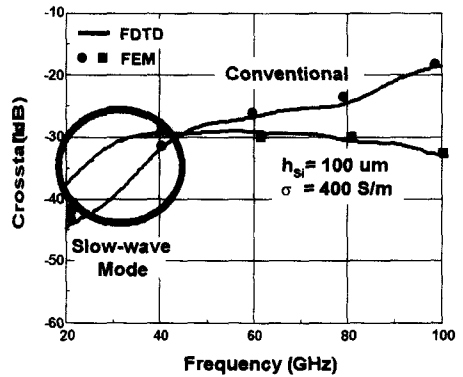
그림 6. 손실층의 두께에 따른 최대저항을 가지는 Si 기판의 도전율

Fig. 6. Conductivity of Si substrate of maximum resistance by thickness of lossy layer.

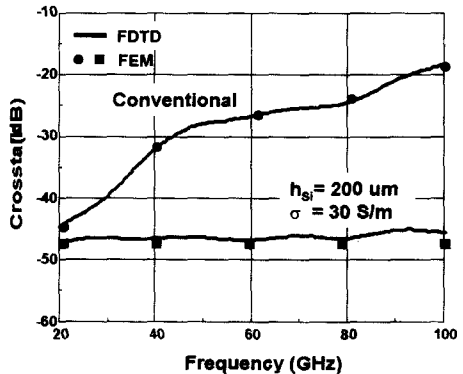
200 $\mu m$ 일 때에 두께가 100 $\mu m$ 일 때에 비하여 주파수에 따라 약 3~6배 증가한다. 그리고, 그림 6에서 주파수 및 손실층 두께의 증가에 따라 저항이 최대가 되는 도전율은 낮은 쪽으로 이동한다. 따라서, 사용주파수 및 기판의 두께에 맞추어 적절한 도전율을 선택해야 한다. 또한, 주파수가 높아짐에 따라 저항이 급격히 증가함을 볼 수 있는데, 이로부터 손실층을 이용한 혼신 감소 방법이 밀리미터파 대역 이상에서 매우 유용함을 알 수 있다.

2. PPL 모드에 의한 혼신 억제

그림 7(a),(b)는 각각 100 $\mu m$ 와 200 $\mu m$  두께의 Si 손실층을 부착했을 때의 혼신풀성을 나타낸 것이다. 각 경우의 도전율은 기판의 두께가 100 $\mu m$ 때에 400S/m,



(a)



(b)

그림 7. 모의 실험된 혼신풀 특성

- (a)  $h_{Si}=100\mu m$
- (b)  $h_{Si}=200\mu m$

Fig. 7. Simulated property of crosstalk.

- (a)  $h_{Si}=100\mu m$
- (b)  $h_{Si}=200\mu m$

200 $\mu\text{m}$ 일 때에 30S/m이며, 각각의 결과는 100 $\mu\text{m}$  두께의 GaAs에 구성된 CBCPW의 혼신평형과 직접 비교되었다. 각각의 구조에서 혼신은 전 주파수 대역에서 -30dB와 -45dB 이하로, 일반적인 CBCPW 구조에 비하여 60GHz에서 각각 4dB, 22dB의 혼신감소 효과를 보였다. 그런데, 그림 7(a)의 경우 40GHz 이하의 주파수에서 손실층을 부착했을 때의 혼신이 100 $\mu\text{m}$  두께의 GaAs 기판상의 일반적인 구조에서의 혼신보다 오히려 큰 것을 볼 수 있다. 이는 적절한 도전을 가질 때 한계 주파수 이하에서 Slow-wave 모드가 발생하는 것으로, 이 모드에 의한 에너지의 대부분이 도전율이 0으로 설정된 GaAs 기판으로 통과하여 인접한 전송선로에 그대로 전달되기 때문이다<sup>[13]</sup>.

#### IV. 결 론

본 논문에서는 밀리미터파 대역에서 CB-CPW로부터 인가되는 PPL 모드에 의한 혼신평형을 효과적으로 억제할 수 있는 방법을 제안하였다. 제안된 구조는 GaAs 기판에 도핑된 Si 기판을 부착하여 PPL 모드를 Si 기판의 도체손실 성분을 이용하여 억제하는 것으로, 200 $\mu\text{m}$ 의 두께와 30S/m의 도전율을 갖는 Si 기판을 부착할 경우 혼신을 주파수 60 GHz에서 -45 dB 이하로 억제할 수 있음을 확인하였다.

본 구조는 저가의 Si 기판을 손실층으로 이용하여 혼신을 효과적으로 억제할 수 있으므로 저가적, 고품질 MIMIC 설계를 포함한 여러 응용분야에 이용될 수 있을 것으로 기대된다.

#### 참 고 문 헌

- [1] Peter Russer, "Si and SiGe Millimeter-Wave Integrated Circuits," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-46, pp. 590-603, 1998.
- [2] Yuu Watanabe, "A Flip-Chip MMIC Design with Coplanar Waveguide Transmission Line in the W-Band," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-46, pp. 2276-2281, 1998.
- [3] K. Beilenhoff and W. Heinrich, "Excitation of the Parasitic Parallel-Plate Line Mode at Coplanar Discontinuity," *Proc. IEEE. MTT-S Digest*, pp. 1789-1792, 1997.
- [4] W. Heinrich, A. Jentsch, and G. Baumann, "Millimeter-Wave Characteristics of Flip-Chip Interconnects for Multichip Modules," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-46, pp. 2264-2268, 1998.
- [5] F. Schieder, H. Heiliger, W. Heinrich, "Coupling between Neighboring CPW's in MMIC's," *IEEE. MGWL*, Vol. 8, pp. 290-292, 1998.
- [6] Kwok-Keung M. Cheng, "Effect of Conductor Backing on the Line-to-Line Coupling between Parallel Coplanar Lines," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-45, pp. 1132-1134, 1997.
- [7] D. R. Jahagirdar, R. D. Stewart, "Nonleaky Conductor-Backed Coplanar Waveguide-Fed Rectangular Microstrip Patch Antenna," *IEEE. MGWL*, Vol. 8, No. 3, pp. 115-117, March 1998.
- [8] Nirod K. Das, "Method of Suppression or Avoidance of Parallel-Plate Power Leakage from Conductor-Backed Transmission Lines," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-44, pp. 169-181, 1996.
- [9] Y. Liu, K. Cha, T. Itoh, "Non-Leaky Coplanar (NLC) Waveguides with Conductor Backing," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-43, pp. 1067-1072, 1995.
- [10] David M. Sheen, Sami M. Ali, Mohamed D. Abouzahra, Jin Au Kong, "Application of the three-dimensional Finite-Difference Time-Domain method to the analysis of planar microstrip circuits," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-38, pp. 849-857, July 1997.
- [11] Allen Taflove, *Computational Electrodynamics-The Finite-Difference Time-Domain method*, Artech House, 1995, pp. 59-80.
- [12] H. Sobol, M. Caulton, *Technology of Microwave Integrated Circuits*, pp. 36-43.
- [13] H. Hasekawa, M. Furukawa, H. Tanai, "Properties of Microstrip on Si-SiO<sub>2</sub> System," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-19, pp. 869-881, 1971.

저 자 소 개



尹 胡 聖(學生會員)

1975년 7월 19일생. 1998년 아주대학교 전파공학과 졸업. 현재 아주대학교 전파공학과 석사과정. 주관심 분야는 초고주파 수동소자 및 초고주파 패키징 기법 등

李 海 英(正會員) 第 36卷 D編 第 9號 參照

현재 아주대학교 전자공학부 부교수



金 成 鎭(學生會員)

1998년 아주대학교 대학원 전자공학과 졸업(공학석사). 1998년~현재 아주대학교 대학원 전자공학과 박사과정 재학중. 주관심분야는 초고속/초고주파 소자용 패키지 최적 설계