

論文99-36D-10-6

전식 식각 공정을 위한 초고속 병렬 연산 시뮬레이터 개발

(Development of High Performance Massively Parallel Processing Simulator for Semiconductor Etching Process)

李濟熙*, 權五燮**, 潘用瓚**, 元太映**

(Jae-Hee Lee, Oh-Seob Kwon, Yong-Chan Ban, and Tae-Young Won)

요약

전식 식각 공정을 시뮬레이션하기 위하여, 플라즈마 챔버 내의 식각 이온 거동 메카니즘을 몬테카를로 수치해석 방식으로 구현하였고, 식각 이온의 거동에 의한 기판의 식각 형상을 확인하기 위하여 셀 방식의 표면 전진기를 개발하였다. 몬테카를로 수치 계산의 단점인 과도한 계산 시간을 효과적으로 감소시키기 위하여, CRAY T3E 병렬 컴퓨터와 여러대의 워크스테이션을 연결한 MPI 환경에서 몬테카를로 병렬 계산 알고리즘을 개발하였다. 본 연구에서 개발한 몬테카를로 병렬 계산 알고리즘은 95% 이상의 효율성을 보이며, 16개의 프로세서를 사용하였을 때 16의 스피드업(Speedup) 값을 얻었다. 또한, 셀 방식의 병렬 연산 표면 전진기를 이용하여 토폴그래피 시뮬레이션을 수행한 결과에서, 셀의 개수가 2백만 개 일때, 약 600Mb 이상의 메모리가 소요되므로 단일 워크스테이션 환경에서는 불가능한 계산이 본 연구에서 개발한 병렬 계산 알고리즘을 이용하였을 때 32개의 프로세서에서 15분의 계산시간이 소요되었다.

Abstract

This paper reports the implementation results of Monte Carlo numerical calculation for ion distributions in plasma dry etching chamber and of the surface evolution simulator using cell removal method for topographical evolution of the surface exposed to etching ion. The energy and angular distributions of ion across the plasma sheath were calculated by MC(Monte Carlo) algorithm. High performance MPP(Massively Parallel Processing) algorithm developed in this paper enables efficient parallel and distributed simulation with an efficiency of more than 95% and speedup of 16 with 16 processors. Parallelization of surface evolution simulator based on cell removal method reduces simulation time dramatically to 15 minutes and increases capability of simulation required enormous memory size of 600Mb.

Keyword : MPP(Massively Parallel Processing), etching, Monte Carlo, Topography, process simulation

* 正會員, (株)現代 半導體株式會社 研究所
(TCAD Team, Research Center, HYUNDAI Micro Electronics Co. Ltd.)

** 正會員, 仁荷大學校 電子電氣컴퓨터工學部
(Division of Electrical and Computer Engineering, College of Engineering, Inha University)

※ 본 연구는 1998년도 ETRI 슈퍼컴퓨터센터 연구비 지원(과제번호:D2156) 및 1999년도 정보통신부 '정보통신 우수대학원' 지원사업의 일환으로 수행하였습니다.

接受日字:1998年9月24日, 수정완료일:1999年9月27日

I. 서론

반도체 제조 공정의 개발에 있어서, 공정 순서도에 따라 실험이 진행되어 그 결과를 얻기까지는 막대한 시간과 비용이 소요된다. 따라서, 공정 개발 비용을 절약하고 공정 개발 시간을 단축하기 위하여, 반도체 공정 시뮬레이터(TCAD: Technology Computer Aided Design)를 이용한 시뮬레이션이 매우 중요한 역할을 담당하고 있다. 현재까지는 불순물의 확산, 산화, 이온 주입 등의 공정 시뮬레이션을 위하여 스텐포드 대학에서 개발한 2차원 시뮬레이터인 SUPREM IV가 가장 많이 사용되면서 공정 개발자의 요구를 충족시켜 왔지만, 차세대 256MB 및 1GB 등 기가 비트 시대의 반도체 공정 시뮬레이션을 위해서는 산화, 확산, 불순물 분포 등의 도판트(Dopant) 시뮬레이션과, 금속의 인터커넥션이나 절연막 도포를 위한 증착 공정 또는 트렌치(Trench), 비아(Via) 등을 형성하기 위한 식각 공정 등이 핵심 단위 공정으로 인식되고 있다. 특히, 패키징 밀도가 높아질수록 소자의 중형비가 커지면서 증착 및 식각 공정의 새로운 방식이 요구되어지고 있다.

이와 같은 이유로 차세대 반도체 공정 개발을 위해 전 세계적으로 증착 및 식각 공정에 대한 연구가 활발히 진행되고 있으며, 증착 및 식각, 인터커넥션 등의 토포그래피 시뮬레이터가 매우 중요한 위치를 차지하게 되었다¹⁻³⁾. 또한, 소자 폭 대 길이 비가 감소하면서 기존의 2차원 단면 뿐 아니라 3차원 형상을 시뮬레이션하기 위한 3차원 시뮬레이터가 사용되어야 한다고 인식되고 있다^{4) 5)}. 또한, 3차원 반도체 식각 공정 시뮬레이션을 수행함에 있어서, 시뮬레이션 영역 및 복잡성이 증가함에 따라, 기하급수적으로 증가하는 메모리 소모량과 CPU 부담⁶⁾을 효과적으로 감소시키기 위하여 병렬 연산 수치해석 기법의 개발이 활발히 진행되고 있다.

따라서, 본 연구에서는 식각 공정을 시뮬레이션할 수 있는 토포그래피 시뮬레이터를 개발하고, 그 결과를 보고한다. 기관의 형상 변화를 시뮬레이션하기 위한 토포그래피 시뮬레이션은 두 가지 메카니즘을 계산한다. 먼저, 기관 입자를 제거하기 위한 특정 이온이 플라즈마 챔버 내부의 공핍층을 통과하여 기관에 도달하는 형태에 따라 등방성 혹은 비등방성 식각 특성을 보이므로, 기관에 도달하는 입자의 거동을 몬테카를로 방식

의 수치해석 기법으로 계산한다. 그리고, 기관이 입사된 입자에 의한 기관의 형상 변화를 3차원 표면 전진 시뮬레이터를 이용하여 관찰한다. 막대한 계산량에 따른 CPU 부담과 메모리 사용의 한계성으로 인한 시뮬레이션 효율성의 저하를 막기 위해 초고속 병렬 컴퓨팅 알고리즘을 개발하여 3차원 식각 시뮬레이션을 수행하였다.

II. 플라즈마 리액터 내의 이온의 분포 모델링

플라즈마 리액터는 RF 전원이 연결된 한 쌍의 전극을 가지고 있는데, 이 전극에 전력이 공급되면 전극 사이의 공간에는 가시광이 생기는 반면, 전극 표면의 양 끝에는 어두운 영역이 생긴다. 밝은 불빛이 나는 영역인 글로우 영역(Glow region)은 전극 사이에 걸리는 빠른 주파수에 의해서 반응 기체가 여기(Excitation)되어 여러 가지 형태의 입자로 분해되는 곳으로 전기적으로는 중성을 유지하고 있다. 또, 어두운 영역(이온공핍층: Sheath)은 높은 전기장이 걸려 있는데, 이 부분에서 반응 기체의 이온이 가속되어 기관 표면을 때린다.

음전하를 가지고 있는 전자는 이온보다 가볍기 때문에 글로우 영역으로부터 전극 쪽으로 더 빠르게 확산되어 전극에서 공급되는 양전자와 결합하게 되는데, 이때 글로우 영역에서 생기는 전자 손실은 이 부분을 전극의 표면보다 상대적으로 양성을 띄게 하므로 글로우 영역은 전위가 높고, 전위가 낮은 전기장이 전극 부분에 형성된다. 이 부분이 이온공핍층 영역인데, 이 영역에 형성된 전기장은 음전하를 띠고 있는 전자를 글로우 영역에 묶어 두는 역할을 한다. 따라서, 전자는 글로우 영역으로부터 얻은 에너지가 전기장의 전위를 넘어설 정도가 되어야만 전극에 도달할 수 있다. 그러나, 양전하를 띠고 있는 이온은 항상 전기장에 의해 가속되므로 기관을 물리적으로 식각하는데 도움이 된다.

이온공핍층에서 가속되어 전극으로 진행하는 이온은 전극 표면에서 중성 입자(Neutral particle)와 전하량 변환 충돌(Charge exchange collisions) 또는 운동량 전달 충돌(Momentum transfer collisions)을 겪는다⁷⁾. 전하량 변환 충돌에서 이온은 어떤 운동량의 전달도 없이 충돌 중성 입자로부터 전자를 얻어 중성화되어 모든 에너지를 잃는다. 그리고, 충돌을 받은 중성 입자는 전자를 내주고 이온이 되어 전극으로 가속된다. 운동량

선달 충돌에서는 전하량의 변화가 없는 대신에 강구(Hard ball) 충돌 메카니즘에 의해 운동량이 전달된다. 이 모델에서 충돌 단면은 에너지에 독립한 것으로 가정한다. 이온공핍층에서의 충돌은 재산란(Recoil)된 중성 입자를 생성시킨다. 그러나, 중성 입자는 전체의 영향을 받지 않아서 이온의 에너지에 비하여 상당히 적은 에너지로 기판에 도달하기 때문에 중성 입자에 의한 영향은 무시할 수 있다. 전하량 변화의 영향은 다음과 같이 구성된다.

$$P_{ch} = \sigma_{ch}/(\sigma_{ch} + \sigma_{el}) \quad (1)$$

식(1)에서 σ_{ch} 는 전하량 변화 충돌 단면적(Charge exchange collision cross-section), σ_{el} 는 운동량 전달 충돌 단면적(Momentum transfer collision cross-section)을 나타낸다. 위 식에서, P_{ch} 은 0~1 사이의 값이며, 시뮬레이션 수행시 난수발생기로 도출된 값과의 비교를 통해서 전하량 충돌의 영향이 고려된다. 이온공핍층 내의 전기장 분포를 유도하기 위해서, 본 논문에서는 고진공 상태에서의 이온의 분포를 포아송 방정식으로 유도하여 전기장을 계산하였다. 즉, 이온공핍층의 전위(V)는 전극 사이의 길이(x)의 함수이고 이온 플럭스가 이온공핍층 전 영역에 대해 균일한 분포를 가진다고 가정하면, 이온공핍층 내의 전류 밀도는 (2)식으로 표현된다.

$$J_i = qN_i u = qN_i \frac{2qV(x)}{m_i} \quad (2)$$

(2)식에 포아송 방정식(Poisson's equation)을 사용하여 (3)식과 같이 이온 밀도(Ni)를 이온공핍층의 전위로 표현할 수 있다.

$$\epsilon_0 \nabla^2 V(x) = -qN_i \quad (3)$$

위의 (2)식과 (3)식을 이용하면, 식(4)와 같은 Child-langmuir 공간 전하 한계 전류식^[6]을 정의 할 수 있다.

$$J_i = \frac{4\epsilon_0}{9} \left(\frac{2q}{m_i}\right)^{1/2} \frac{V(x)^{3/2}}{x^2} \quad (4)$$

위의 (4)식에 $x=0$ 일 경우 $V(0)=0$ V, $x=L_{sh}$ 일 경우에 $V(L_{sh})=V_{sh}$ V,의 경계조건을 적용하면, 식(5)로 표현되는 이온공핍층 내의 국부적인 전기장의 분포를 유도할 수 있다.

$$E(x) = -\frac{4}{3} \frac{V_{sh}}{L_{sh}} \left(\frac{x}{L_{sh}}\right)^{1/3} \quad (5)$$

III. 이온 거동 시뮬레이션을 위한 병렬 컴퓨팅 몬테카를로 수치해석기

플라즈마 이온 공핍층을 통과하여 기판에 도달되는 이온 거동을 계산하기 위하여, Child-langmuir 공간 전하 한계 전류식을 정의하였으며, 몬테카를로 수치해석기를 이용하여 계산하였다. 또한, 몬테카를로 계산의 효율성을 높이기 위하여 초고속 병렬 컴퓨팅 기술을 적용하였다. 몬테카를로 방식은 병렬 처리 구현이 매우 용이하며, 병렬 처리 효율성 또한 매우 높은 수치해석적 방법이다. 따라서, CRAY T3E를 이용하여 몬테카를로 수치해석 방식을 병렬처리 코드로 개발하였다.

그림 1에 도시된 순서도에서 몬테카를로 방법을 이용한 병렬 처리 알고리즘을 도시하였다. 초기에 사용자의 공정조건을 입력받는다. 그런 다음, 병렬 처리를 위해 사용하고자 하는 프로세서를 설정하고 초기화시킨다. 각각 연산이 할당된 프로세서는 다른 프로세서와는 독립적으로 계산을 수행한다. 지정된 개수만큼의 연산을 끝내면 그 결과를 중앙 프로세서에 전송하고, 중앙 프로세서는 전송 받은 데이터를 처리한 다음 후처리계로 데이터를 전송한다.

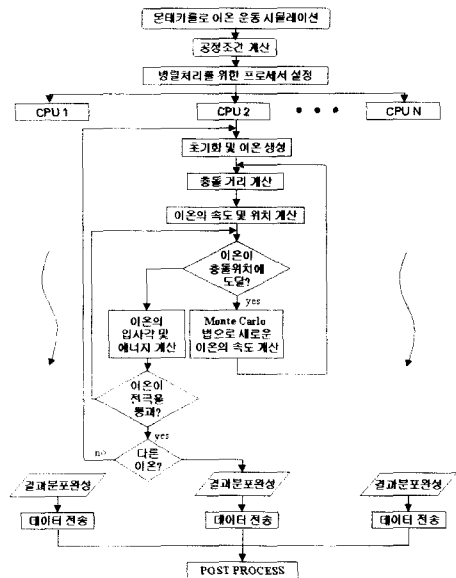


그림 1. 몬테카를로 방법을 이용한 병렬 처리 알고리즘
Fig. 1. A plot showing the block diagram of MPP algorithm by using Monte Carlo algorithm.

병렬 컴퓨팅에 있어서, 프로세서의 계산 시간에 대한 각 프로세서 상호간의 데이터 전달 시간비가 증가할수록 병렬 컴퓨팅의 효율성을 저하시키게 된다¹⁷⁾. 따라서, 병렬 계산의 효율성을 극대화하기 위해서는 각 프로세서 상호간의 데이터 전달을 최소화하도록 알고리즘을 개발하여야 한다. 몬테카를로 방식은 통계적 방식의 수치해석 프로그램이므로 각 프로세서가 주어진 조건에 따라 독립적으로 통계적 계산을 수행하므로 프로세서 상호간의 데이터 전달 시간이 계산시간에 비해 매우 적으므로 매우 높은 효율을 얻을 수 있다. 제2도에 몬테카를로 방식으로 병렬 계산한 결과를 하나의 CPU가 직렬로 계산한 시간을 100%로 나타내었다. 제2도에서 CPU 수가 증가할수록 수행시간이 감소하는 결과를 볼 수 있다.

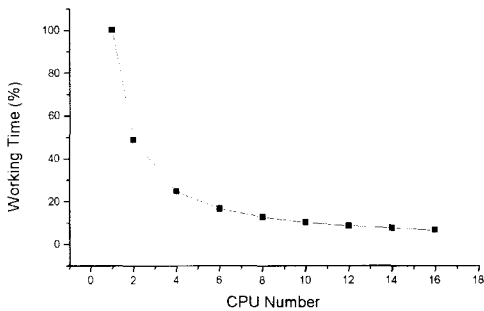


그림 2. 프로세서 수에 대한 계산시간 비교

Fig. 2. A plot showing the CPU time as a number of CPUs.

표 1. 몬테카를로 병렬연산 방식에서의 CPU 개수에 대한 소요시간

Table 1. A table showing the CPU time as a number of CPUs.

CPU 개수(개)	소요시간(%)
1개	100%
2개	50%
4개	25%
8개	12.5%
16개	6.25%
32개	3.125%

그림 2에서 각 프로세서간의 데이터 전달이 배제된 상태에서는, 계산에 사용되는 CPU의 수가 증가함에 따라서 시뮬레이션에 소요된 시간도 기하급수적으로 감

소함을 볼 수 있다. 수치상으로 정확하게 표현하면, 병렬연산방식을 몬테카를로 연산기법에 적용하였을 경우의 CPU 개수에 대한 소요시간은 표 1과 같다.

프로세서 수에 대한 스피드업 값(Speedup)을 제3도에 도시하였다. 네모 형태로 도시한 S1값은 각 프로세서 상호간의 데이터 전달 루틴을 포함하지 않은 계산 결과이다. 원 형태로 도시한 S2값은 계산 결과를 주 프로세서에 전달하였을 때의 결과이다. 제3도의 결과에서 볼 수 있는바와 같이 데이터 전달이 배제된 상태에서는 스피드업 값이 프로세서 수에 대해 선형적으로 증가하는 특성을 보여 효율이 100%에 도달함을 보인다. 프로세서 상호간에 데이터를 전송함에 따라 효율이 감소함을 보였으나, 몬테카를로 방식이 각 프로세서가 독립적으로 계산을 수행하고, 그 결과 데이터만을 주 프로세서에 전달하므로, 이상적인 계산 결과에 비해 효율이 감소하긴 하였지만 다른 수치 해석적 계산방식에 비해 매우 높은 효율 특성을 보였다.

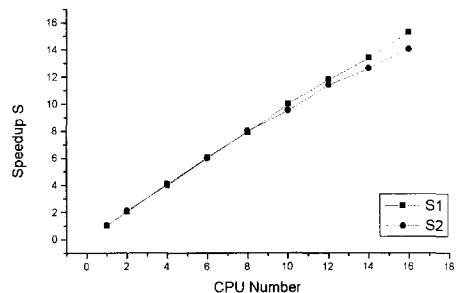


그림 3. CPU 수에 대한 스피드업 특성

Fig. 3. A plot showing the characteristics of the speed-up with respect to the number of CPUs.

플라즈마 이온 공핍층을 통과하여 기판에 도달되는 이온의 각 및 에너지 분포를 계산하고, 그 결과를 제4도에 도시하였다. 먼저 이온 거동의 챔버 압력 의존을 확인하기 위하여 플라즈마 공정 조건을 다음과 같이 온도=300K, DC 전압=50V, AC 전압=55V, 이온공핍층 두께=4mm, 이온의 무게=50amu, 중성 입자(Neutral)의 무게=55amu, 운동량 전달 단면=8×10²⁰ m², 전하량 변환 단면=0 m²으로 설정하였고, 압력을 변화시키며 결과를 관찰하였다. 본 논문에서 플라즈마를 발생시키기 위해 챔버에 공급하는 전력을 대신하여, 플라즈마 전위를 정의하였다. 즉, DC 전압은 전극 사이에 걸린 전압

으로 인해 이온공핍층에 인가된 전위로서, 대부분의 전압이 이곳에 걸리게 된다. 또한, AC 전압은 이온공핍층과 글로우 영역 사이의 경계에서 AC peak to peak 전압의 1/2값이 된다. 에너지와 각 분포의 계산에 있어 총 100,000개의 이온을 몬테카를로 방법으로 입사시켰고, 각도 1°, 에너지 1eV로 이산화시켜서 각각의 데이터 값을 도출하였다. 제4도에서 오른쪽은 입사각에 대한 이온의 분포를 나타내고, 왼쪽은 이온 에너지의 압력에 따른 분포를 나타낸다.

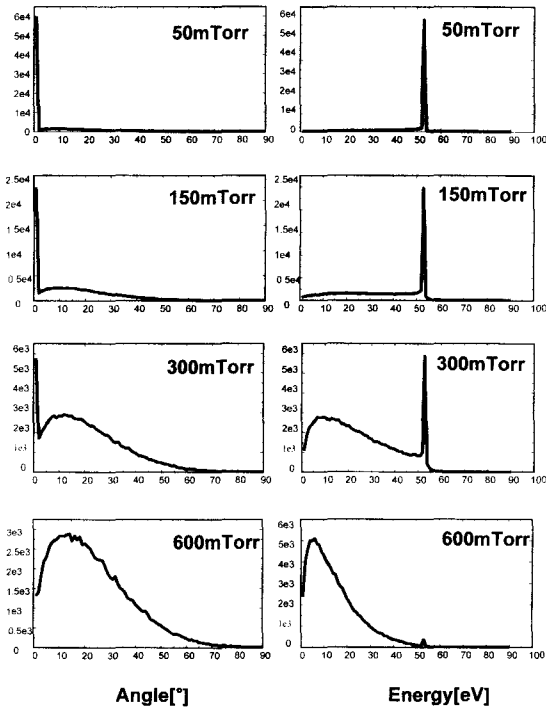


그림 4. 압력에 따른 이온의 각 및 에너지 분포
 Fig. 4. Plots showing the angular and energy distributions of the incident ions with different input pressure.

각 분포에서 압력이 낮을수록 작은 각을 즉, 큰 방향성을 나타내는 것을 볼 수 있다. 이온이 중성 입자와 충돌을 일으키지 않고 기판에 도달한다면, 에너지는 플라즈마 인가 전위 에너지인 50eV, 각은 0° 로 출력된다. 압력이 낮아지면 이온과 중성 입자간의 평균 자유행로가 이온 공핍층의 두께에 비해 커지므로 충돌 확률이 작아지고 기판으로 방향성을 가지고 주입되는 이온의 개수는 많아진다. 압력이 100 mTorr 이하에서는 비등방성 식각이 주가 되지만, 압력이 커질수록 등방성 식각의 비율이 점차 많아져 600 mTorr 이상에서는 비

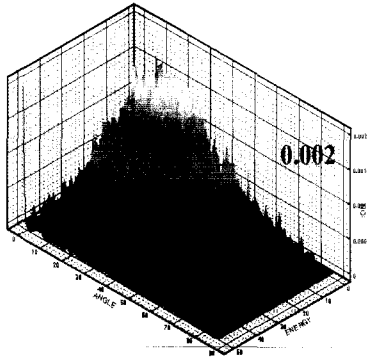
등방성 성질이 거의 없어지는 것을 볼 수 있다. 따라서, 미세 반도체 소자 제작을 위한 플라즈마 식각 공정에서는 챔버 내의 압력이 100 mTorr 이하가 되도록 입력 조건을 설정해 주어야 할 것으로 사료된다. 에너지 분포 역시 낮은 압력에서는 충돌이 거의 없기 때문에 전반적으로 기판에 도달하는 이온의 에너지도 큰 값을 나타냈고, 압력이 증가함에 따라서 점차로 이온의 에너지가 낮아지는 결과를 확인하였다.

IV. 병렬 컴퓨팅 토포그래피 진화 시뮬레이터

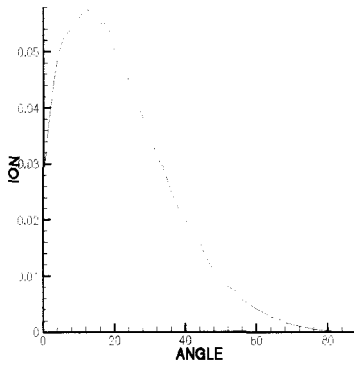
식각 되는 기판 표면의 토포그래피의 진화를 구현하기 위하여 셀 제거 알고리즘을 적용하였다. 셀 제거 알고리즘은 시뮬레이션 영역을 육면체의 셀들로 나누고, 표면의 셀들을 식각률에 따라 제거하는 알고리즘이다. 식각률은 셀의 체적 내에서는 일정하다고 가정하였으며, 식각률과 노출된 면의 수에 따라 경계면의 셀로부터 제거될 부피를 계산하여 제거한다^{2,3}. 각 시간 단계에서 노출된 셀로부터 부피를 제거할 때, 고정된 시간 간격으로 인하여 셀의 부피보다 과다하게 제거되는 경우가 발생한다. 이러한 경우에 셀의 부피는 음의 값이 되며, 발생한 오차는 인접한 셀에 전달되면서 누적된다. 이러한 오차를 줄이기 위하여 스피로버 알고리즘을 적용하였다.

앞서 계산한 입사 이온 거동 계산 결과를 적용하여 시뮬레이션을 수행하였다. 그림 5는 몬테카를로 이온 분포에 의한 시뮬레이션 결과로서 플라즈마 챔버 내의 압력이 600mTorr 일 경우이다. 그림 5(a)는 이온의 각 분포와 에너지 분포를 나타낸 결과이고, 그림 5(b)는 이온의 각 분포만을 나타낸 결과이며, 그림 5(c)는 식각 시뮬레이션 결과이다. 챔버 내의 압력이 낮으면 이온의 충돌이 감소하기 때문에 산란되는 이온의 수는 매우 적지만, 챔버 내의 압력이 높으면 이온의 충돌이 증가하기 때문에 이온의 산란 정도가 커져 0도에서 벗어난 분포를 보이며, 그림 5(c)에 나타난 바와 같이 언더컷이 강하게 형성된다.

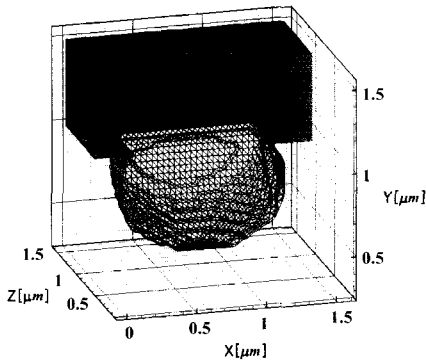
단일 CPU가 탑재되어 있는 SUN ULTRA 1 시스템 2대를 병렬 시스템화하여 여러 가지 마스크 구조에 대해서 시뮬레이션하였다. 각 SUN ULTRA 1 시스템은 143MHz CPU와 64Mb의 메모리, 200Mb의 스왑(Swap) 영역을 가지고 있다. 그림 6은 여러 가지 마스크 구조



(a)



(b)



(c)

그림 5. 몬테카를로 방법에 의한 이온 분포와 식각 시뮬레이션 결과. 압력=600mTorr (a) 이온의 각 분포 및 에너지 분포 (b) 이온의 각 분포만을 나타낸 결과 (c) 시뮬레이션 결과

Fig. 5. Plots showing an ion distribution calculated by MC(Monte Carlo) algorithm and the simulation result. pressure=600mTorr (a) An angular and energy distribution of the incident ions (b) An angular distribution (d) A resulting profile of etching process simulation.

에 대해서 시뮬레이션 결과로서 색이 다른 것은 각각의 시스템에서 수행된 결과이다. 그림 6(a)는 수직(y) 방향으로의 식각률만을 고려한 것이고, 그림 6(b)는 x, y, z 세 방향으로의 식각률의 비를 2:2:1로 설정하여 시뮬레이션한 결과이며, 그림 6(c)는 1:1:1로 설정하여 시뮬레이션한 결과이다. 그림 6(a)는 수직 방향으로의 식각률만 고려되었기 때문에 언더컷은 나타나지 않았다. 시뮬레이션 결과에서 알 수 있듯이 마스크의 구조와 셀의 크기에 관계없이 시뮬레이션이 성공적으로 수행됨을 확인할 수 있었다.

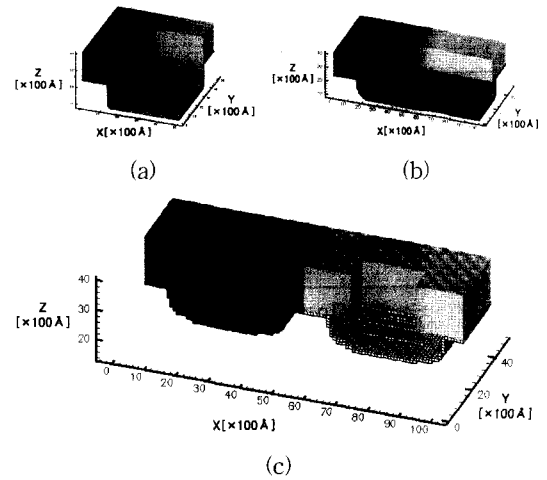


그림 6. 2개의 CPU를 이용하여 여러 자기 마스크 구조에 대해서 병렬 컴퓨팅 기법을 적용하여 시뮬레이션을 수행한 결과

Fig. 6. Plots showing the resulting profiles of etching process simulation to the several mask types by using 2 CPUs.

본 연구에서 개발한 병렬 컴퓨팅 표면 진화기를 CRAY T3E 슈퍼컴퓨터 환경에서 수행하였다. 식각 영역의 크기에 따라 프로세서의 수를 변화시켜가면서 식각 시뮬레이션을 수행하였다. 그림 7은 CRAY T3E 슈퍼컴퓨터에서 4개의 CPU를 이용하여 시뮬레이션한 결과로서 그림 7(a)는 양쪽 모두 같은 마스크 윈도우 크기의 트렌치 식각 시뮬레이션 결과이고, 그림 7(b)는 그림 7(a)의 시뮬레이션 결과를 Y-Y' 방향으로 자른 결과이다. 서로 다른 색들은 각각의 다른 CPU에서 수행된 결과를 나타낸다. 셀의 크기는 한 변의 길이가 100 Å 인 정육면체로서 모두 같으며, 마스크 윈도우의 크기는 2000 Å × 2000 Å, 두께는 500 Å 으로 설정하였고, 각 방향으로의 식각률은 1:1:1로 설정하여 시뮬레이

선택하였다. 제7도의 시물레이션에 사용된 전체 셀의 개수는 96,000개이고, 사용된 메모리는 약 29Mb이다.

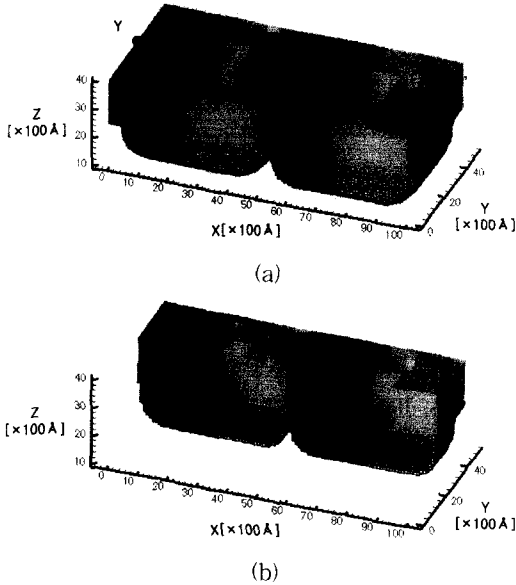


그림 7. 4개의 CPU를 이용하여 시물레이션을 수행한 결과. (a) 같은 마스크 윈도우 크기의 트렌치 형성을 위한 식각 공정 시물레이션 결과 (b) (a)의 결과를 Y-Y' 방향으로 자른 결과

Fig. 7. Plots showing the resulting profiles of etching process simulation by using 4 CPUs. (a) A resulting profile of etching process simulation for the trench formation with the same mask window size. (b) Cross-sectional view of Y-Y' plane.

다음으로 $2\mu\text{m} \times 2\mu\text{m}$ 의 넓은 영역에서 복잡한 패턴을 식각하는 시물레이션을 수행하였다. 일반 워크스테이션에서는 메모리와 계산 시간의 한계로 인하여 계산이 불가능하지만, 실제 반도체 공정에서 피치(Pitch)의 크기가 작아짐에 따라 나타나는 3차원 효과를 정확하게 분석하기 위해서는 이와 같은 넓은 영역의 시물레이션이 반드시 필요하다. 시물레이션에 사용된 셀은 한 변의 길이가 100 Å 인 정육면체이고, 이때, 사용된 전체 셀의 개수는 2백만 개이며, 약 600Mb 이상의 메모리가 필요하다. 따라서, 스왑 메모리가 200Mb 정도인 일반 워크스테이션에서는 시물레이션이 불가능하다. 제8도는 시물레이션 하고자하는 영역의 마스크 패턴의 사시도이며, 마스크의 두께는 $0.05\mu\text{m}$ 이다. 그림 9는 그림 8의 마스크 패턴에 대한 시물레이션 결과로서 그림 9(a)는 식각 시물레이션의 최종 결과이며, 그림 9(b)

는 마스크를 제거하고 나타난 시물레이션 결과이다. 이 시물레이션에 사용된 CPU의 수는 32개이며, 15분 정도의 계산 시간이 소요되었다.

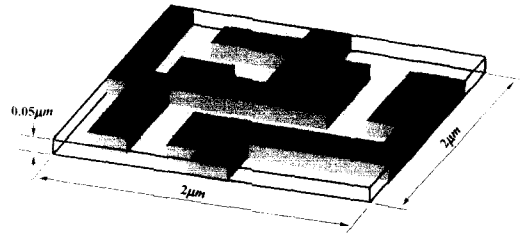


그림 8. $2\mu\text{m} \times 2\mu\text{m}$ 크기의 마스크 패턴
Fig. 8. A plot showing the mask pattern of $2\mu\text{m} \times 2\mu\text{m}$ window size.

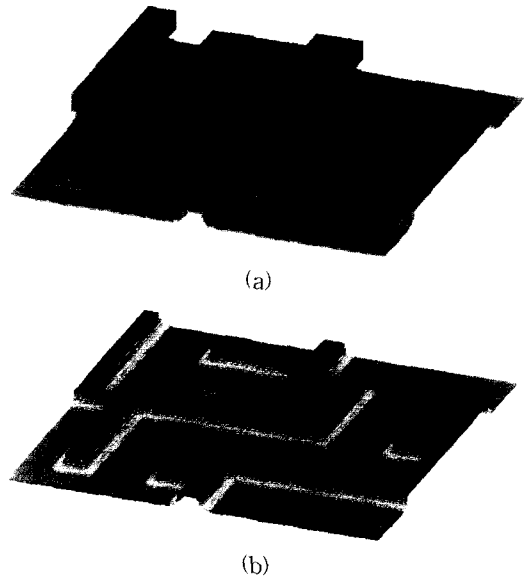


그림 9. 마스크 패턴에 대한 시물레이션 결과 (a) 최종 결과 (b) 마스크를 제거하고 나타난 결과
Fig. 9. Plots showing (a) the resulting profile after etching process simulation, and (b) the resulting profile without mask.

V. 결론

본 연구에서는 플라즈마 식각 리액터 내의 반응 이온이 기판 표면에 도달할 때 갖게 되는 3차원적인 입사각과 에너지 분포를 몬테카를로 수치해석 기법을 이용하여 구현하였다. 몬테카를로 수치해석 기법을 병렬화하여 95% 이상의 효율성을 갖는 병렬 컴퓨팅 스피드업 특성을 얻었다. 식각 이온의 거동에 의한 기판의 식각 형상을 확인하기 위하여 셀 방식을 이용한 표면 전

진기를 개발하였다. 표면 전진 식각 시뮬레이션을 수행하기 위하여, 여러 대의 워크스테이션을 연결한 MPI 병렬 환경과 CRAY T3E 병렬 컴퓨터를 이용한 컴퓨팅 환경을 확립하였다. 셀 방식의 병렬 연산 표면 전진기를 이용하여 셀의 개수가 2백만 개 일때, 약 600Mb 이상의 메모리가 소요되는 토포그래피 시뮬레이션에서 32개의 프로세서에서 15분의 계산시간이 소요되었다.

개발된 병렬 컴퓨팅 환경의 시뮬레이터는 표면의 진화 계산에 있어서 간단한 모델만을 적용하였으나, 앞으로 기판 표면에서의 다양한 물리·화학적 반응 메커니즘의 모델링과 실험을 통하여 빠른 시간 안에 정확한 계산이 가능하리라 사료된다.

본 연구는 1998년도 ETRI 슈퍼컴퓨터센터 연구비지원(과제번호:D2156) 및 1999년도 정보통신부 '정보통신 우수대학원' 지원사업의 일환으로 수행하였습니다.

참 고 문 헌

[1] A. Schwerin and A. Spitzer, "Industrial demands on process and device simulation," Proc. of SISPAD 98, pp. 348~355, 1998.
 [2] J. Lorenz, E. Bar, A. Burenkov, W. Henke, and

M. Weib, "Three-dimensional process simulation," pp. 109-135, Springer-Verlag Wien, 1995.
 [3] E. Scheckler, "Algorithms for three-dimensional simulation of etching and deposition processes in integrated circuits fabrication," Memo. no. UCB/ERLM91/99, University of California, Berkeley, Nov. 12, 1991.
 [4] R. Strasser and S. Selberherr, "Parallel and distributed TCAD simulations using dynamic load balancing," Proc. of SISPAD 98, pp. 89~92, 1998.
 [5] M. Lieberman, "Principles of plasma discharges and materials processing," John Wiley & Sons, 1994.
 [6] J. Ziegler, et. al., "The stopping and range of ions in solids," Vol. 1, NewYork: Pergamon, 1985.
 [7] Jianping Ahu, "Solving partial differential equations on parallel computers," World Scientific Publishing, 1994.
 [8] Marc Snir, "MPI: The Complete Reference," The MIT Press, 1996.

저 자 소 개

李濟熙(正會員) 第34卷 D編 第2號 參照
 1968년 10월 5일 생. 1992년 인하대학교 응용물리학과(공학사). 1994년 인하대학교 전자재료공학과(공학석사). 1999년 인하대학교 전자재료공학과(공학박사). 1999년~현재 (주)현대 마이크로일렉트로닉스 리서치센터 TCAD팀의 선임연구원. 주관심분야는 반도체 소자 및 공정, 시뮬레이션 등임

潘用瓊(正會員) 第35卷 D編 第2號 參照
 1974년 7월 7일생. 1997년 인하대학교 전자재료공학과(공학사). 1999년 인하대학교 전자재료공학과(공학석사). 1997년~현재 인하대학교 전자재료공학과 박사과정. 주관심분야는 반도체 공정 물리, 시뮬레이션 등임

權五燮(正會員) 第35卷 D編 第2號 參照
 1972년 9월 18일생. 1997년 인하대학교 전자재료공학과(공학사). 1999년 인하대학교 전자재료공학과(공학석사). 1999년~현재 인하대학교 전자재료공학과 박사과정. 주관심분야는 반도체 공정 물리, 시뮬레이션 등임

元太映(正會員) 第34卷 D編 第2號 參照
 1959년 2월 21일생. 1981년 서울대학교 전자공학과(공학사). 1983년 한국과학기술원 전기 및 전자공학과(공학석사). 1989년 미국 University of Illinois at Urbana-Champaign 전자공학과(공학박사). 1989년~1990년 미국 State University of New York 조교수. 1990~1991년 삼성전자(주) 수석 연구원. 1991년~현재 인하대학교 공과대학 전자전기컴퓨터공학부 부교수. 주관심분야는 반도체 소자 및 공정 등임