

論文99-36D-10-3

플래시 EEPROM 셀에서 ONON(oxide-nitride-oxide-nitride) Inter-Poly 유전체막의 신뢰성 연구

(Study of the Reliability Characteristics of the
ONON(oxide-nitride- oxide-nitride) Inter-Poly
Dielectrics in the Flash EEPROM cells)

申奉祚*, 朴根亨**

(Bong Jo Shin and Keun Hyung Park)

요약

이 논문에서는 플래시 EEPROM 셀에서의 데이터 보존 특성을 개선하기 위해서 IPD(inter-poly-dielectrics) 층을 사용하는 새로운 제안에 관한 연구 결과들을 논의하였다.

이 연구를 위하여 약 10nm 두께의 게이트 산화막을 갖으며 또한 ONO 또는 ONON IPD 층을 갖는 적층형-게이트 플래시 EEPROM 셀들을 제작하였다. 측정 결과를 보면, ONO IPD 층을 갖는 소자들은 데이터 보존 특성이 심각하게 열화 되었으며, 그 특성의 활성화 에너지도 0.78 eV로 플래시 EEPROM 셀을 위하여 요구되는 최소 값(1.0 eV)보다 상당히 낮았다. 이는 구동 소자용 트랜지스터(peripheral MOSFET) 소자들의 게이트 산화막을 형성하기 위한 건열산화 공정 바로 직전에 실시하는 세정 공정 동안 IPD 층의 상층 산화막의 일부 또는 전부가 식각되었기 때문인 것으로 믿어진다. 반면에, ONON IPD 층을 갖는 소자들의 데이터 보존 특성은 상당히 (약 50% 이상) 개선되었으며 활성화 에너지도 1.1 eV인 것으로 나타났다. 이는 IPD 층에서 상층 산화막 위에 있는 질화막이 그 세정 공정 동안 상층 산화막이 식각되는 것을 방지해 주기 때문임에 틀림없다.

Abstract

In this paper, the results of the studies about a new proposal where the ONON(oxide-nitride-oxide-nitride) layer instead of the conventional ONO(oxide-nitride-oxide) layer is used as the IPD (inter-poly-dielectrics) layer to improve the data retention problem in the Flash EEPROM cell, have been discussed.

For these studies, the stacked-gate Flash EEPROM cell with an about 10nm thick gate oxide and an ONO or ONON IPD layer have been fabricated. The measurement results have shown that the data retention characteristics of the devices with the ONO IPD layer are significantly degraded with an activation energy of 0.78 eV, which is much lower than the minimum value (1.0 eV) required for the Flash EEPROM cell. This is believed to be due to the partial or whole etching of the top oxide of the IPD layer during the cleaning process performed just prior to the dry oxidation process to grow the gate oxide of the peripheral MOSFET devices. Whereas the data retention characteristics of the devices with the ONON IPD layer have been found to be much (more than 50%) improved with an activation energy of 1.10 eV. This must be because the thin nitride layer on the top oxide layer in the ONON IPD layer protected the top oxide layer from being etched during the cleaning process.

* 正會員, 忠北大學校 電子工學科

(Department of Electronic Engineering Chungbuk
National University)

** 正會員, 忠北大學校 半導體工學科

(Department of Semiconductor Engineering Chungbuk
National University)

接受日字:1999年3月22日, 수정완료일:1999年9月30日

I. 서론

최근 비휘발성 반도체 메모리의 일종인 플래시 EEPROM이 세계 시장규모가 매년 2배 가량 급속한 성장을 함에 따라서 크게 각광을 받고 있다. 그런데 플래시 EEPROM 셀의 크기가 점점 더 축소됨에 따라 IPD의 두께가 점점 더 얇아지고 따라서 데이터 보존 특성이 매우 중요한 신뢰성 항목중의 하나가 되었다^[1].

플래시 EEPROM 셀 크기의 감소와 함께 구동 소자용 트랜지스터의 게이트 산화막 두께가 최근에는 10 nm 이하까지 감소함에 따라서 고품질의 게이트산화막을 얻기 위해서는 게이트 산화막을 기르기 바로 직전에 99:1의 희석 HF 용액을 사용한 세정공정을 첨가하여 실시하게 되었다. 그런데 이 세정 공정은 셀 ONO(oxide-nitride-oxide) 막의 상층 산화막(top oxide)의 상당 부분을 식각하게 됨에 따라서 셀의 데이터 보존 특성이 심각하게 열화되는 문제가 발생하게 되었다.

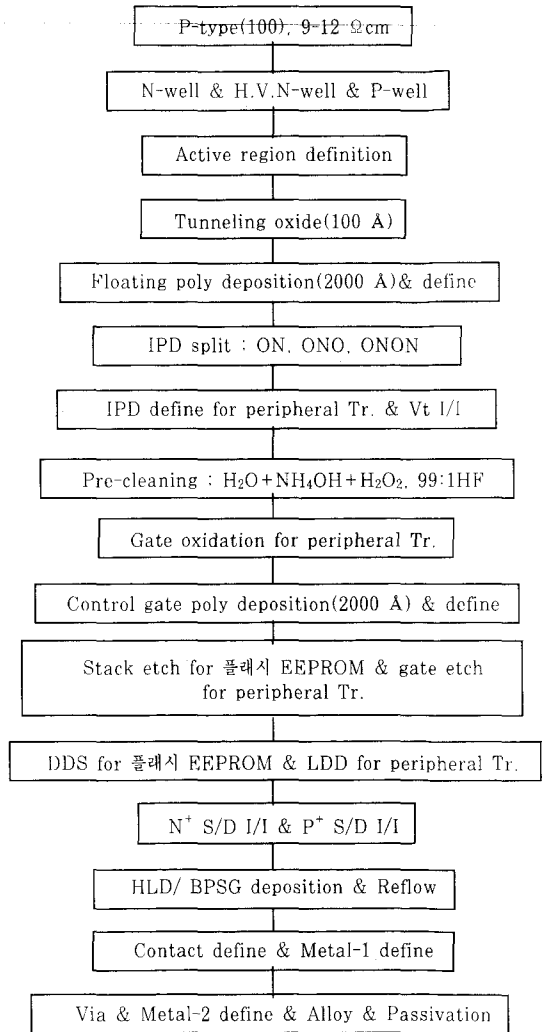
이 문제의 한가지 해결책은 이 세정 공정 동안에 소실되는 것을 고려하여 질화막 위에 상층 산화막을 두껍게 기르는 것이나, 이는 고온의 열처리 공정을 요구함으로 바람직하지 않다.

본 논문에서는 위에서 언급한 문제의 해결책으로 플래시 EEPROM 셀에서 ONON(oxide-nitride-oxide-nitride) 구조의 IPD를 사용하는 것을 세계에서 처음으로 제안하였고, 또한 향후 이 ONON구조의 IPD를 사용할 수 있는지를 평가하기 위하여 ONON 구조의 IPD를 사용한 소자들의 프로그램, 소거, 게이트 disturb 및 endurance 특성들을 평가하였다.

II. 실험 과정

실험 과정을 간략히 살펴보면, 먼저 비저항이 9~12 Ωcm인 (100) P형 웨이퍼를 이용하여 0.6μm CMOS 이층배선 공정으로 플래시 EEPROM 셀들을 제작하였다. 공정 진행은 그림 1과 같이 터널링 산화막은 850 °C에서 습식 산화에 의해 100 Å을 성장시켰고, 이 산화막의 성장 후에는 약 2000 Å 두께의 다결정실리콘(polysilicon)을 증착하고 도핑하였다. 이후 IPD 구조에 대한 데이터 보존 특성 및 그에 따른 프로그램/소거 특성에 미치는 영향 등을 분석하기 위하여 IPD를

ON(oxide-nitride), ONO 및 ONON 구조로 형성하였다. 이 IPD의 하층 산화막(bottom oxide)은 열 산화에 의해 부유게이트 위에 약 120 Å을 성장시켰고, 중간 질화막은 LPCVD를 이용하여 170 Å을 증착하였으며, ONO와 ONON 구조에서는 그 질화막 위에 습식 산화에 의해 30 Å 또는 55 Å 두께의 상층 산화막을 성장하였다. ONON 구조에서는 이 상층 산화막 위에 LPCVD로 또 한층의 30 Å 두께의 질화막을 증착하였다



DDS : Double Diffusion Source

HLD : High temperature Low pressure Dielectric

그림 1. 테스트 소자 공정 순서도

Fig. 1. Process flow of test devices.

IPD 공정 후에는 구동 소자용 트랜지스터의 게이트를 형성하기 위하여 peripheral 영역에 형성된 IPD 층

을 전식각을 이용하여 식각하고 나서 구동 소자용 트랜지스터의 게이트 산화막을 성장시켰다. 그런데 이 산화막을 성장시키기 직전에 표준 세정 공정(H₂O:NH₄OH:H₂O₂:10분, 99:1HF:20초)을 이용하여 세정을 반드시 실시하게 되는데 이때 이 공정과정에서 ONO IPD의 경우에는 약 20~30 Å의 산화막이 제거되는 문제가 발생하게 되었다. 그러나 ONON 구조에서는 상층 산화막 위에 질화막이 있으므로 이 세정 동안에 상층 산화막이 보호되었다. 이 공정 이후에는 그림 1에서 볼 수 있는 바와 같이 표준 CMOS 공정을 이용하여 공정을 완료하였다. 이상과 같이 본 연구를 위해 제작된 테스트 소자들의 스펙트를 표 1에 나타내었다. 여기서 하층 산화막과 질화막 두께는 TEM(transmission electron microscopy)을 이용하여 측정하였고(그림2), 상층 산화막 두께는 HP4280A(CV메타)를 사용하여 측정하였다.

표 1. 테스트 소자들의 스펙트
Table 1. Split of test devices.

테스트 소자	IPD			
	O	N	O	N
A	120Å	135Å	---	---
B	120Å	135Å	30Å	---
C	120Å	135Å	55Å	---
D	120Å	135Å	30Å	30Å
E	120Å	135Å	55Å	30Å



그림 2. ONON IPD 구조의 TEM 단면도. (120 Å 하층 산화막 / 135 Å 질화막 / 30 Å 상층 산화막 / 30 Å 질화막)

Fig. 2. A cross-sectional view of TEM micrograph of ONON IPD structure. (120 Å bottom oxide / 135 Å nitride / 30 Å top oxide / 30 Å nitride)

이렇게 제작된 플래시 EEPROM 셀들은 그 소자들의 여러 가지 특성들을 측정하기 전에 먼저 열전자 주입 방법으로 프로그래밍하고, 소스 쪽으로 FN(Fowler-Nordheim)터널링 방식을 이용한 소거 동작을 1000 회씩 반복하여 실시하였다. 그런 후에, 일부 소자들에 동일하게 6.2 V의 초기 상태 프로그램 전압이 되도록 프로그래밍 한 후에 굽는(bake) 온도를 180 °C, 220 °C, 250 °C에서 시간에 따른 프로그램 문턱 전압의 감소를 측정하여 IPD 구조에 따른 데이터 보존 특성을 평가하였다. 또한 테스트 소자들의 프로그램/ 소거 동작 반복과 문턱 전압 측정을 위하여 펄스 발생기와 반도체 소자 파라메타 분석기의 일종인 HP 4156A를 이용하여 전기적인 특성을 측정하였다. 본 실험에서 사용된 모든 소자들의 W/L = 0.75/0.65 μm 이었다.

III. 실험 결과 및 고찰

1. 데이터 보존 특성

IPD 구조 및 상층 산화막 두께 변화에 대한 전하 유지 특성을 비교하기 위하여 180 °C에서 굽는 시간에 따른 초기 상태의 프로그램 문턱 전압 감소를 그림 3에 나타내었다. 그림 3의 결과를 보면 동일한 굽는 조건에서 ONON 구조에서 문턱 전압 감소가 가장 적었고, 그 다음으로는 ONO, ON 구조의 순서로 문턱 전압 감소가 증가하였다. 우선 ONO의 구조를 먼저 살펴보면, 상층 산화막의 두께가 30 Å인 테스트 소자 B의 경우는 초기 20 시간 굽기까지 문턱 전압이 0.80 V 이상 급격히 감소하였다. 이렇게 급격한 문턱 전압 감소는

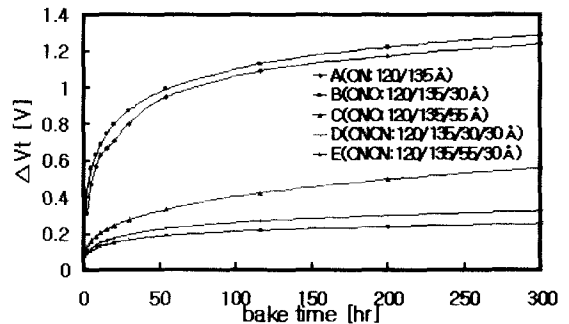


그림 3. 180 °C에서 굽는 시간에 따른 프로그램 문턱 전압 감소

Fig. 3. Threshold voltage decrease as the function of bake time at 180°C.

ON 구조를 갖는 테스트 소자 A와 유사한 특성을 보였는데 이는 구동 소자용 트랜지스터의 게이트 산화막 세정 공정에서 상층 산화막이 제거되어 테스트 소자 A가 ON 구조로 되었기 때문에 전하 유지 특성이 매우 열화된 것으로 판단된다.

이와 같이 상층 산화막이 없으면 ONO 형성시 트랩된 전하가 산화막 내에서 이동하거나 분극(polarization) 현상에 기인되어 문턱 전압 감소가 크게되는 것으로 알려져 있다^[2]. 또한 상층 산화막의 두께가 55Å인 테스트 소자 C의 경우는 초기 20 시간 굽기까지 문턱 전압 감소가 0.24 V로 테스트 소자 A와 B에 비하여 문턱 전압 감소가 심하지 않음을 볼 수 있는데 이는 구동 소자용 트랜지스터의 게이트 산화막 세정 공정에서 상층 산화막의 일부만이 제거되고 약 25 Å의 상층 산화막이 남아 있어서 ON구조의 데이터 보존 특성보다 향상되었다고 볼 수 있다. 그러나 굽는 시간이 증가할수록 문턱 전압 감소가 심해져서 300시간 후에는 약 0.56 V의 문턱 전압 감소를 보이는데 이는 앞에서 언급한 바와 같이 산화막 세정 공정 중에 ONO의 상층 산화막 두께가 얇아졌기 때문인 것으로 판단된다^[2,3].

다음으로, ONON 구조를 살펴보면 상층 산화막 두께가 30 Å인 테스트 소자 D의 경우는 초기 20시간 굽기까지 문턱 전압 감소는 0.17 V이고, 300시간 후에는 0.33 V로 ONO 구조인 테스트 소자 C에 비하여 문턱 전압 감소가 상당히 작았다. 이들 두 소자간의 문턱 전압 감소비율은 그림 3과 같이 5 시간 구운 후에는 약 25 %, 20 시간 후 28 %, 50 시간 후 30 %, 116 시간 후 36 %, 200 시간 후 39 %이고 300 시간 후에는 42 %로 굽는 시간이 증가할수록 문턱 전압 감소 비율의 차이가 커짐을 알 수 있다. 이와 같이 ONON의 IPD 구조를 사용하면 상층 산화막의 두께가 ONO 구조보다 얇아도 전하 유지 특성이 월등히 개선되었다. ONON의 상층 산화막 두께가 55Å인 테스트 소자 E의 경우는 데이터 보존 특성이 더욱 뚜렷이 개선되었다.

앞의 실험 결과는 차세대 플래시 EEPROM 셀을 개발하는데 있어서 대단히 중요한 의미를 갖고 있다. 예를 들어, ONO 구조의 IPD를 사용하는 경우에는 구동 소자용 트랜지스터의 게이트 산화막을 성장시킬 때의 세정 공정으로 인하여 상층 산화막의 상당 두께가 소실되기 때문에 플래시 EEPROM 셀의 데이터 보존 특성이 크게 열화된다. 따라서 이 문제를 해결하기 위해서 상층 산화막의 두께를 크게 증가시켜야 한다. 그러

나, 이는 바와 같이 상층 산화막은 LPCVD로 증착된 질화막을 열산화 공정을 통하여 성장시키는데 이때의 산화 속도가 대단히 낮기 때문에 더 두꺼운 상층 산화막을 성장시키기 위해서는 그 열산화막 공정의 열량(thermal budget)을 크게 증가시켜야 한다. 그러나 이는 플래시 EEPROM 셀의 게이트 산화막에서의 옥사이드 릿즈(oxide ridge) 형성의 증가와 ONO 막의 스트레스 증가로 인하여 게이트 산화막의 신뢰성이 크게 열화되는 문제가 초래되기 때문에 결코 바람직스럽지 않다^[2-4]. 반면에, ONON 구조의 IPD를 사용하는 경우에는 상층 산화막의 두께를 증가시킬 필요가 없기 때문에 이러한 문제를 전혀 염려할 필요가 없게 된다.

ONO 구조인 테스트 소자 B를 150 °C, 180 °C, 220 °C의 3가지 온도에서, ONON 구조인 D와 E를 180 °C, 220 °C, 250 °C의 3가지 온도에서 초기 프로그램 문턱 전압이 0.5 V 감소하는 값을 이용하여 활성화 에너지(Ea)를 구하였다(그림 4). 일반적으로 플래시 EEPROM 셀에 적합한 활성화 에너지는 1.0 eV 이상으로, 이 범위의 활성화 에너지는 180 °C에서 20 시간은 55 °C에서 100 년 이상의 데이터 보존 특성을 나타낸다^[5].

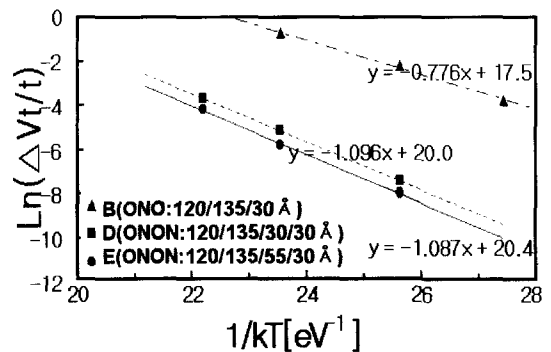


그림 4. 플래시 EEPROM 소자들의 데이터 보존 특성의 Arrhenius도표

Fig. 4. Arrhenius plot of data retention characteristics of flash EEPROM devices.

측정 결과를 보면, 테스트 소자 B의 경우는 활성화 에너지가 0.78 eV로 너무 낮아 플래시 EEPROM 셀에 사용하기가 어려울 것으로 판단된 반면에, 테스트 소자 D와 E는 각각 1.09 eV와 1.1 eV로 매우 양호하였다.

2. 프로그램/소거 특성 및 기타 전기적인 특성

데이터 보존 특성이 매우 좋은 ONON 구조의 IPD를 향후 플래시 EEPROM에 사용할 수 있는지를 확인하기

위하여 프로그램/소거, 게이트 disturb 및 endurance 특성을 평가하였다.

그림 5는 IPD 구조 및 상층 산화막 두께 변화에 따른 플래시 EEPROM의 프로그램 특성을 프로그램 시간에 대한 프로그램 문턱 전압으로 나타내었다. 프로그램 조건은 모든 테스트 소자들에 대하여 동일한 조건으로, 소스와 기판을 접지하고 제어 게이트에 11.5 V, 드레인에 5.5 V를 인가하였다. 30 μ s에서 프로그램 문턱 전압을 비교하면 ONON 구조를 갖는 테스트 소자 D는 6.2 V, E는 6.0 V로 ONO 구조인 C의 6.2 V에 비하여 프로그램 속도의 차이는 거의 없음을 알 수 있다.

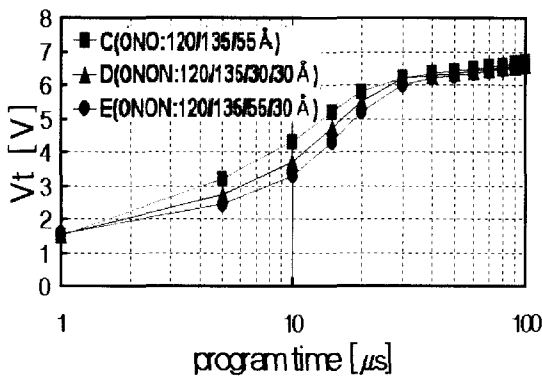


그림 5. 플래시 EEPROM 소자들의 프로그램 특성
Fig. 5. Program characteristics of flash EEPROM devices.

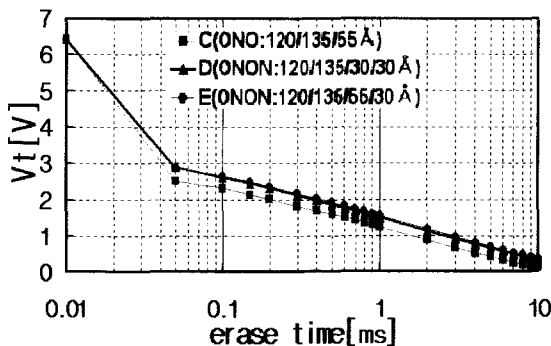


그림 6. 플래시 EEPROM 소자들의 데이터 소거 특성
Fig. 6. Data erase characteristics of flash EEPROM devices.

또한, 그림 6은 소거 특성을 소거 시간에 대한 소거 문턱 전압으로 나타내었다. 소거 시 소거 특성을 상대적으로 비교하기 위하여 모든 테스트 소자들에게 동일한 조건으로, 제어 게이트와 기판은 접지하고, 드레인은 부동(floating)시킨 다음 소스에 11.5 V의 전압 펄스를

인가하였다. 또한, 소거 전의 프로그램 문턱 전압은 모두 6.4 V로 동일하게 하였다. 실험 결과를 살펴보면 그림 6에서 볼 수 있는 바와 같이 모든 소자들의 소거 특성은 서로 거의 동일하였다.

한편으로, 그림 7은 IPD 구조 변화에 따른 게이트 disturb 특성을 보여주고 있다. 이 실험을 위하여는 드레인, 소스, 기판은 접지하고 제어 게이트에 11.5 V의 전압 펄스를 인가하였다. 여기서 볼 수 있는 바와 같이 모든 테스트 소자들에서 게이트 disturb는 없는 것으로 나타났다.

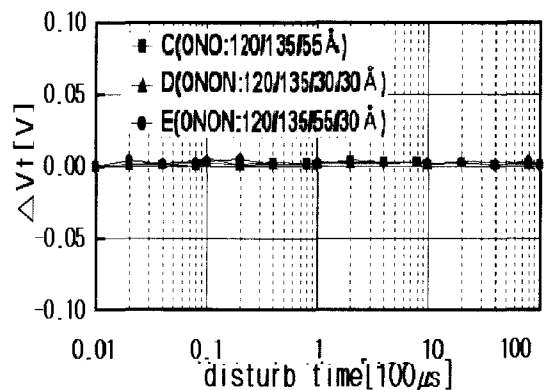


그림 7. 플래시 EEPROM 소자들의 게이트 disturb 특성
Fig. 7. Gate disturb characteristics of flash EEPROM devices.

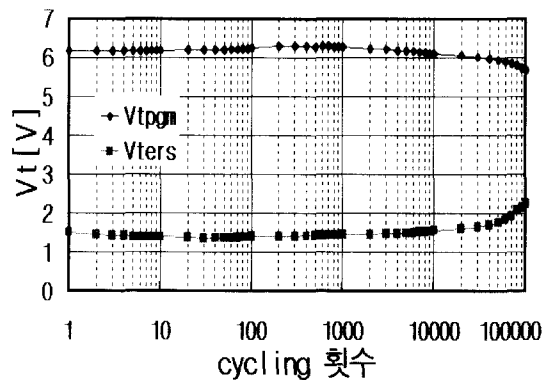


그림 8. ONON IPD 구조를 갖고 있는 플래시 EEPROM 소자의 endurance 특성
Fig. 8. Endurance characteristic of the flash EEPROM devices with the ONON IPD structure.

마지막으로, 그림 8은 ONON 구조인 테스트 소자 D의 endurance 특성의 결과를 보여 주고 있다. 여기서도 10^5 회 cycling 까지 양호한 특성을 나타내고 있다.

IV. 결 론

지금까지의 실험 결과들을 살펴보면, 플래시 EEPROM 셀의 IPD를 기존의 ONO 구조로 하였을 경우에는 구동 소자용 트랜지스터의 게이트 산화막 공정시의 세정 공정으로 인하여 상층 산화막의 일부 또는 전부가 식각됨으로 인하여 데이터 보존 특성이 심각하게 열화되는 것을 볼 수 있었다. 이러한 문제를 해결하기 위한 방안으로 플래시 EEPROM 셀의 IPD를 ONON 구조로 사용한 결과 그 소자의 데이터 보존 특성이 크게 개선되었으며, 또한 기존의 ONO 구조의 IPD를 갖는 소자들에 비해서 프로그램/ 소거, 게이트 disturb, 및 endurance 특성들이 조금도 열화되지 않았다. 따라서, 향후 플래시 EEPROM 셀을 개발하면서 IPD 두께를 scale-down 하 고자 할 경우에 ONON 구조를 사용하면 데이터 보존 특성의 열화를 방지할 수 있음을 알 수 있었다.

참 고 문 헌

[1] Seiich Mori, Yukio Kaneko, Yoichi Oshima, and Kuniyoshi Yoshikawa, "Reliability study of thin interpoly dielectrics for non-volatile memory application", IEEE/IRPS, p.132, 1990.

[2] Ken Wu, Cheng-Sheng Pan, J.J. Shaw, Philip Freiberger, and George Sery, "A model for EPROM Intrinsic Charge loss through Oxide-Nitride-Oxide (ONO) Interpoly Dielectric", IEEE/IRPS, p.145, 1990.

[3] Cheng-Sheng PAN, et al, "A Scaling Methodology for Oxide-Nitride-Oxide Interpoly Dielectric for EPROM Applications", IEEE Trans. Electron Devices. Vol.37, No.6, p.1439, 1990.

[4] 황현상, 박근형 공역, 플래시 메모리 기술, 지성출판사, 1995

[5] Gantam Verma and Neal Mielko, "Reliability Performance of ETOX Based Flash Memories", IEEP/IRPS, p.158, 1988.

저 자 소 개

申 奉 祚(正會員) 현재, 현대반도체 책임 연구원
충북대학교 전자공학과 박사 과정

朴 根 亨(正會員)
1954년생. 1984년 한양대학교 전자공학과 졸업(학사). 1987년 University of Michigan (Ann Arbor) 전기공학과(석사). 1992년 University of Texas at Austin 전기공학과 (박사). 1992년~1993년 미국 Cypress Semiconductor에서 Senior Technology Engineer. 1993년~1994년 LG 반도체의 중앙연구소에서 책임연구원으로서 Flash EEPROM 개발. 현재 충북대학교 전기전자공학부 조교수, 약 20여편의 기술논문 발표. 주 관심분야는 Flash EEPROM과 FRAM의 공정 및 셀 개발과 초박막 유전체의 신뢰성 향상 등임