

論文99-36D-10-2

Flash EEPROM의 Inter-Poly Dielectric 막의 새로운 구조에 관한 연구

(Study of the New Structure of Inter-Poly Dielectric Film of Flash EEPROM)

申奉祚*, 朴根亨**

(Bong-Jo Shin and Keun-Hyung Park)

요 약

Flash EEPROM 셀에서 기존의 ONO 구조의 IPD를 사용하면 peripheral MOSFET의 게이트 산화막을 성장할 때에 사용되는 세정 공정으로 인하여 ONO 막의 상층 산화막이 식각되어 전자 보존 특성이 크게 열화되었으나 IPD 공정에서 ONON 막을 사용하면 그 세정 공정에 상층 질화막이 상층 산화막이 식각되는 것을 방지시켜 줌으로 전자보존 특성이 크게 개선되었다.

ONON IPD 막을 갖고 있는 Flash EEPROM 셀의 전하 보존 특성의 모델링을 위하여 여기서는 굽는(bake)동안의 전하 손실로 인한 문턱전압 감소의 실험식으로 $\Delta V_t = \beta t^m e^{-E_a/kT}$ 을 사용하였으며, 측정 결과 $\beta=184.7$, $m=0.224$, $E_a=0.31$ eV의 값을 얻었다. 이러한 0.31 eV의 활성화 에너지 값은 굽기로 인한 문턱전압의 감소가 층간 질화막 내에서의 트랩된 전자들의 이동에 의한 것임을 암시하고 있다.

한편, 그 모델을 사용한 전사 모사의 결과는 굽기의 thermal budget이 낮은 경우에 실험치와 잘 일치하였으나, 반면에 높은 경우에는 측정치가 전사 모사의 결과보다 훨씬 더 크게 나타났다. 이는 thermal budget가 높은 경우에는 프로그램시에 층간 질화막 내에 트랩되어 누설전류의 흐름을 차단해 주었던 전자들이 빠져나감으로 인하여 터널링에 의한 누설전류가 발생하였기 때문으로 보여졌다. 이러한 누설전류의 발생을 차단하기 위해서는 ONON 막 중에서 층간 질화막의 두께는 가능한 얇게 하고 상층 산화막의 두께는 가능한 두껍게 하는 것이 요구된다.

Abstract

When the conventional IPD (inter-poly-dielctrics) layer with the ONO(oxide-nitride-oxide) structure was used in the Flash EEPROM cell, its data retention characteristics were significantly degraded because the top oxide of the ONO layer was etched off due to the cleaning process used in the gate oxidation process for the peripheral MOSFETs. When the IPD layer with the ONON(oxide-nitride-oxide-nitride) was used there, however, its data retention characteristics were much improved because the top nitride of the ONON layer protected the top oxide from being etched in the cleaning process.

For the modelling of the data retention characteristics of the Flash EEPROM cell with the ONON IPD layer, the decrease of the threshold voltage due to the charge loss during the bake was here given by the empirical relation $\Delta V_t = \beta t^m e^{-E_a/kT}$ and the values of the $\beta = 184.7$, $m = 0.224$, $E_a = 0.31$ eV were obtained with the experimental measurements. The activation energy of 0.31 eV implies that the decrease of the threshold voltage by the bake was due to the movement of the trapped electrons inside the inter-oxide nitride layer.

On the other hand, the results of the computer simulation using the model were found to be well consistent with the results of the electrical measurements when the thermal budget of the bake was not high. However, the latter was larger than the former in the case of the high thermal budget. This seems to be due to the leakage current generated by the extraction of the electrons with the bake which were injected into the inter-oxide nitride layer and were trapped there during the programming, and played the role to prevent the leakage current. To prevent the generation of the leakage current, it is required that the inter-oxide nitride layer and the top oxide layer be made as thin and as thick as possible, respectively.

* 正會員, 忠北大學校 電子工學科
(Dept. of Electronic Engineering Chungbuk Nat'l Univ.)

(Department of Semiconductor Engineering Chungbuk
National University)

** 正會員, 忠北大學校 半導體工學科

接受日字:1999年5月24日, 수정완료일:1999年9月27日

I. 서론

비휘발성 반도체 소자 중의 하나인 Flash EEPROM 소자가 scale down됨에 따라서 peripheral 영역에 있는 MOSFET 소자들의 게이트 산화막의 두께가 계속 감소하는 추세에 있다. 더불어서 셀의 단자들 사이의 일정한 정전용량 결합 계수(capacitive coupling ratio)를 유지하기 위해서 IPD(inter poly dielectrics) 막의 두께도 함께 감소하고 있다. 그런데, 이러한 게이트 산화막과 IPD 막의 두께 감소로 인하여 셀의 데이터 보존 특성이 심각하게 열화되는 문제가 발생되고 있다¹⁾.

지금까지 일반적으로 널리 사용되어 온 적층게이트 Flash EEPROM의 제조 공정 순서를 보면,

- ① ONO (oxide-nitride-oxide) 구조를 가진 IPD 막 형성
- ② 감광막으로 셀 영역을 보호한 다음 건식각을 사용하여 peripheral 영역에 형성된 ONO 막 식각
- ③ BOE dip으로 residual 산화막 식각
- ④ 감광막 제거
- ⑤ 열산화 공정으로 약 20 nm 두께의 게이트 산화막 성장이었다.

이러한 일련의 공정 과정은 셀의 ONO 막에 아무런 영향을 미치지 않고 있다.

그러나, Flash EEPROM이 scale-down 됨에 따라서 peripheral MOSFET의 게이트 산화막 두께가 최근에는 10 nm 이하까지 감소함에 따라서 고품질의 게이트 산화막을 얻기 위해서는 게이트 산화막을 기르기 바로 직전에 99:1의 희석 HF 용액을 사용한 세정 공정을 첨가하여 실시하게 되었다. 그런데 이 세정 공정은 셀 ONO 막의 상층 산화막의 상당 부분을 심각하게 됨에 따라서 만일 그 상층 산화막의 두께가 얇은 경우에는 이 막이 그 세정 공정으로 인하여 그 막이 모두 소실되어 결국 ONO가 아닌 ON 막이 되고 따라서 셀의 데이터 보존 특성이 심각하게 열화되는 문제가 발생하게 되었다. 이 문제의 한가지 해결책은 이 세정 공정 동안에 소실되는 것을 고려하여 처음에 질화막에 상층 산화막을 기를 때 두껍게 기르는 것이나, 이는 고온의 열처리 과정을 거쳐야 함으로 셀의 게이트 산화막의 신뢰성에 매우 부정적인 영향을 미침으로 결코 바람직한 해결책이 아니다.

본 논문에서는 위에서 언급한 문제의 해결책으로 Flash EEPROM 셀에서 ONON(oxide-nitride oxide-nitride) 구조의 IPD를 사용하는 것을 세계에서 처음으로 제안하였으며 그 실험 결과에 대해 논의하고자 한다. 기존의 ONO 막위에 또 하나의 약 3 nm 두께의 아주 얇은 질화막을 입히면 앞에서 언급한 세정 공정 중에 발생했던 상층 산화막의 식각 문제가 자연적으로 방지되고 따라서 셀의 데이터 보존 특성의 열화 문제 또한 자연적으로 해결될 것으로 보기 때문이다.

II. 실험 과정

본 연구를 위한 실험 과정을 간략히 살펴보면, 먼저 비저항이 9~12Ωcm인 (100) P형 웨이퍼 위에 약 10 nm 두께의 셀 게이트 산화막을 성장시켰고 이 산화막 위에 약 200 nm 두께의 다결정실리콘 막을 증착하고 도핑하였다. 그 다음 ON, ONO 및 ONON 등의 다양한 구조의 IPD 층을 형성하였다. 이 때, IPD의 하층 산화막(bottom oxide)은 열산화에 의해 다결정실리콘 막 위에 약 12 nm 두께로 성장시켰고, 층간의 질화막은 LPCVD를 이용하여 17 nm 두께로 증착하였으며, ONO 와 ONON 구조에서는 그 다음에 습식 산화에 의해 3 또는 5.5 nm 두께의 상층 산화막을 성장하였다. ONON 구조에서는 이 상층 산화막 위에 LPCVD로 또 한 층의 3 nm 두께의 질화막을 증착하였다 (그림 1). IPD공



그림 1. ONON 구조인 테스트 소자 D에 대한 IPD의 TEM 사진. (하층 산화막 두께 : 120 Å, 층간 질화막 두께 : 135 Å, 상층 산화막 두께 : 30 Å, 상층 질화막 두께 : 30 Å)

Fig 1. A cross-sectional view of TEM micrograph of ONON IPD structure. (120 Å bottom oxide/ 135 Å nitride/30 Å top oxide/30 Å nitride).

정 후에는 peripheral MOS(구동 소자용 트랜지스터)의 게이트를 형성하기 위하여 peripheral 영역에 형성된 IPD 층을 건식각을 이용하여 식각하고 나서 peripheral MOS의 게이트 산화막을 성장시켰다. 그런데 이 산화막을 성장시키기 직전에 표준 세정 공정($H_2O+NH_4OH+H_2O_2$; 10분, 99:1HF; 20초)을 이용하여 세정을 반드시 실시하게 되는데, 이때 이 공정 과정에서 ONO IPD의 경우에는 약 2~3 nm 두께의 상층 산화막이 식각되는 문제가 발생하였다. 반면에 ONON 구조에서는 상층 산화막 위에 질화막이 있으므로 이 세정 동안에 상층 산화막이 보호되었다. 이 공정 이후에는 표준 CMOS공정을 이용하여 공정을 완료하였다.

이상과 같이 본 연구를 위해 제작된 테스트 소자들의 분류(split)를 표 1에 나타내었다. 여기서 하층 산화막과 질화막 두께는 TEM을 이용하여 측정하였고(그림 1), 상층의 산화막 두께는 커패시턴스 측정 결과와 불소(HF)에서의 식각율(etch rate)을 이용하여 측정하였다.

표 1. 본 연구를 위해 제작한 테스트 소자
Table 1. Test devices fabricated for this study.

테스트 소자	IPD			
	O	N	O	N
A	120Å	135Å	---	---
B	120Å	135Å	30Å	---
C	120Å	135Å	55Å	---
D	120Å	135Å	30Å	30Å
E	120Å	135Å	55Å	30Å

위와 같이 제작된 Flash EEPROM 셀들을 hot carrier 주입 방법으로 프로그램하고, 소스 쪽으로 FN(Fowler-Nordheim) 터널링 방식을 이용한 소거 동작을 1000 회씩 반복하였다. 그런 후에, 문턱 전압이 6.2 V가 되도록 프로그램을 한 후에 소자마다 각각 180, 220, 250 °C에서 굽기 한 후에 굽는 시간에 따른 문턱 전압의 감소를 측정하여 IPD 구조에 따른 데이터 보존 특성을 비교 평가하였다. 여기서 사용된 모든 소자들의 W/L은 0.75/0.65 μm 이었다.

III. 실험 결과 및 고찰

1. 데이터 보존 특성

IPD 구조 및 상층 산화막 두께 변화에 대한 데이터 보존 특성을 비교하기 위하여 먼저 180 °C 굽는 시간

에 따른 초기 상태의 프로그램 문턱전압 감소를 그림 2에 나타내었다.

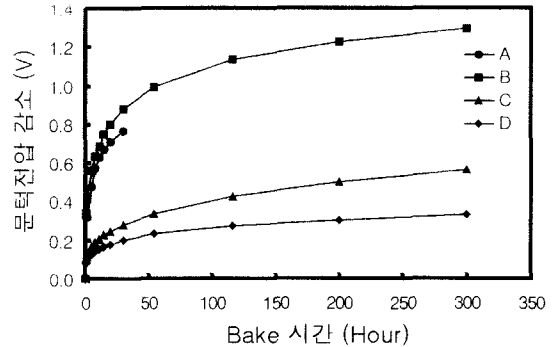


그림 2. IPD 구조 및 상층 산화막 두께에 대한 180°C 굽는 시간에 따른 프로그램 문턱전압 감소 비교
Fig 2. Comparative decrease of the programming threshold voltages as a function of the bake time at 180°C for the various IPD structures and top oxide thickness.

그림 2의 결과를 보면 동일한 굽는 조건에서 ONO의 상층 산화막의 두께가 3 nm인 소자 B의 경우는 ON 구조를 갖는 소자 A와 유사한 정도로 데이터 보존 특성이 아주 심하게 열화되는 것으로 나타났는데, 이는 앞에서 언급한 바와 같이 peripheral MOS의 게이트 산화막을 기르기 직전에 실시했던 세정 공정으로 인하여 상층 산화막이 거의 모두 제거되어서 ONO 막이 결국 소자 A와 같이 ON 막으로 되었기 때문인 것으로 판단된다. 반면에, ONO의 상층 산화막의 두께가 5.5 nm인 소자 C의 경우는 소자 B에 비해서 데이터 보존 특성이 월등히 우수했는데 이는 그 세정 공정 후에도 일부의 상층 산화막이 남았기 때문이라고 여겨진다. 한편으로, ONON IPD 막을 갖는 소자 D의 데이터 보존 특성은 가장 우수한 것으로 나타났는데 이는 예상한 바와 같이 상층 질화막 으로 인하여 상층 산화막이 그 세정 중에 잘 보호되었기 때문일 것이다.

위의 실험 결과에서 볼 수 있었던 바와 같이, ONON 구조의 IPD(소자 D)를 사용하면 상층 산화막의 두께가 ONO 구조의 IPD(소자 C) 보다 얇아도 전하 유지 특성이 월등히 우수하다. 이러한 결과는 차세대 Flash EEPROM을 개발하는데 있어서 대단히 중요한 의미를 갖고 있다. 예를 들어, ONO 구조의 IPD를 사용하는 경우에는 충분한 데이터 보존 특성을 확보하기 위해서는 상층 산화막의 두께를 소자 C의 경우보다 더 증가시켜

야 한다. 그러나, 이는 바와 같이 상층 산화막은 LPCVD로 증착된 질화막을 열산화 공정을 통하여 성장시키기 때문에 산화 속도가 대단히 낮다. 따라서 더 두꺼운 상층 산화막을 성장시키기 위해서는 그 열산화막 공정의 thermal budget을 크게 증가시켜야 한다. 그러면 이는 셀 게이트 산화막에서의 oxide ridge 형성 증가와 ONO 막의 스트레스 증가로 인하여 셀 게이트 산화막의 신뢰성이 크게 열화되는 문제가 초래된다^[2, 3, 4]. 실제로, 본 연구에서는 5.5 nm 상층 산화막을 성장시키기 위해서는 thermal budget이 950 °C, 60분이었고, 3 nm 상층산화막을 성장시킬 때는 950 °C, 20분이었다. 즉, thermal budget이 3배나 차이가 났다. ONON 구조의 IPD를 사용하는 경우에는 상층 산화막의 두께를 증가시킬 필요가 없으며 따라서 이러한 문제를 전혀 염려할 필요가 없다.

2. 데이터 보존 특성의 전산모사

앞 장에서 고찰한 바와 같이 ONON 막은 차세대 Flash EEPROM의 IPD 막으로 아주 강력한 후보임에 틀림없다. 따라서, 여기서는 ONON IPD를 사용한 Flash EEPROM 셀(소자 D)의 데이터 보존 특성을 모델링하여 상세히 분석하였다.

그림 3은 소자 D의 경우에 180, 220, 250 °C의 굽는 실험에서 각각 굽는 시간에 따른 문턱전압의 감소를 측정된 결과들을 보여주고 있다.

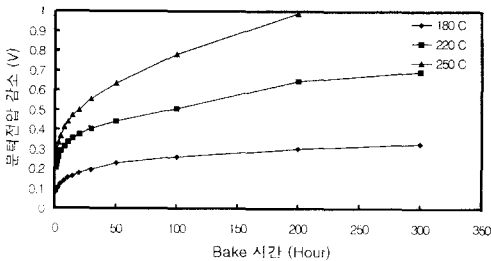


그림 3. ONON 구조에 대한 180 °C, 220 °C와 250 °C 굽는 시간에 따른 프로그램 문턱 전압 감소
Fig 3. Decrease of the programming threshold voltage as a function of the bake time at 180, 220 and 250 °C in the ONON structure.

그림 3의 실험 결과를 전산모사하기 위하여 여기서 사용한 실험식은 다음과 같다.

$$\Delta V_{th} = \beta t^m e^{-E_a/kT} \quad (1)$$

여기서, β 는 상수, t 는 굽는 시간, m 은 가속 지수,

E_a 는 활성화 에너지, k 는 볼츠만 상수, T 는 온도이다.

먼저, 위의 실험식 (1)에서 가속 지수 m 의 실험치를 구하기 위하여 굽는 시간의 함수로 측정된 문턱 전압의 감소를 도식하였다 (그림 4). 180, 220, 250 °C의 각각의 실험 결과들로부터 전체적인 m 의 평균치가 0.224임을 알 수 있었다.

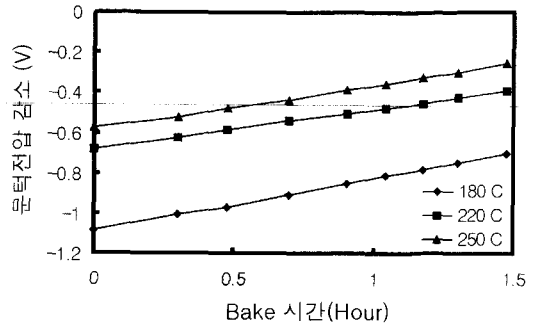


그림 4. 테스트 소자 D의 가속 지수 m 추출
Fig 4. Measurement of the acceleration factor, m of the test device D.

다음으로, 그림 5에서 볼 수 있는 바와 같이 여러 가지 굽는 시간에 대하여 굽는 온도의 함수로 측정된 문턱 전압의 감소를 도식하였다. 이러한 문턱 전압의 감소에 대한 Arrhenius 도표로부터 0.31 eV의 활성화 에너지 E_a 를 구하였다. 이러한 활성화 에너지 값은 다른 논문^[2]에서 측정된 값, 즉 0.35 eV와 유사하였다.

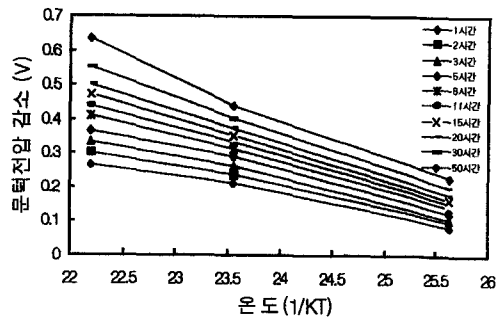


그림 5. ONON 구조(테스트 소자 D)의 여러가지 굽는 시간에 대한 활성화 에너지
Fig 5. Activation energies of the ONON structure (test device D) for the various bake time.

위에서 측정된 약 0.3 eV의 활성화 에너지는 굽기 실험 동안의 문턱 전압 감소가 프로그램 동안에 주입된 일부 전자들이 IPD의 하층 산화막과 층간 질화막의 계면이나 또는 층간 질화막 내에 포획되어 있던 전자들이 질화막 내의 트랩들 사이를 hopping하여 이동하

기 때문에 발생하는 것임을 간접적으로 나타내주고 있다. 이는, 질화막 내에 존재하는 주요 트랩들 사이의 에너지 차가 0.3 eV 범위이기 때문이다^[5].

앞에서 구한 m 과 E_t 를 사용하여 소자 D에 대하여 실시한 전산모사 결과를 측정된 값들과 비교한 것이 그림 6에 나타나 있다. 전산모사시에 사용된 fitting 상수 β 의 값은 184.7이었다. 이 전산모사 결과를 살펴 보면 180 °C 굽는 온도에 대해서는 최대 실험 시간인 300 시간까지 측정치와 거의 일치하였고, 220와 250 °C 굽는 온도에서는 각각 약 100시간, 70시간까지는 측정치와 잘 일치하였다.

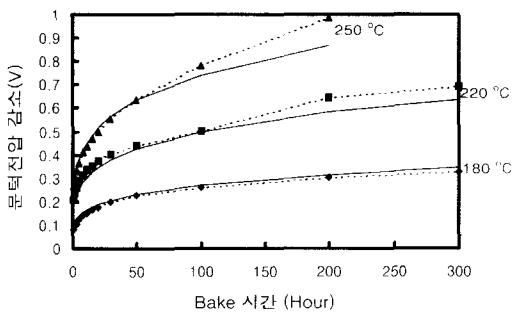


그림 6. 테스트 소자 D에 대한 데이터 보존 특성의 전산 모사
(--: 측정값, —: 전산모사)
Fig 6. The simulation of data retention characteristic on the test device D.
(--: measure, —: simulation).

그러나, 굽는 시간이 더 길어지면 갑자기 전하보존 특성이 더 심하게 나빠져서 측정치가 전산 모사의 결과에 비하여 훨씬 더 큰 것으로 나타났다. 이와 같이 thermal budget이 일정한 크기 이상이 되었을 때 전하보존 특성이 더 심하게 열화되는 이유를 설명하기 위하여 우리는 지금까지 아무도 언급하지 않은 새로운 전하손실 모델을 제시하고자 한다. 새로운 전하손실 모델에 따르면, 굽는 동안의 전하 손실은 크게 세 단계로 구분된다.

1 단계: 굽기가 시작된 지 10분 이내의 초기 단계로서 이 때는 시간에 따른 문턱 전압의 감소가 대단히 급격하다. 이러한 문턱 전압의 감소는 프로그램 동안에 층간 질화막 내로 주입되어 트랩된 전자들이 질화막 내에서 이동하였거나 그 질화막에 분극 현상이 발생하였기 때문인 것으로 알려지고 있다^[2].

2 단계: 초기 단계를 지났으나 아직은 측정치가 전사모사 결과와 잘 일치하는 영역으로 굽기의 thermal budget이 비교적 낮은 경우에 해당된다. 이 때의 문턱 전압 감소의 원인은 프로그램 동안에 주입된 일부 전자들이 IPD의 하층 산화막과 층간 질화막의 계면이나 또는 하층산화막 가까이에 있는 층간 질화막 내에 포획되어 있던 전자들이 질화막 내의 트랩들 사이를 hopping을 통하여 상층 산화막 쪽으로 이동하며 또한 상층 산화막에 도달한 전자들 중의 일부는 터널링을 통하여 상층 질화막으로 주입되고 또한 그들은 제어게이트로 빠져나갔기 때문인 것으로 판단된다^[2].

3 단계: 굽기의 thermal budget이 2 단계의 범위를 지나면 굽는 시간에 따른 문턱 전압 감소의 측정치가 전산모사의 결과보다 훨씬 더 큰 경우에 해당된다. 이 영역에서의 문턱 전압 감소의 원인은 근본적으로 앞에서의 1, 2 단계의 것들과 전혀 다른 것으로 보인다. 1, 2 단계에서는 그림 7에서 보여주는 것처럼 부유게이트의 edge 영역이나 하층 산화막에 asperity가 형성된 영역 또는 하층 산화막 내에 결함이 있는 영역에서의 누설 전류 발생이 발생하지 않고 있다. 이는 프로그램 동안 그 영역에서 하층 산화막을 통하여 층간 질화막 내로 주입되어 트랩되어 있는 많은 전자들이 누설 전류의 발생을 차단해주고 있기 때문이다. 그러나, 두 번째 단계가 지나면서 그 영역에서 질화막 내에 트랩된 대부분의 전자들이 재분배를 통하여 질화막 내의 윗 부분으로 이동하면서 빠져나가 그 영역에서 누설전류가 흐르기 시작하였기 때문인 것으로 판단된다. 이러한 누설 전류가 흐르기 시작하면 부유게이트에 저장된 전자들은 급속히 제어게이트로 방출되면서 문턱 전압은 아주 빠르게 감소한다 (그림 3).

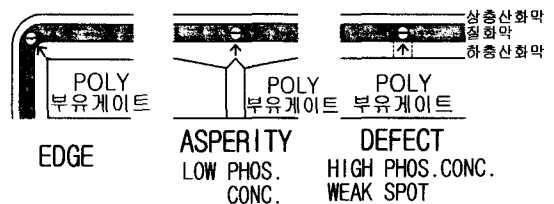


그림 7. 부유 게이트로부터 전자가 질화막 안으로 트랩되는 원인
Fig 7. The cause of trapping electrons from floating gate into nitride layer.

이러한 실험 결과들을 분석해 볼 때 Flash EEPROM에서 그 소자의 전하 보존 특성 측면에서의 신뢰성 확보를 위해서는 부유게이트에 저장된 전하 손실이 앞에서 언급한 3 단계까지 진행되는 것은 여하튼 막아야 한다. 그러기 위해서는 앞에서 언급한 전하 손실 2 단계가 가능한 천천히 진행되도록 하여야 할 것이다. 이를 위해서는 층간 질화막의 두께는 가능한 얇게 하고 상층 산화막의 두께는 가능한 두껍게 하여 층간 질화막 내에서 트랩된 전자들의 재분배를 억제하고 또한 그 트랩된 전자들이 터널링을 통하여 제어게이트로 빠져나가는 것을 최대한 억제해야 할 것이다.

3. 프로그램/소거 특성 및 기타 전기적인 특성

데이터 보존 특성이 매우 좋은 ONON 구조의 IPD를 향후 Flash EEPROM에 사용할 수 있는지를 확인하기 위하여 프로그램/소거, 게이트 disturb, 및 endurance 특성들을 평가하였다.

그림 8은 IPD 구조 및 상층 산화막 두께 변화에 따른 Flash EEPROM의 프로그램 특성을 프로그램 시간에 대한 프로그램 문턱 전압으로 나타내었다. 프로그램 조건은 모든 테스트 소자들에 대하여 동일한 조건으로, 소스와 기판을 접지하고 제어 게이트에 11.5 V, 드레인에 5.5 V를 인가하였다. 30 μ s에서 프로그램 문턱 전압을 비교하면 ONON 구조를 갖는 테스트 소자 D는 6.2 V, E는 6.0 V로 ONO 구조인 C의 6.2 V에 비하여 프로그램 속도의 차이는 거의 없음을 알 수 있다.

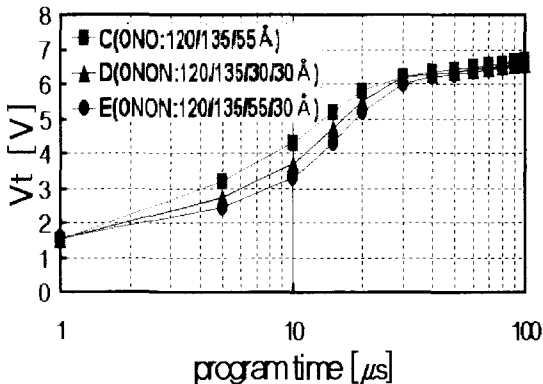


그림 8. 플래시 EEPROM 소자들의 프로그램 특성
Fig 8. Program characteristics of flash EEPROM devices.

또한, 그림 9은 소거 특성을 소거 시간에 대한 소거 문턱 전압으로 나타내었다. 소거시 소거 특성을 상대적

으로 비교하기 위하여 모든 테스트 소자들에게 동일한 조건으로, 제어 게이트와 기판은 접지하고, 드레인은 floating시킨 다음 소스에 11.5 V의 전압 pulse를 인가하였다. 또한, 소거 전의 프로그램 문턱 전압은 모두 6.4 V로 동일하게 하였다. 실험 결과를 살펴보면 그림 9에서 볼 수 있는 바와 같이 모든 소자들의 소거 특성은 서로 거의 동일하였다.

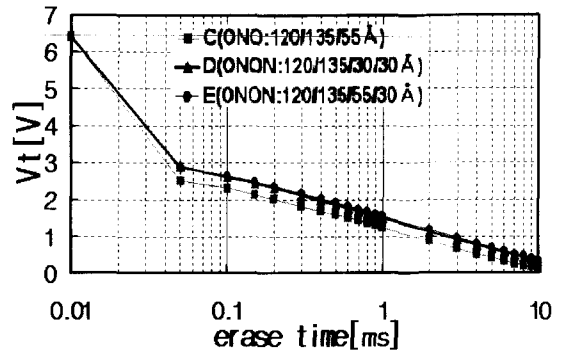


그림 9. 플래시 EEPROM 소자들의 데이터 소거 특성
Fig. 9. Data erase characteristics of flash EEPROM devices.

한편으로, 그림 10은 IPD 구조 변화에 따른 게이트 disturb 특성을 보여주고 있다. 이 실험을 위하여는 드레인, 소스, 기판은 접지하고 제어 게이트에 11.5 V의 전압 pulse를 인가하였다. 여기서 볼 수 있는 바와 같이 모든 테스트 소자들에서 게이트 disturb는 없는 것으로 나타났다.

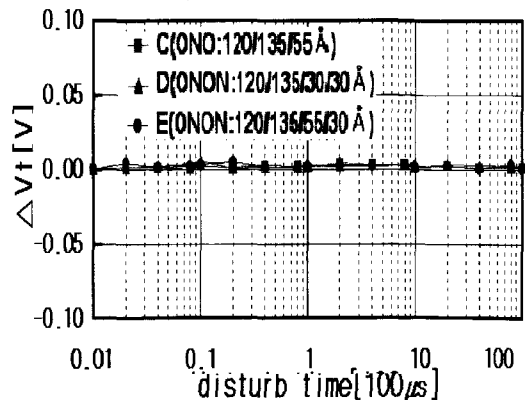


그림 10. 플래시 EEPROM 소자들의 게이트 disturb 특성
Fig. 10. Gate disturb characteristics of flash EEPROM devices.

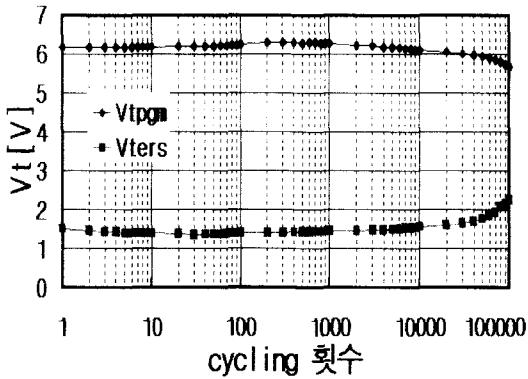


그림 11. ONON IPD 구조를 갖고 있는 플래시 EEPROM 소자의 endurance 특성

Fig. 11. Endurance characteristic of the flash EEPROM devices with the ONON IPD structure.

마지막으로, 그림 11는 ONON 구조인 테스트 소자 D의 endurance 특성의 결과를 보여 주고 있다. 여기서도 105 회 cycling 까지 양호한 특성을 나타내고 있다

IV. 결 론

Flash EEPROM 셀에서 기존의 ONO 구조의 IPD를 사용하면 peripheral MOSFET의 게이트 산화막을 성장할 때 사용되는 세정 공정으로 인하여 ONO 막의 상층 산화막이 식각되어 전하 보존 특성이 크게 열화되었으나 IPD 공정에서 ONON 막을 사용하면 상층 질화막은 그 세정 공정시에 상층 산화막이 식각되는 것을 방지시켜 줌으로써 전하보존 특성이 크게 개선되었으며, 또한 기존의 ONO구조의 IDP를 갖는 소자들에 비해서 프로그램 소거, 게이트 disturb 및 endurance 특성들이 조금도 나쁘지 않았다.

ONON IPD 막을 사용하는 Flash EEPROM 셀의 전하 보존 특성에 대한 모델링 및 그 모델링을 사용한 전산모사의 결과를 살펴보면, 급기의 thermal budget이 낮은 경우에는 실험치와 전산모사의 결과가 서로 잘 일치하였으나, 높은 경우에는 측정치가 훨씬 더 컸다. 이는 thermal budget가 높은 경우에는 프로그램시에 층간 질화막 내에 트랩되어 누설전류의 흐름을 차단해주었던 전자들이 빠져나감으로 인하여 누설전류가 발생하였기 때문이라고 판단된다.

이러한 실험 결과들을 분석해 볼 때 Flash EEPROM에서 그 소자의 전하 보존 특성 측면에서의 신뢰성 확보를 위해서는 부유게이트에 저장된 전하 손실이 앞에서 언급한 3 단계까지 진행되는 것은 여하튼 막아야 한다. 그러기 위해서는 앞에서 언급한 전하 손실 2 단계가 가능한 천천히 진행되도록 하여야 할 것이다. 이를 위해서는 층간 질화막의 두께는 가능한 얇게 하고 상층 산화막의 두께는 가능한 두껍게 하여 층간 질화막 내에서 트랩된 전자들의 재분배를 억제하고 또한 그 트랩된 전자들이 터널링을 통하여 제어게이트로 빠져나가는 것을 최대한 억제해야 할 것으로 판단된다.

참 고 문 헌

- [1] S. Mori, Y. Kaneko, Y. Oshima, and K. Yoshikawa, "Reliability study of thin inter-poly dielectrics for non volatile memory application", IEEE/IRPS, p.132, 1990.
- [2] K. Wu, C. Pan, J. Shaw, P. Freiberger, and G. Sery, "A model for EPROM Intrinsic Charge loss through Oxide-Nitride-Oxide(ONO) Interpoly Dielectric", IEEE/IRPS, p.145, 1990.
- [3] C. PA, et al, "A Scaling Methodology for Oxide-Nit-ride-Oxide Interpoly Dielectric for EPROM Applications", IEEE Trans. Electron Devices. Vol. 37, No. 6, p. 1439, 1990.
- [4] 황현상, 박근형 공역, 플래시 메모리 기술, 지성출판사, 1995
- [5] V. Kapoor and S. Bibyk, "Energy Distribution of Electron Trapping Defects in Thick Oxide MNOS Structures", The Phys. of MOS Insulators, Pergamon, New York, 1980, p. 117.

저 자 소 개

申奉祚(正會員) 현재, 현대반도체 책임 연구원.
충북대학교 전자공학과 박사 과정

朴根亨(正會員)
1954년생. 1984년 한양대학교 전자공학과 졸업(학사).
1987년 University of Michigan (Ann Arbor) 전기공학과(석사). 1992년 University of Texas at Austin 전기공학과 (박사). 1992년~1993년 미국 Cypress Semiconductor에서 Senior Technology Engineer. 1993년~1994년 LG 반도체의 중앙연구소에서 책임연구원으로서 Flash EEPROM 개발. 현재 충북대학교 전기전자공학부 조교수, 약 20여편의 기술논문 발표. 주 관심분야는 Flash EEPROM과 FRAM의 공정 및 셀 개발과 초박막 유전체의 신뢰성 향상 등임