

論文99-36D-7-5

## 소자열화로 인한 기억소자 주변회로의 성능저하

### (Hot Carrier Induced Performance Degradation of Peripheral Circuits in Memory Devices)

尹炳五\*, 劉宗根\*, 張炳健\*\*, 朴鍾泰\*

(Byung-Oh Yun, Jong-Gun Yu, Byong-Kun Jang, and Jong-Tae Park)

#### 요 약

본 논문에서는 기억소자 주변회로인 정적 입력버퍼와 동적 입력버퍼 그리고 감지증폭기 회로에서 hot carrier 효과로 인한 회로성능저하를 측정·분석하였다. 회로설계 및 공정은 0.8 $\mu$ m 표준 CMOS공정을 이용하였다. 분석방법은 회로의 성능저하에 가장 큰 영향을 주는 소자를 spice 시뮬레이션으로 예견한 후 소자열화와 회로성능저하 사이의 상관관계를 구하는 것이다. 정적 입력버퍼의 회로성능저하 결과로부터 NMOS소자의 Gm변화로 인하여 trip point가 증가한 것을 볼 수 있었다. 동적 입력버퍼에서는 NMOS소자의 Gm변화로 인하여 전달지연시간을 볼 수 있었다. 그리고 감지증폭기 회로에서는 hot carrier 효과로 인하여 감지전압의 증가와 half-Vcc 전압의 감소를 확인할 수 있었다.

#### Abstract

In this paper, hot carrier induced performance degradation of peripheral circuits in memory devices such as static type input buffer, latch type input buffer and sense amplifier circuit has been measured and analyzed. The used design and fabrication of the peripheral circuits were 0.8 $\mu$ m standard CMOS process. The analysis method is to find out which device is most significantly degraded in test circuits by using spice simulation, and then to characterize the correlation between device and circuit performance degradation. From the result of the performance degradation of static type input buffer, the trip point was increased due to the transconductance degradation of NMOS. In the case of latch type input buffer, there was a time delay due to the transconductance degradation of NMOS device. Finally, hot carrier induced the decrease of half-Vcc voltage and the increased of sensing voltage in sense amplifier circuits have been measured.

#### I. 서 론

소자열화로 인한 MOS소자의 특성저하에는 문턱전압, 드레인전류, transconductance(Gm), 게이트-드레

인 커패시턴스 변화등이다. 이런 특성저하로 인한 소자의 수명시간과 최대허용공급전압을 결정하는 연구가 DC스트레스 조건에서 많이 진행되었다. 그리고 링 오실레이터를 비롯한 간단한 디지털 논리게이트의 전달지연시간의 저하와 CMOS증폭회로의 이득, offset전압변화등에 관한 연구가 진행되어왔다<sup>[1-3]</sup>. MOS소자의 크기가 서브마이크론 레벨로 축소되면서 hot carrier 효과에 의한 소자열화와 집적회로의 성능저하의 상관관계에 대한 연구들이 계속 진행되어 왔다<sup>[4]</sup>. 특히 회로의 성능저하 정도는 회로의 구조와 동작조건

\* 正會員, 仁川大學校 電子工學科

(Depart. of Electronics Eng., Univ. of Incheon)

\*\* 正會員, 仁川大學校 電氣工學科

(Depart. of Electrical Eng., Univ. of Incheon)

接受日字:1998年12月1日, 수정완료일:1999年6月22日

에 따라 다르므로, 실제 회로나 시스템에서 성능저하를 측정해야만 hot carrier 효과에 의한 집적회로의 신뢰도를 정확히 예측할 수 있다<sup>[5,6]</sup>. 최근에는 소자열화로 인한 DRAM 주변회로의 성능저하에 관한 연구가 발표되었다<sup>[5,7]</sup>. 특히 95년 IEDM에서는 소자열화로 인한 게이트-드레인 커패시턴스 변화로 인한 감지증폭기의 성능저하를 half-V<sub>cc</sub> 변화로 정성적으로 분석하였다<sup>[5]</sup>.

앞으로 G비트급 기억소자에서는 게이트 길이가 0.1 μm 레벨로 축소될 것이므로 소자열화가 회로의 성능저하에 미치는 영향이 클 것으로 예상되어 정량적이며 측정을 통한 정확한 분석이 요구된다.

본 논문에서는 hot carrier 효과로 인한 소자열화가 기억소자 주변회로의 성능저하에 미치는 영향에 대하여 연구하였다. 회로의 성능저하는 소자열화와 밀접한 관계가 있으므로 먼저 spice 시뮬레이션을 통하여 회로의 성능저하에 가장 큰 영향을 끼치는 소자를 예견한 후 스트레스 시간에 따른 소자열화를 측정할 수 있도록 개별패드를 만들었다. 이때 기생 커패시턴스 성분을 최소화하기 위해 전달게이트를 사용하였다. 그리고 스트레스 시간에 따른 소자열화와 회로열화를 각각 측정 한 뒤 이 둘 사이의 상관관계를 구하였다. 성능저하를 측정 한 회로는 정적(static type) 입력버퍼와 동적(latch type) 입력버퍼, 그리고 감지증폭기 회로이다. 성능저하 현상으로 정적 입력버퍼에서는 trip point (V<sub>LT</sub>) 변화 및 소자열화와 회로성능저하의 상관관계를 구하였고, 동적 입력버퍼에서는 스트레스 전·후의 출력주파수 변화 및 소자열화와 회로성능저하의 상관관계를 구하였다. 그리고 감지증폭기에서는 half-V<sub>cc</sub> 변화와 전압이득의 변화, 감지전압변화를 측정을 통하여 분석하였다.

## II. 정적 입력버퍼 회로의 성능저하

### 1. 회로설계

기억소자 설계시 입력신호를 TTL레벨이라고 가정하기 때문에 이 TTL신호를 기억소자 내부의 CMOS레벨로 전환해주는 버퍼가 필요하다. 이런 버퍼로는 정적 입력버퍼와 동적입력버퍼가 있다. 기억소자의 용량이 점차 증가함에 따라 버퍼의 개수도 증가하게 된다. 따라서 소자열화로 인한 각 버퍼의 성능저하는 회로전체의 동작속도에 큰 영향을 미치게 된다.

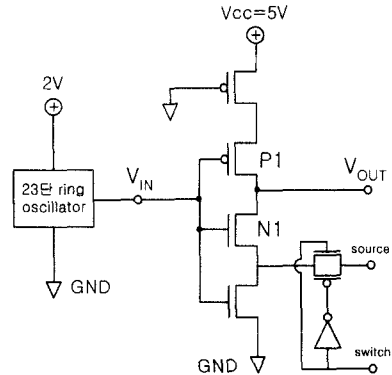


그림 1. 0.8μm CMOS공정을 이용한 정적 입력버퍼 회로도

Fig. 1. Static type input buffer circuit using 0.8μm CMOS process.

그림 1은 0.8μm CMOS공정으로 제작된 정적 입력버퍼 회로도이다. 외부의 신호가 High(H)인지 Low(L)인지를 감지하는 가장 간단한 회로로는 CMOS 인버터를 들 수 있고, V<sub>cc</sub>=2.8V일 때, trip point(V<sub>LT</sub>)를 1.4V 근처에 설정한다. 정적 입력버퍼의 trip point는 다음과 같이 주어진다<sup>[10]</sup>.

$$V_{LT} = \frac{V_{TN} + (V_{CC} - |V_{TP}|) \sqrt{\frac{\beta_P}{\beta_N}}}{1 + \sqrt{\frac{\beta_P}{\beta_N}}} \quad (1)$$

위 식(1)로부터 trip point는 NMOS소자의 문턱전압과 gain coefficient β에 의해서 결정됨을 알 수 있다.

그런데 회로가 장시간 동작하게 되면 NMOS(N1)의 소자열화로 인하여 문턱전압과 G<sub>m</sub>값이 변하게 되어 결국 trip point가 변하게 된다. 회로에 스트레스를 인가하는 동안 NMOS 소자의 열화특성을 측정하기 위하여 NMOS의 게이트와 드레인에 개별패드를 만들고 잡음을 최대한 줄이기 위해 신호발생기 회로를 부가하여 내부적으로 클럭을 생성하도록 하였다. 본 연구에 사용된 회로는 0.8μm설계규칙을 이용한 double metal CMOS공정으로 제작하였고, 게이트 산화층 두께는 175Å이며 일반적인 LDD공정이다.

### 2. 성능저하 분석

회로의 성능저하를 측정하기 위해 정상동작전압보다 높은 전압을 회로에 인가하였다. 스트레스 인가전압은 7V이고, 시간은 24시간이다.

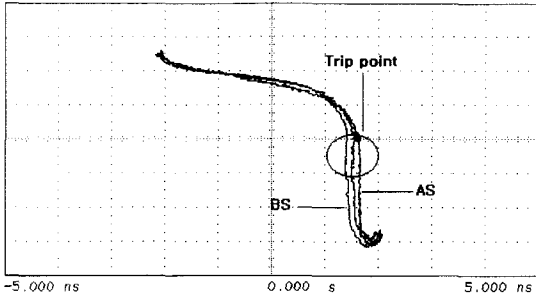


그림 2. 스트레스 전·후의 정적 입력버퍼 회로의 출력파형

Fig. 2. Output waveform of static type input buffer before and after stress.

그림 2는 스트레스 전·후의 정적 입력버퍼의 출력파형을 나타낸 것으로 스트레스 후의 trip point 변화를 확인할 수 있다. 그림 2와 같이 스트레스 후에 trip point가 변한 것은 NMOS의 소자열화로 NMOS의  $V_T$ 와  $G_m$ 값이 변했기 때문이다.

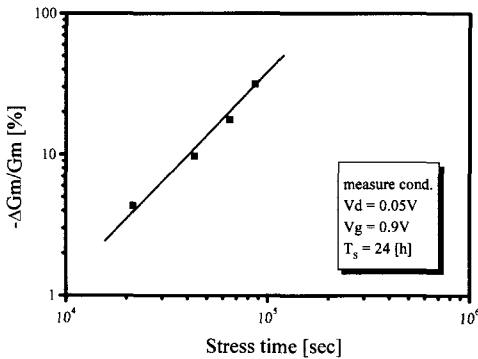


그림 3. 스트레스 시간에 따른 NMOS소자의  $G_m$ 변화량

Fig. 3.  $G_m$  degradation of NMOS device versus stress time.

그림 3은 스트레스 시간에 따른 NMOS소자의  $G_m$  변화량을 나타낸 것이다. 스트레스 시간이 증가할수록  $G_m$ 값의 변화가 점점 커지는 것을 볼 수 있는데 이것은 전자가 드레인 근처의 높은 전계에 의해 가속화되어 충격이온화가 발생하면서 EHP(Electron Hole Pair)가 생성되어 많은 전자가 드레인 근처의  $SiO_2$ 층으로 포획되면서 NMOS의 이동도( $\mu_N$ )가 급격히 감소하였기 때문이다. 이런 결과로 NMOS의  $V_T$ 도 약 2.2mV정도 증가된 것을 확인할 수 있었다. 스트레스 시간에 따른 trip point의 변화를 자세히 분석하기 위하여 스트레스 시간에 따라 측정된  $G_m$ 값과

$V_T$ 값을 식(1)에 대입하여 trip point를 정량적으로 계산하여 그림 4에 나타내었다.

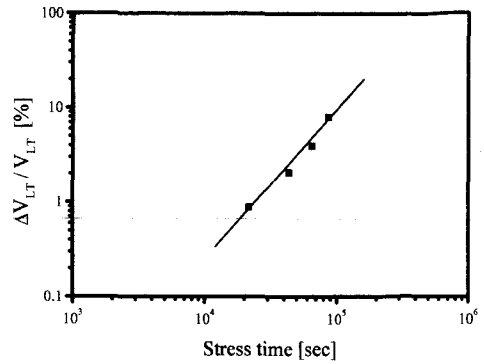


그림 4. 스트레스 시간에 따른 trip point 변화량  
Fig. 4. The trip point variation versus stress time.

그리고 spice의 Level=13 모델 파라미터를 이용하여 trip point를 계산한 결과 측정된 데이터를 식(1)에 대입하여 계산한 결과와 비슷하게 나온 것을 확인하였다. 이 때 PMOS는 거의 변하지 않는다고 가정하였다.

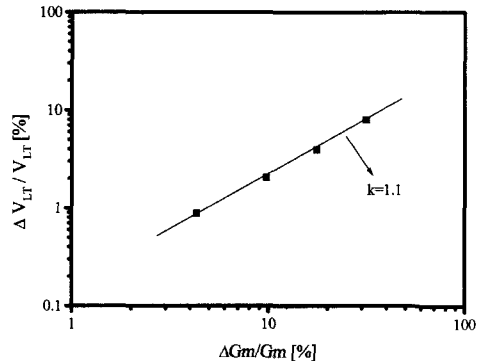


그림 5. 소자열화와 회로성능저하의 상관관계  
Fig. 5. Correlation between trip point( $V_{LT}$ ) and transconductance( $G_m$ ).

그림 5는 소자열화와 회로성능저하의 상관관계를 나타낸 그림이다. 그림에서 식(2)와 같은 상관관계가 성립하는 것을 알 수 있다.

$$\frac{\Delta V_{LT}}{V_{LT}} \propto \left( \frac{\Delta G_m}{G_m} \right)^k \quad (2)$$

LDD공정을 사용하였기 때문에 스트레스 후  $V_T$ 변화가 작게 되고  $G_m$ 변화에 의하여  $\Delta V_{LT}$ 가 열화되는 것으로 사료된다.

### Ⅲ. 동적 입력버퍼 회로의 성능저하

#### 1. 회로설계

동적 입력버퍼는 전력소모를 줄일 수 있고 level transition속도가 빠르며, 한번 동작으로 inverting 및 non inverting 출력을 동시에 수행할 수 있으므로 정적버퍼보다 기억소자에서 많이 사용되고 있다. 그림 6은 0.8 $\mu$ m CMOS공정을 이용하여 제작된 동적 입력버퍼 회로도이다. 회로동작은 입력 inp와 inpb사이에서 전압차 ( $\Delta V$ )가 존재할 때, 감지신호에 클럭이 인가되면 출력 out과 outb사이에서 각각 데이터 '1' 과 '0'이 출력된다.

그런데 회로의 계속되는 동작으로 M1 소자가 열화되면 이전 전압차 ( $\Delta V_{OLD}$ )보다 더 큰 전압차 ( $\Delta V_{new}$ )가 인가되어야 올바른 감지를 수행할 수 있을 것이다. 그림에서 inp와 inpb 및 감지신호는 신호발생기 회로를 부가하여 자체적으로 생성하도록 제작하였다. Hot carrier스트레스 인가후 M1소자의 열화를 확인하기 위해 M1소자에 개별패드를 만들었고 패드의 기생 커패시턴스를 최소화하기 위해 전달게이트를 사용하였다.

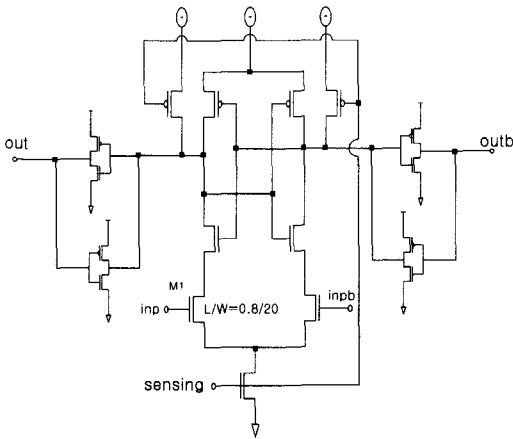
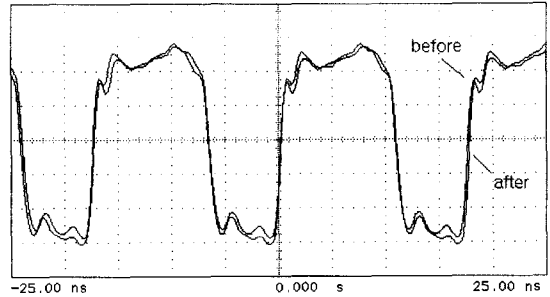


그림 6. 0.8 $\mu$ m CMOS 공정을 이용한 정적 입력버퍼 회로도  
Fig. 6. Latch type input buffer circuit using 0.8 $\mu$ m CMOS process.

소자열화로 인한 동적 입력버퍼의 성능저하를 측정하기 위하여 회로 스트레스( $V_{DD}=6.5V \sim 8V$ )와 개별소자 스트레스( $V_{ds}=5V \sim 6.5V$ )를 인가하여 출력파형 변화와 M1소자의 열화특성을 관찰하였다. 스트레스 인가시간은 120분이고, 측정시  $V_{DD}=4.3V$ 이다.

#### 2. 성능저하 분석



Vp-p (1) 3.84439 V frequency (1) 57.3197MHz  
Vp-p (1) 3.67717 V frequency (1) 56.8666MHz

그림 7. 스트레스 전·후의 정적 입력버퍼 회로의 출력파형

Fig. 7. Measured output waveform of latch type input buffer before and after stress.

그림 7은 스트레스 전·후의 동적 입력버퍼 회로의 출력파형을 나타낸 것으로 스트레스 후에 주파수가 감소된 즉 속도손실이 발생하였음을 알 수 있다. 출력파형의 시간지연은 앞에서 언급했던 것처럼 그림 6의 회로에서 M1소자의 열화에 의한 것으로 사료되므로 회로에 스트레스가 인가되기 전·후의 M1소자의 I-V 특성곡선을 측정하고 결과 스트레스 후 드레인 전류가 감소된 것을 확인할 수 있었다.

또한 스트레스 시간에 따라 주파수 변화를 측정하고 결과 스트레스 시간과 전압이 증가하면 회로열화가 더 많이 발생함을 알 수 있고, 스트레스 시간과 주파수 변화 사이에 멱함수 관계( $\Delta f/f \propto T_S^N$ )가 있음을 알 수 있었다.

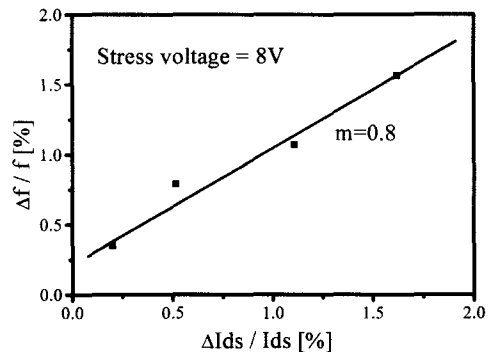


그림 8. 소자열화와 회로열화의 상관관계  
Fig. 8. Correlation between M1 device degradation and performance degradation.

그림 8은 M1소자의 열화와 출력파형의 주파수변화 상관관계를 나타낸 것이다. 출력파형의 주파수 변화와 M1소자열화 상관관계는  $\Delta f/f = m\Delta I_d/C$ 로 나타낼 수 있으며 여기서  $m=0.8$ 임을 알 수 있다. 그림으로부터 출력파형의 주파수 변화는 매우 크며 M1소자의 열화에 의하여 결정됨을 알 수 있다. 이것은 시뮬레이션으로도 확인할 수 있었다. 회로에 8V의 전압을 인가하였을 때 M1소자의  $V_{ds}=5.8V$ ,  $V_{gs}=1V$ 로 소자가 DAHC(Drain Avalanche Hot Carrier)조건에 의해 열화가 많이 될 수 있는 조건이었다. M1소자의 열화가 버퍼회로의 성능저하에 미치는 영향을 분석하기 위하여 M1소자에 기판전류가 최대가 되는 게이트 전압과  $V_{ds}=5V \sim 6V$ 를 가변하면서 인가하였다. M1소자가 스트레스 시간과 전압에 따라 열화되는 동안 출력주파수의 감소를 확인할 수 있었다. 이 결과를 이용하여 M1소자의 드레인 전류변화와 출력주파수 변화 사이의 상관관계를 구한 결과 그림 8과 비슷한 기울기를 갖는 것을 알 수 있었다.

#### IV. 감지증폭기 회로의 성능저하

##### 1. 회로설계

기억소자의 셀에 저장된 데이터를 확실하게 감지하고 증폭하여 그 값을 외부에 연결시켜주는 감지증폭기는 기억소자의 가장 중요한 핵심 부분으로 고감도, 고속 동작, 넓은 전원전압 동작범위, 저 소비전력, 작은 면적소모 등의 특성이 요구된다.

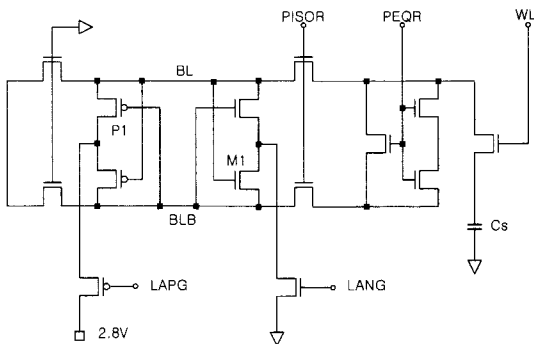


그림 9. 0.8µm CMOS공정을 이용한 감지증폭기 회로도  
Fig. 9. Sense amplifier circuit using 0.8µm CMOS process.

그림 9는 데이터 읽는 속도를 최적화할 수 있는  $V_{cc}/2$  precharge 방식의 감지증폭기 회로도이다.

$V_{cc}/2$  precharge 방식은 데이터 1과 0을 읽을 때 전위의 변화량이 대칭적이며, precharge전압을 그대로 기준전압으로 사용하므로 별도의 기준전압 발생회로가 필요없다. 이러한 여러가지 장점으로 인해 최근에 거의 모든 CMOS DRAM의 감지증폭기는  $V_{cc}/2$  precharge 방식을 사용하고 있다. 감지증폭기 양단에 입력되는 전압차

$$\Delta V = |\Delta V_H| = |\Delta V_L| = \frac{V_{CC}/2}{1+C_B/C_C} \quad (3)$$

이다. 식(3)에서 알 수 있듯이 입력전압을 크게 하려면  $C_B/C_C$ 의 비를 가능한 크게 해 주어야 한다. 그러나 기억소자의 용량이 증가함에 따라 비트라인의 길이가 길어지므로  $C_B$ 가 증가하며, 트랜지스터의 크기도 점점 감소함에 따라 공급전압( $V_{CC}$ )도 작아지게 된다. 따라서  $\Delta V$ 가 더욱 감소하게 되므로 감지증폭기의 감도는 더욱 향상되어야 함을 알 수 있다. 그림9에서는  $C_B/C_C$ 의 비를 10/1로 설계하였다.

회로동작특성을 살펴보면 다음과 같다. 초기적으로 비트라인 쌍은 half- $V_{cc}$ 로 precharge되어있다. WL이 ON되면 셀 커패시터( $C_s$ (data='1'))에 따라서 비트라인 쌍(bit line pair)의 전하공유현상으로 인해 BL의 전압이 BLB보다 조금 상승하게 된다. 이후 CMOS감지증폭기가 동작하여 BL과 BLB의 전압차를 감지하게 되고  $C_s$ 에 데이터가 1이 있을 경우 BL은  $V_{cc}$ 로 충전되고, BLB는 0V로 방전되어 감지동작이 완료된다. 이후 BL에 인식된 데이터를 외부로 전달해주고 BL과 BLB는 다시 half- $V_{cc}$ 로 precharge되면서 동작이 완료된다.

그러나 회로가 장시간 동작하게 되면 즉 계속해서  $C_s$ 에 데이터 1을 읽고, 쓰게 되면 hot carrier 효과에 의하여 M1과 P1소자가 열화되면서 비트라인 쌍의 게이트-드레인 커패시턴스 불평형 현상으로 감도와 half- $V_{cc}$  및 전압이득의 성능저하 현상이 발생하여 올바른 감지동작을 수행할 수 없게 될 것이다. 그림 9에서 비트라인 쌍의 동작을 위해 내부적으로 신호발생기 회로를 추가하여 클럭신호를 자체적으로 생성하도록 하였다.

그리고 성능저하 현상을 측정하기 위해 비트라인 쌍에 개별패드를 만들었다. 소자열화로 인한 감지증폭기의 성능저하 현상은 half- $V_{cc}$  변화, 전압이득 및 감지 전압변화 등으로 분석하였다.

그리고 회로가 열화되는 동안 가장 많이 열화되는 소자(M1)의 DC열화특성을 측정·분석하였으며 spice 모의실험으로 감지증폭기의 성능이 저하되는 정도를 정량적으로 분석하였다.

2. 성능저하 분석

감지증폭기의 성능저하를 측정·분석하기 위하여 회로의 정상동작 전압보다 높은 전압을 인가하였다. 스트레스 인가전압은 6-7V이고, 스트레스 인가시간은 700분이다.

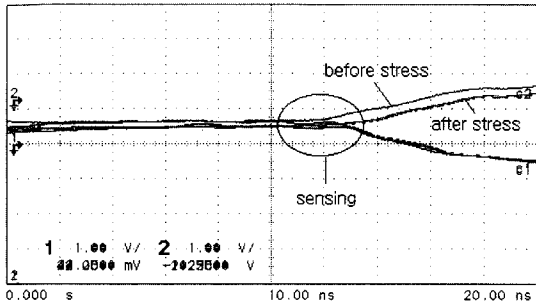


그림 10. 스트레스 전·후의 감지증폭기의 출력파형  
Fig. 10. Measured output waveform of sense amplifier circuit before and after stress.

그림 10은 스트레스 전·후의 감지증폭기의 출력파형을 나타낸 것이다. 그림에서 스트레스 후 half-Vcc 감소와 전압이득의 감소를 확인할 수 있었다.

Half-Vcc의 감소는 스트레스 후 비트라인 쌍의 커패시턴스 불평형으로 인한 결과인데 스트레스가 인가되는 동안 NMOS와 PMOS는 hot carrier가 발생할 수 있는 조건에서 열화된다. Hot carrier현상으로 만들어진 높은 에너지를 갖고있는 전자는 드레인 근처에서 게이트와 드레인의 overlap영역으로 포획되면서 계면전하를 형성하고, 채널이 좁아지는 현상이 발생한다. 이로 인해 스트레스 후 NMOS의 게이트-드레인 커패시턴스는 감소하고, PMOS는 증가한다.

따라서 비트라인 커패시턴스는 감소하고, 역 비트라인 커패시턴스는 증가하는데 PMOS의 증가량보다 NMOS의 감소량이 약 2배가량 크다<sup>[6]</sup>. 따라서 위와 같은 회로열화 결과는 특히 비트라인 커패시턴스의 감소가 훨씬 큰 영향을 준다는 것을 spice 모의 실험으로 확인할 수 있었다. 그리고 스트레스 후 MOS소자의 출력저항이 감소하기 때문에 전압이득의 감소가 발생한 것으로 사료되어진다<sup>[9]</sup>.

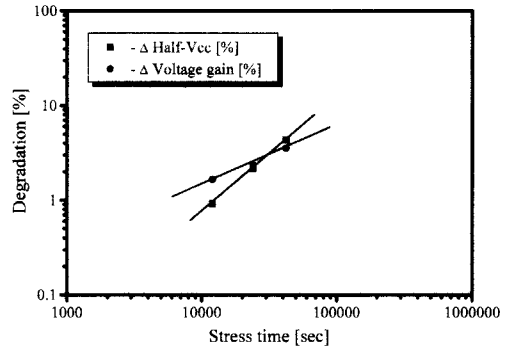


그림 11. 스트레스 시간에 따른 half-Vcc와 전압이득 변화량

Fig. 11. The degradation of half-Vcc and voltage gain versus stress time.

그림 11은 스트레스 후 시간에 따른 half-Vcc변화와 전압이득의 변화를 나타낸 것이다. 그림에서 half-Vcc의 변화가 훨씬 큰 것을 볼 수 있다. 그림12는 스트레스 시간에 따른 ΔGm의 변화량을 나타낸 것이다. 감지증폭기의 감지전압(Vs)는 다음과 같다.

$$V_s = \sqrt{\frac{CaK}{2\beta} \left( \frac{\Delta C}{C} + \frac{\Delta \beta}{\beta} \right) + \Delta V_T} \quad (4)$$

C : 비트라인 커패시턴스 K : 감지기용기  
α=0.5 ΔC, Δβ, ΔVT : 불평형 잡음

식(4)에서 스트레스 후에 소자열화로 ΔC와 Δβ가 크게 될 것이므로 Vs가 스트레스전보다 크게 증가할 것이다. 스트레스 후의 출력파형으로는 Vs의 변화를 정확히 관찰할 수 없어서 spice모의 실험을 통하여 half-Vcc변화와 Vs변화를 분석하였다. 비트라인 쌍의 커패시턴스는 여러 성분으로 구성되어 있는데 스트레스 후에 NMOS와 PMOS의 Cgd가 변하게 될 것이므로 ΔC ∝ ΔCgd로 가정하였다. 그림 13은 스트레스 전·후의 CMOS감지증폭단의 NMOS 게이트-드레인 커패시턴스(Cgd)변화를 나타낸 것으로 스트레스 전·후에 Cgd가 약 4.5fF정도 감소된 것을 확인할 수 있었다.

스트레스 후에 비트라인 쌍의 커패시턴스와 VT변화, 이득변수 β는 실제 측정된 값을 대입하였다. 그리고 초기의 비트라인 쌍의 커패시턴스 CB와 셀 커패시턴스 CS는 각각 250fF와 25fF 즉, CB:CS = 10:1로 모델링하였다<sup>[10]</sup>. 스트레스 후의 비트라인 쌍의 커패시턴스 불평형은 그림 12의 측정된 결과를 이용하여 각

각  $C_b=245.5\text{fF}$ ,  $C_{bb}=252\text{fF}$  정도로 모델링하였다. PMOS의 게이트-드레인 커패시턴스 증가량은 스트레스 후 NMOS 감소량의 1/2배가 된다는 연구결과를 이용하여 모델링하였다<sup>[5]</sup>.

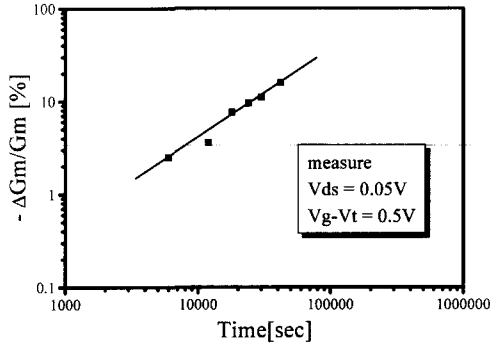


그림 12. 스트레스 시간에 따른 NMOS소자의 Gm변화량

Fig. 12. The transconductance(Gm) degradation of NMOS device versus stress time.

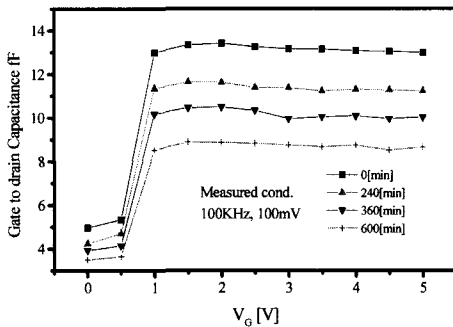


그림 13. 스트레스 시간에 따른 감지증폭단 NMOS소자의 게이트-드레인 커패시턴스 변화량

Fig. 13. The degradation of gate-to-drain capacitance of NMOS device in the part of sense amplifier before and after stress.

위와같이 모델링하여 spice.모의실험을 수행한 결과 half-Vcc의 변화와 감지전압변화를 확인할 수 있었다. 비트라인 커패시턴스만을 변화시켰을 경우 half-Vcc는 6mV가 감소하였고, 감지전압( $V_S$ )은 6.14mV증가되었으며, 역 비트라인 커패시턴스만을 변화시켰을 경우에는 half-Vcc는 2.8mV감소하였고, 감지전압은 3.26mV증가된 것을 확인할 수 있었다.

#### IV. 결론

Hot carrier 효과에 의한 DRAM주변회로의 성능저

하 현상을 측정·분석하였다. 소자열화에 의하여 정적 입력버퍼의 trip point가 증가하는 방향으로 변화였으며 동적 입력버퍼에서는 주파수가 감소하는 즉 time delay가 발생하는 것을 알 수 있었다. DRAM의 가장 중요한 회로인 감지증폭기에서는 hot carrier 효과에 의한 소자열화 특성은 문턱전압의 변화( $\Delta V_T$ )나 Gm의 감소보다 비트라인 쌍의 커패시턴스 불평형 현상이 영향을 가장 많이 주는 것을 알 수 있었고, 이로 인하여 half-Vcc와 전압이득이 저하되고 감지전압이 증가하는 것을 알 수 있었다.

#### 참고 문헌

- [1] Jong T. Park et al, Hot carrier 현상에 의한 Folded-Cascode CMOS Op-amp.의 성능저하, 대한전자공학회, pp.39-45, 1997
- [2] The Impact of NMOSFET Hot-Carrier Degradation on CMOS Analog Subcircuit Performance, IEEE JOURNAL OF SOLID-STATE CIRCUIT, VOL.30, NO.3, JUNE 1995.
- [3] R. Thewes et al, Hot-Carrier Degradation of p-MOSFETs in Analog Operation : The Relevance of the Channel-Length-Independent Drain Conductance Degradation, IEEE, pp.531-534, 1992.
- [4] C. Dayvury Huh, D. Redwine, H. Kitagawa, R. Hass, Y. Chung, C. Beydler, and A. Hyslop, Impact of Hot Carriers on DRAM Circuits, Proc. of IRPS, pp.201-206, 1987.
- [5] Yoon Jung Huh, Hyeokjue Lee, Jae-Gyung Ahn, and YungKwan Sung, Hot Carrier Induced Gate Capacitance Variation and Its Impact on DRAM Circuit Functionality, IEDM Technical Digest. pp.33-37, 1995.
- [6] Peter M. Lee, Tsuyoshi Seo, Kiyoshi Ese, Atsushi Hiraishi, Osamu Nagashima and Shji Yoshida, Application of Circuit Level Hot Carrier Reliability Simulation to Memory Design, Proc. of CICC, pp.27-30, 1997.
- [7] Yoon J. Huh et al, Hot-Carrier-Induced

- Circuit Degradation In Actual DRAM, IEEE, pp.72-75, 1995.
- [ 8 ] 유희준, DRAM DESIGN, IDEC 교재개발시리즈1, pp.129-134, 1996
- [ 9 ] J. Chung et al, The effects of hot electron degradation on analog MOSFET performance, IEDM Technical Digest, pp.553-556, 1990.
- [ 10 ] Yohji Watanabe et al, Offset Compensating Bit-Line Sensing Scheme for High Density DRAMs, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.29, NO.1, JANUARY 1994.

저 자 소 개



尹炳五(正會員)

1973년 12월 2일생. 1997년 2월 인천대학교 전자공학과 (공학사). 1999년 2월 인천대학교 전자공학과 (공학석사). 주관심분야는 MOS소자 및 DRAM 주변회로의 신뢰도 분석



張炳健(正會員)

1951년 9월 30일생. 1975년 2월 연세대학교 전자공학과(공학사). 1985년 5월 미국Iowa주립대 전기공학과(공학석사). 1991년 5월 미국 New Mexico 주립대 전기공학과 (공학박사). 1990년 8월 ~ 1994년 2월 미국 Nevada 주립대 전기공학과 조교수. 1994년 3월 ~ 현재 인천대학교 전기전자공학부 부교수. 주관심 분야는 디지털 및 어레이 신호처리등임

劉宗根(正會員) 第32卷 A編 第1號 參照  
인천대학교 전자공학과 교수

朴鍾泰(正會員) 第34卷 D編 第12號 參照  
인천대학교 전자공학과 교수