

論文99-36D-6-3

단층 다결정실리콘 EEPROM의 Endurance 특성 개선을 위한 소거방법

(Erasing Methods for Improved Endurance Characteristics in Single-Poly EEPROM)

柳榮喆*, 張星俊**, 劉宗根*, 李光燁***,
金永碩****, 朴鐘泰*

(Y.C. Yu, S.J. Jang, C.G. Yu, K.Y. Lee, Y.S. Kim, and J.T. Park)

요약

0.8 μ m 표준 CMOS공정을 이용하여 단층 다결정실리콘 EEPROM을 설계·제작하였다. 프로그램 및 소거 특성을 분석한 결과 프로그램 시간은 약 10ms이하였으나 소거시간이 약 100ms로 큰 것을 알 수 있었다. 소거시간을 개선하기 위하여 여러 가지의 소거 방식을 사용하였다. 그리고 프로그램과 소거시 산화막에 포획된 전자로 인하여 endurance 특성이 나빠지는 것을 개선하기 위하여 소스/드레인 두단자를 통한 소거방법을 이용하였다. 그 결과 단층 다결정실리콘 EEPROM의 endurance 특성이 기존 보다 훨씬 개선된 것을 알 수 있었다.

Abstract

In this work, single-poly EEPROM was designed and fabricated by using standard 0.8 μ m CMOS process. From the results of programming and erasing characteristics, it was found that the programming time was smaller than 10ms and the erasing time was about 100ms. To reduce the erasing time, several erasing methods were performed. The S/D erasing method was used to improve the endurance characteristics which was degraded due to electron trapping in programming and erasing cycles. By using the S/D erasing method, the more improved endurance characteristics than conventional one was obtained.

* 正會員, 仁川大學校 電子工學科

(Dept. of Electronic Eng., Incheon Univ.)

** 正會員, 麗州大學 事務自動學科

(Dept. of office Automation, Yejuo Insitute of Technology)

*** 正會員, 西京大學校 컴퓨터科學科

(Dept. of Computer science, Seokyoung Univ.)

**** 正會員, 忠北大學校 電氣電子工學部

(Schohool of Electrical & Electronic Engineering, Chungbuk National Univeristy)

※ 본 연구는 1998년 정보통신부 대학기초 연구지원사업의 지원으로 수행되었음

接受日字:1999年2月9日, 수정완료일:1999年5月20日

I. 서론

EEPROM(Electrically Erasable and Programmable Read Only Memory)은 전기적으로 고쳐 쓰기가 가능한 불휘발성 메모리이다. EEPROM은 전원이 끊어진 상태에서도 계속하여 데이터를 저장할 수 있는 장점을 가지고 있기 때문에 EEPROM을 이용한 플래시 메모리는 하드디스크나 플로피디스크를 대체할 수 있는 메모리소자로서 많은 관심에 대상이 되고 있다. 특히 전력 소비가 적고 칩사이즈가 작을 뿐만 아니라 자외선 소거형 EPROM(Erasable and Programmable Read Only Memory)에서 쓰이던 고가

의 세라믹 패키지 대신 저가의 플라스틱 패키지를 사용할 수 있는 장점을 가지고 있기 때문에 이에 관한 많은 연구가 진행되어 왔다.

플래시 메모리에서 가장 많이 쓰이는 2층 다결정실리콘 EEPROM은 드레인 근처에서 발생한 hot electron을 부유게이트로 주입해서 셀의 문턱전압을 높이는 방식을 선택하고 있다. 소거는 소스에 높은 양의 전압을 인가하고 제어게이트를 접지해서 소스와 부유게이트간의 FNT(Fowler-Nordheim Tunneling)을 이용해서 부유게이트에 모여있는 전자들을 방출함으로써 셀의 문턱전압을 감소시키는 방식을 이용하고 있다. 2층 다결정실리콘 EEPROM은 interpoly 산화막 공정을 사용하고 있으므로 공정이 복잡하고 신뢰도가 떨어지는 문제점을 가지고 있다. 이런 2층 다결정실리콘 EEPROM의 단점을 해결하기 위하여 단층실리콘 EEPROM이 제안되었다^[1,2,3].

단층 다결정실리콘 EEPROM의 프로그램·소거 방식에 의한 endurance 특성에 관한 연구가 많이 진행되었으나 산화막내에 전자가 포획되어 소거 특성이 안 좋은 것으로 보고되고 있다. 일본의 Ohsaki 등은 단층 다결정실리콘 EEPROM의 endurance 특성을 개선하기 위해서 소거 문턱전압에 따른 소거 전압을 높여주는 방법을 사용하기도 하였으나 이는 메모리 회로 설계시 회로 설계가 복잡하고 칩면적이 증가하는 문제점을 가지고 있다^[2].

본 연구에서는 단층 다결정실리콘 EEPROM의 endurance 특성 개선을 위한 소거방법에 관한 연구를 하였다. 소스에 높은 양의 전압을 인가하는 경우와 소스에 짧은 펄스를 직렬로 인가하는 경우, 드레인 단자를 접지시킨 경우와 소스/드레인 두단자에 양의 전압을 인가한 경우의 소거특성을 비교·분석하였다. 그리고 프로그램과 소거시 기판은 접지시켰다. 그리고 소자의 열화현상으로 인하여 endurance 특성이 저하되는 것을 개선하기 위하여는 소스/드레인 두단자에 양의 전압을 인가하는 방법이 좋은 것을 알 수 있었다.

II. 소자 설계 및 제작

제작된 단층 다결정실리콘 EEPROM은 IDEC의 0.8 μ m 표준 CMOS 공정의 설계 규칙에 맞게 설계하였다. 테스터 칩의 레이아웃은 그림1과 같으며 채널 길이는 0.8 μ m 이고 폭은 1.6 μ m 이다. 제어게이트의 인

가 전압 중에서 부유게이트에 인가되는 전압비율인 커플링비율(Coupling ratio)은 NMOS의 게이트 커패시턴스와 n-well의 제어게이트 커패시턴스에 의하여 결정되므로 그림1에서는 약 0.8이 되게 설계하였다. 제어 게이트가 p⁺-확산/n-well로 구성되면 프로그램 특성이 좋으며 n⁺-확산/n-well로 구성되면 소거특성이 좋다는 다른 연구의 결과를 참고로 하여 제어게이트를 n⁺-확산/p⁺-확산/n-well로 설계하였다^[3].

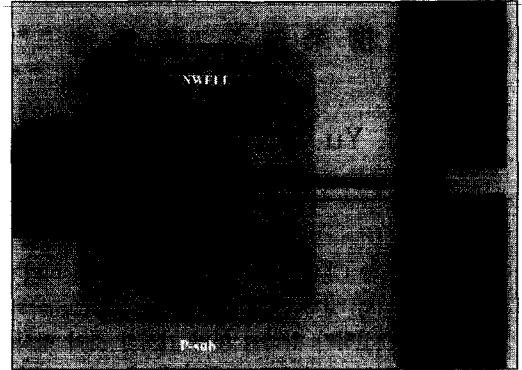


그림 1. 테스터 칩의 레이아웃
Fig. 1. Layout of test chip.

소자 제작시 0.8 μ m 표준 CMOS 공정을 이용하였으므로 추가 마스크가 사용되지 않았으며 게이트 산화막 두께는 175Å 이며 LDD 구조이다.

III. 단층 다결정실리콘 EEPROM의 프로그램 특성

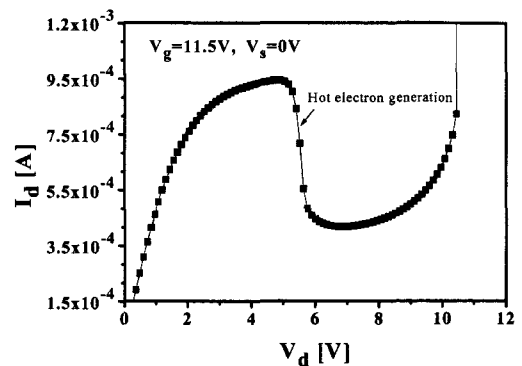


그림 2. One-shot 프로그램 특성
Fig. 2. One-shot programming characteristics.

제작된 채널길이 0.8 μ m 단층 다결정실리콘 EEPROM의 one-shot 프로그램 특성을 측정하여 그림2에 나타나

었다. 제어 게이트에 11.5V의 일정한 전압을 인가하며 드레인 전압에 따른 드레인 전류특성을 측정하였다. 그림에서 드레인 전압이 약 5V이상 되었을 때 드레인 전류가 급격히 감소되는 현상을 관찰할 수 있다. 이것은 드레인 전압이 5V이상 일 때 드레인 근처에서 큰 수평전계에 의하여 생성된 hot electron이 부유게이트로 주입되어 문턱전압이 높아 졌기 때문이다. 즉 그림2로부터 프로그램을 위한 제어게이트 전압은 11.5V 일때 드레인 전압은 5V보다 커야됨을 알 수 있다. 그리고 드레인 전압이 10V 정도 되면 드레인 전류가 크게 증가하는 것은 snap-back 현상에 의한 소자의 항복 현상 때문이다.

프로그램의 최적전압과 시간을 구하기 위하여 그림3에 게이트 전압이 12V로 일정할 때 드레인 전압과 프로그램 펄스 폭에 따른 프로그램 후의 문턱전압을 나타내었다. EEPROM의 판독시 문턱전압 5V를 기준으로 한다면 제어게이트 전압이 12V이고 드레인 전압이 6V 일 때 프로그램시간이 10ms 임을 알 수 있으며 드레인 전압이 5.5V로 낮으면 프로그램시간이 약 1sec로 커야 됨을 알 수 있다. 고속의 프로그램을 위해서는 hot electron이 많이 주입되는 조건으로 게이트와 드레인 전압을 높여야 한다.

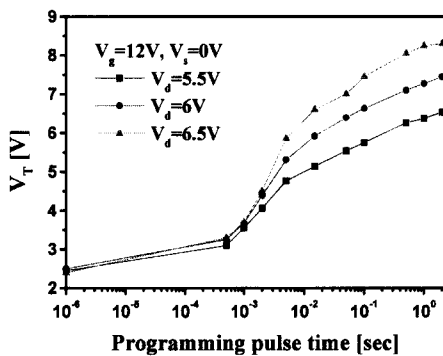


그림 3. 드레인 전압에 따른 EEPROM 셀의 CHE 프로그램 특성

Fig. 3. CHE programming characteristics of EEPROM cell with drain voltage.

IV. 소거특성을 개선하기 위한 소거방법

소거는 제어게이트와 기판을 접지시키고 드레인을 플로팅시킨 상태에서 소스에 높은 양의 전압을 인가하여 FNT 메카니즘으로 부유게이트에 모인 전자를 소스 쪽으로 뽑아내는 과정이다. 이때 일반적인 소스/드레인 접합 기술로는 부유게이트와 소스가 중첩되는 영

역이 작아서 전자를 소거하는데 시간이 많이 요구되므로 높은 소스 전압을 인가한다. 다른 방법으로는 소스 쪽에 graded접합을 이용하여 중첩 면적을 증가시키므로 소거 시간을 줄이는 연구도 있다^[45]. 본 연구에서는 표준 CMOS 공정을 사용하였으므로 소거 시간을 줄이기 위한 소자의 구조 및 공정조건의 최적화를 할 수 없으므로 소거시 각 단자의 인가 전압 방식을 여러 가지로 조합하여 소거 시간을 줄일 수 있는 방법들을 제시하였다.

1. 소스에 높은 양의 전압을 인가하는 경우

그림4는 소거시의 최적 소스전압과 소거시간을 구하기 위하여 소거시 펄스 폭의 크기에 따른 소거후의 문턱 전압을 나타낸 것이다. 소거 동작은 소스에 높은 양의 전압을 인가하여 부유게이트에 축적된 전자를 FNT에 의하여 소스 쪽으로 뽑아 내는 과정이다. 소스에 높은 전압이 인가될 수록 소거 시간이 짧아지게 된다. 그러나 소스의 전압이 너무 높으면 p-n접합에 항복현상이 일어나므로 이 보다 낮은 전압을 인가하여야 한다. 그림4에서는 소스전압을 13.8V~14.2V로 인가하면서 소거 시간 변화를 관측하였다. 본 연구에서 제작된 소자의 p-n 접합 항복 전압은 약 15V이었으므로 가능한 높은 전압을 소스에 인가하였다. 판독 문턱전압을 5V로 가정하였을 때 소거 시간을 수백 ms로 하기 위해서는 소스전압을 14.2V로 하여야 함을 알 수 있다. 그림4에서 소스 전압이 14.2V일 때 소거 시간은 약 100ms임을 알 수 있다. 소거시간이 프로그램 시간 보다 긴 것은 부유게이트가 다결정 실리콘이고 소스와 부유게이트가 중첩되어있는 면적이 작기 때문 일 것이다.

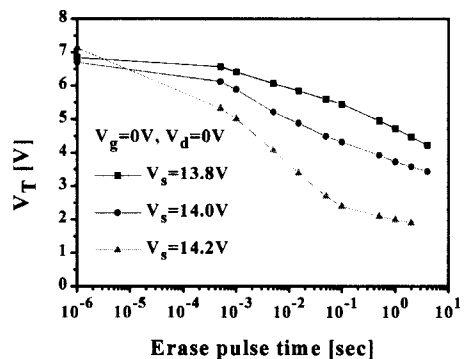


그림 4. 소스 전압에 따른 EEPROM 셀의 FNT 소거 특성

Fig. 4. FNT erasing characteristics of EEPROM cell with source voltages.

2. 드레인 단자의 접지 영향

소거시 일반적으로 드레인 단자를 플로팅 하나 이를 접지 하면 소거 시간이 단축되는 것을 그림5로부터 확인 할 수 있다. 이는 드레인을 접지하므로 소스에 인가된 양의 전압이 기판의 표면 전위를 증가시키게 되어 부유게이트의 전자가 부유게이트와 소스가 중첩된 영역뿐만 아니라 소스쪽에 가까운 기판으로도 터널링 되기 때문일 것이다. 즉 드레인을 플로팅하는 것보다 접지 시킴으로 부유게이트에 축적된 전자의 터널링 면적을 증가시킬 수 있기 때문이다. 만약 측정소자의 채널길이가 긴소자를 사용하였다면 이와같은 드레인 단자의 접지 영향은 나타나지 않았을 것이다. 본 연구에서 사용된 측정소자의 채널길이가 0.8 μ m인 소자를 사용하였으므로 드레인쪽에 인가한 전압이 소스쪽의 built-in potential에 영향을 주었기 때문이다.

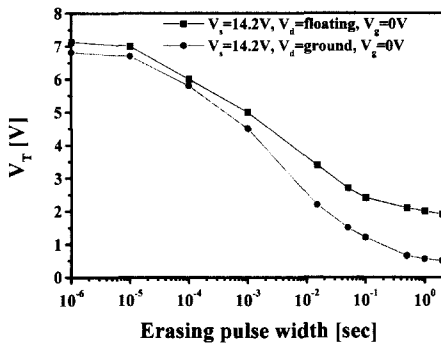


그림 5. 드레인 바이어스 조건에 따른 소거 특성
Fig. 5. Erasing characteristics with drain bias conditions.

3. 소스에 짧은 펄스를 직렬로 인가한 경우

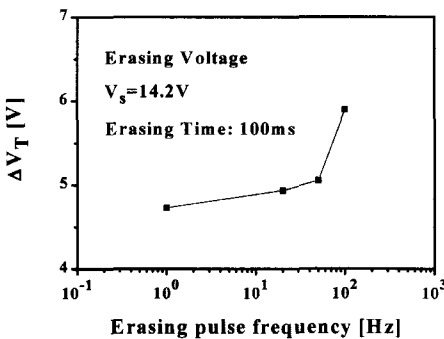


그림 6. 소스에 짧은 펄스를 직렬로 인가하였을 때 펄스 주파수에 따른 문턱전압 변화
Fig. 6. Threshold voltage variation versus erasing pulse frequency.

소거시 일반적으로 소스에는 단일펄스를 인가하고 있으나, 본 연구에서는 소거 시간을 같게 하면서 소스에 짧은 펄스를 연속적으로 인가하여 소거특성을 측정하였다. 그림6은 같은 소거 시간(100ms)동안에 펄스폭이 다른 여러 개의 펄스를 소스에 인가하였을 때 소거시의 문턱전압 변화를 나타낸 것이다. 그림6에서 펄스의 개수가 많을 수록 즉 펄스폭이 작을 수록 소거가 잘 되는 것을 알 수 있다. 결국 소스에 폭이 짧은 펄스를 인가하므로 소거 시간을 줄일 수 있게된다. 이런 현상을 산화막에 생성된 trap의 detrapping으로 설명하는 연구도 있으나 그것보다는 펄스인가시 발생하는 전압의 오버슈트 때문에 소거가 잘 되는 것으로 사료된다^[6]. 전압의 오버슈트는 펄스폭이 짧을 수록 또 주파수가 높을 수록 많이 나타날 것이므로 높은 전계에 의하여 부유게이트에서 소스로 FNT현상이 많이 일어날 것이다.

4. 소스/드레인 두단자를 통한 소거방법

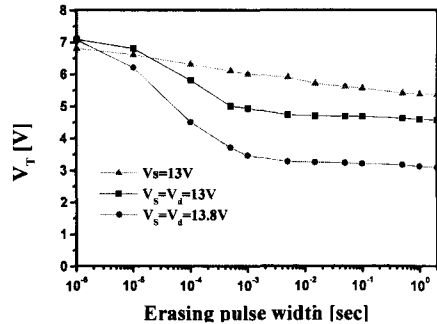


그림 7. 소스 한 단자와 소스/드레인 두단자를 통한 소거특성비교

Fig. 7. Comparison of erasing characteristics between source erasing and S/D erasing.

그림7 에서는 소거시 소스에 높은 양의 전압을 인가하는 경우와 소스/드레인 두단자를 통하여 소거하는 경우를 비교하였다. 제어게이트와 드레인을 접지시키고 소스에 13V 양의 전압을 인가하는 경우에는 소거시간이 100ms일 때 문턱전압이 5.5V였다. 하지만 소스/드레인 두단자의 전압을 13V를 인가하는 경우 소거시간이 100ms일 때 문턱전압이 4.5V로 소거 특성이 개선됨을 알 수 있었다. 소스에 높은 양의 전압을 인가하는 경우에 소거문턱전압이 약 2.5V 정도로 하기 위해서는 소스에 14.2V, 100ms 동안을 인가해야 함을 그림 4로부터 알 수 있었다. 소스/드레인 두 단자를 통

한 소거의 경우 소거 문턱전압이 2.5V 정도로 하기 위해서는 인가 전압을 13.8V보다 높은 전압을 인가해야 하지만 소스/드레인의 junction breakdown 이 일어날 수 있으므로 더 높은 전압을 인가하지 못하였다. 하지만 게이트 산화막의 두께가 175Å보다 더 얇은 경우에는 소스에 높은 양의 전압을 인가하는 경우보다 소스/드레인 두단자를 통한 소거 방법이 더 좋은 소거 특성을 얻을 수 있을 것이다.

V. 프로그램 및 소거시 소자의 열화현상

일반적으로 EEPROM은 프로그램·소거를 하는 동안 산화막내에 전자·정공 트랩에 의한 산화막의 열화현상에 의한 프로그램 및 소거 문턱전압의 변화가 가장 심각한 문제가 되고 있다. 이를 줄이기 위한 방법으로 프로그램과 소거전압 조건을 달리하는 방법이 제시되기도 하였다^[6]. 특히 단층 다결정실리콘 EEPROM의 endurance 특성은 매우 좋지 않은 것으로 보고되어 실제로 응용하기 어렵다^[2].

본 연구에서는 프로그램과 소거를 반복하는 동안 단층 다결정실리콘 EEPROM 산화막에 포획되는 전자의 양을 구하기 위하여 단층 다결정실리콘 EEPROM 과 같은 조건의 bulk MOS소자를 사용하였다. 그림8은 $V_g=9.6V$, $V_d=6V$ 의 스트레스 시간과 문턱전압 변화 사이의 관계를 도식한 것이다. 스트레스 시간이 길어질수록 문턱전압의 변화가 커지는데, 이는 CHE에 의하여 드레인 근처 산화막에 전자가 포획되기 때문이다. 그림9는 $V_s=14V$, $V_g=0$ 로 소거 스트레스를 인가 하였을 시 소스근처 산화막에 포획된 전자로 인하여 FNT 전류가 감소됨을 보여준다. 그림9는 소거 스트레스 후 게이트전류가 50pA 되는 소스전압을 측정한 것으로 스트레스 시간에 따라 ΔV_{sg} 가 증가되는 것은 FNT 전류가 감소함을 의미하는 것이다. 결국 프로그램과 소거시 산화막에 포획된 전자로 인하여 endurance 특성이 나빠지므로 이를 개선하기 위하여는 detrapping이 필수적임을 알 수 있다. 일반적으로 2층 다결정실리콘 EEPROM에서 endurance 특성을 개선시키기 위하여 decay 펄스를 인가하므로 본 연구에서도 같은 방법을 단층 다결정실리콘 EEPROM에 적용하였다^[7]. 그림10은 $V_d=12V$ 와 13V 의 decay 펄스의 펄스시간에 따른 문턱전압의 변화를 나타낸 것이

다. 이 그림으로부터, 프로그램시에 산화막에 포획되어 있던 전자들이 decay 펄스를 인가함으로써 detrapping 되는 것을 알 수 있다. Decay 펄스의 전압을 13V로 하는 경우 약 1000초 후에 모든 전자들이 detrapping 되어 초기의 문턱전압으로 되돌아가는 것을 확인할 수 있었다.

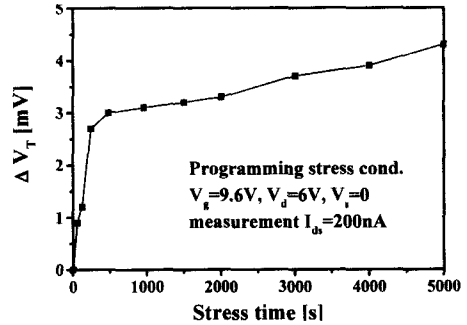


그림 8. 프로그램시 스트레스에 의한 문턱전압변화
Fig. 8. Threshold voltage variation versus programming stress time.

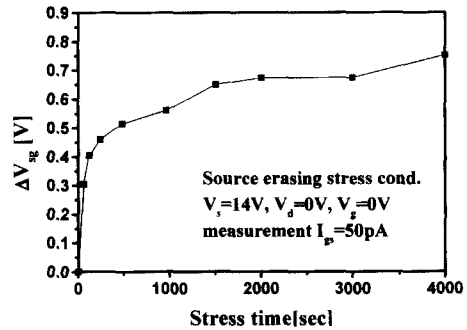


그림 9. 소거시 소거스트레스에 의한 V_{sg} 변화
Fig. 9. V_{sg} variation versus erasing stress time.

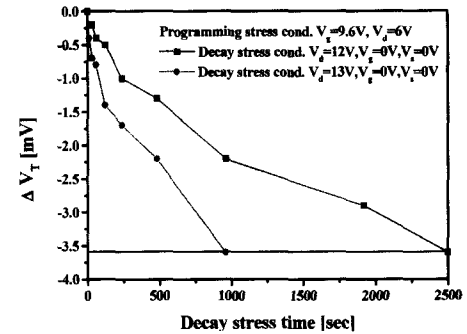
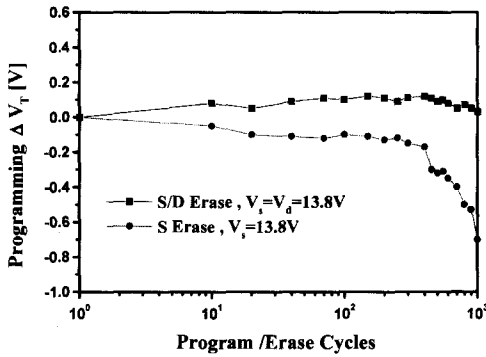


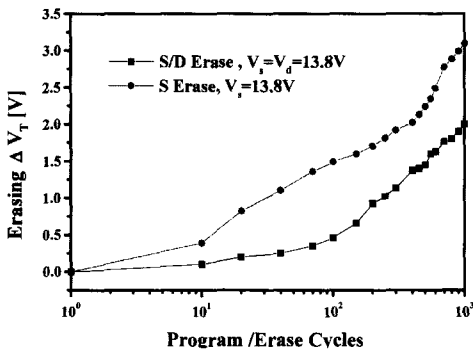
그림 10. 프로그램 스트레스 후 decay 펄스 시간에 따른 문턱전압 변화
Fig. 10. Threshold voltage variation versus decay pulse time after programming stress.

VI. Endurance 특성

EEPROM의 endurance 특성을 보면 프로그램 보다 소거시 문턱전압의 변화가 큰 것은 소거시 소스에 높은 전압을 인가하여 소거하므로 소스쪽의 oxide의 열화현상으로 인하여 재소거시 부유게이트에서 소스로 전자가 tunneling이 잘 안되기 때문이다. 앞에서 분석한 여러 가지 소거방법과 프로그램 및 소거시 소자의 열화현상을 고려할 때 소거특성과 재프로그램 특성을 개선하기 위하여는 소스/드레인 두단자를 통한 소거방법이 가장 좋은 방법으로 사료된다. 이 방법은 소스와 드레인을 통하여 부유게이트의 전자를 소거하므로 소거시간이 단축시킬 수 있으며 프로그램시에 드레인 근처의 산화막에 포획된 전자를 detrapping 하므로 재프로그램 시간을 단축시킬 수 있다.



(a)



(b)

그림 11. Endurance 특성 (a)프로그램 endurance 특성 (b) 소거 endurance 특성

Fig. 11. Endurance characteristics (a)Programming endurance characteristics (b) Erasing endurance characteristics.

그림11은 소스단자에 양의 전압을 인가한 경우와

소스/드레인 두단자에 양의 전압을 인가한 경우의 프로그램 문턱전압변화(a)와 소거문턱전압변화(b)를 나타낸 것이다. 소거조건으로는 소스 한단자인 경우 $V_s=13.8V$, 100ms이며 소스/드레인 두단자의 경우는 $V_s=V_d=13.8V$, 100ms 이다. 그림11-(a)로부터 소스 단자에 양의 전압을 인가한 소거방법을 사용한 경우는 프로그램 회수가 증가하면 프로그램후의 문턱전압이 저하가 되어 ΔV_T 가 음의 방향으로 크게되는 것을 알 수 있다. 그리고 소스/드레인 두단자에 양의 전압을 인가한 소거방법에서는 프로그램 후의 문턱전압이 초기에는 오히려 약간 증가하였다가 프로그램 회수가 증가하면 초기의 문턱전압과 거의 유사하게 되는 것을 알 수 있다. 이것은 앞에서도 설명한 것과 같이 소거시 드레인 단자에 높은 양의 전압을 인가하므로 프로그램시 게이트 산화층에 포획된 전자가 detrapping 되었기 때문이다. 그림11-(b)로 부터도 소스단자 하나에 양의 전압을 인가하여 소거하는 경우보다 소스/드레인 두단자에 양의 전압을 인가하여 소거하는 경우가 많은 소거후에 문턱전압변화가 작은 것을 알 수 있다. 이것도 앞에서 설명한 것과 같이 소스/드레인 두단자로 부유게이트의 전자가 터널링하여 빠져나가므로 많은 소거후의 문턱전압이 초기의 문턱전압과 큰 차이가 없게 되기 때문이다.

V. 결 론

0.8 μ m 표준 CMOS 공정을 이용하여 단층 다결정실리콘 EEPROM을 설계·제작하였다. 초기의 문턱전압은 약 0.8V이었으나 드레인전압 6V, 제어게이트 전압을 12V로 프로그램후 약 6.5V로 증가되었고 소스 전압 14.2V로 소거후 약 2.4V로 감소되었다. 프로그램시간은 약10ms 정도이며 소거시간은 약100ms 정도 되었다. 소거 특성 개선을 위해서 소스에 높은 양의 전압을 인가하고 드레인을 플로팅시키는 기존의 소거 방법보다는 드레인을 접지 시키는 방법과 소스에 단일 펄스 대신 짧은 펄스들을 연속적으로 인가하는 방법, 소스/드레인 두단자를 통한 소거방법이 소거특성이 개선되는 것을 볼 수 있었다. 프로그램과 소거에 의한 산화막의 열화현상을 줄이기 위하여 소거시 소스/드레인을 통한 소거방법을 사용함으로써 기존의 프로그램·소거 방식보다 좋은 endurance 특성을 얻을 수 있었다. 본 연구에서 언급한 것과 같은 드레인 접지,

소스/드레인 두단자를 통한 소거 방법을 적용하기 위해서는 기존의 플래시 EEPROM 방식에서 사용한 주변회로에 대한 개선을 필요로 한다.

참 고 문 헌

[1] 류영철, 이광엽, 유종근, 박종태, "Single-Poly EEPROM의 프로그램 및 소거특성에 관한연구", *전자공학회 하계종합학술대회 논문집*, 제 21권, 제1호, pp.425-428, 1998

[2] K. Ohsaki, N. Asamoto, and S. Takagaki, "A Single Poly EEPROM Cell Structure for Use in Standard CMOS Processes", *IEEE J. Solid-state Circuits* Vol. 29, No.3, pp.311-316, 1994.

[3] 한재철, 나기열, 이성철, 김영석, "Single-Poly EEPROM의 프로그램 특성", *전자공학회 논문지-A*, 제33권 A편 제2호, pp.131-139, 1996

[4] W. D. Brown and J. E. Brewer, *Non-volatile Semiconductor Memory Technology*, pp.200-201, 1997, IEEE press.

[5] H. Kume, H. Yamamoto, T. Adach, T. Hagiwara, K. komori, T. Nishimoto, A. Koike, S. Meguro, T. Hayashida, and T. Tsukmuda, "A Flash-erase EEPROM cell with an asymmetric source and drain structure", *IEDM Tech Dig.*, pp.560-563, 1987.

[6] T. Endoh, H. Iizoka, S. Aritome, R. Shirota, and F. Masuoka, "New write/erase operation technology for flash EEPROM cells to improve the read disturb characteristics", *IEDM Tech Dig.*, pp.603-606, 1992.

[7] C. Chen and T. P. Ma, "Direct Lateral Profiling of Hot-Carrier-Induced Oxide Charge and Interface Traps in Thin Gate MOSFET's", *IEEE Trans. Electron Devices*, Vol.45, No.2, pp.512-520, 1998.

저 자 소 개

柳 榮 喆(正會員)

1972년 5월 9일생. 1998년 2월 인천대학교 전자공학과 졸업(학사). 1998년 3월~현재 인천대학교 대학원 전자공학과 재학중. 주관심 분야는 Flash EEPROM의 신뢰도 분석 및 flash EEPROM 설계

朴 鍾 泰(正會員) 第34卷 D編 第12號 參照

현재 인천대학교 전자공학과 교수

張 星 俊(正會員) 第33卷 第4號 參照

현재 여주대학 사무자동화과 교수

李 光 燦(正會員) 第29卷 A編 第9號 參照

현재 서경대학교 컴퓨터 과학과 교수

劉 宗 根(正會員) 第32卷 A編 第1號 參照

현재 인천대학교 전자공학과 교수

金 永 碩(正會員) 第33卷 D編 第2號 參照

현재 충북대학교 반도체과학과 교수