

論文99-36D-2-9

보호 회로를 포함한 전력 MOSFET 구동기

(A Power MOSFET Driver with Protection Circuits)

韓相贊*, 李舜燮*, 金壽遠*, 李德珉**, 金成東**

(Sang Chan Han, Soon Seob Lee, Soo Won Kim, Duk Min Lee,
and Seong Dong Kim)

요 약

본 논문에서는 2 μm 고전압 CMOS 공정을 사용한 보호 회로를 포함한 전력 MOSFET 구동기를 설계하였다. 제어 회로의 안정한 동작을 위하여 전원 관리 회로를 설계하였으며 전원 관리 회로의 전압 레귤레이터의 보호를 위하여 전압 검출 방식의 단락 보호 회로를 제안하였다. 전압 검출 방식(Voltage-Detection Short Circuit Protection; VDSCP)은 직렬 저항에 의한 전압 강하가 없고, 출력단 단락 상태에서 전압원의 전류를 출력단에 흐르지 못하도록 하는 특성이 있다. 전력 MOSFET을 보호하기 위하여 부하 단락 보호 회로, 게이트 전압 제한 회로, 과전압 보호 회로를 설계하였으며, 50 V의 항복 전압을 갖는 공정을 이용하여 전력 MOSFET 구동기를 위한 2 μm 고전압 CMOS 공정을 개발하였다. 전력 MOSFET이 소비하는 전력 이외에 구동기가 소비하는 전력은 전력 MOSFET 구동 상태에 따라 20 ~ 100 mW의 범위에 있는 것으로 확인하였다. 주문형으로 제작된 전력 MOSFET 구동기의 active area의 크기는 $3.5 \times 2.8 \text{ mm}^2$ 이다.

Abstract

In this paper, a power MOSFET driver with protection circuits is designed using a 2 μm high-voltage CMOS process. For stable operations of control circuits a power managing circuit is designed, and a voltage-detecting short-circuit protection (VDSCP) is proposed to protect a voltage regulator in the power control circuit. The proposed VDSCP scheme eliminates voltage drop caused by a series resistor, and turns off output current under short-circuit state. To protect a power MOSFET, a short-load protection, a gate-voltage limiter, and an over-voltage protection circuit are also designed. A high voltage 2 μm CMOS technology provides the breakdown voltage of 50 V. The driver consumes the power of 20 ~ 100 mW along its operation state excluding the power of the power MOSFET. The active area of the power MOSFET driver occupies $3.5 \times 2.8 \text{ mm}^2$.

I. 서 론

요즘 많은 관심을 받고 있는 smart power IC는

* 正會員, 高麗大學校 電子工學科, ASIC 設計 研究室
(ASIC Design Lab., Electronic Engineering, Korea University)

** 正會員, 現代 電子 株式會社 System IC 研究所 素子 開發 研究室
(Device Development LAB. System IC Division Hyundai Electronics Industries Co., Ltd.)

接受日字: 1998年9月25日, 수정완료일: 1999年2月3日

한 칩에 전력 부하를 구동하는 부분과 이를 제어하는 디지털 논리 회로가 함께 집적된 것으로서, 디지털 제어부와 솔레노이드 밸브 등의 전력 부하를 연결시켜 주는 역할을 수행하는 IC를 통칭한다^[1]. 지난 10년 동안 smart power IC의 시장 규모는 약 4 배의 성장^[2]을 보인 만큼 이 분야의 관심이 점차 높아져 연구 활동이 활발히 이루어지고 있다^{[1] [3]-[9]}. Smart power IC의 연구 분야에는 자동차 전장 시스템, 모터 제어, 전원 제어, display 구동 등이 속하는데, 본 논문에서는 자동차 전장 시스템에서 솔레노이드 밸브를 구동하는 전력 MOSFET의 on/off를 제어하는 전력

MOSFET 구동기를 설계하였다.

일반적으로 smart power IC는 크게 디지털 논리 회로, 구동 회로, 보호 회로로 구성된다^{[11][3]}. 디지털 논리 회로는 마이크로 프로세서 등으로부터 받은 제어 신호를 해석하여 구동 회로를 제어하며, 구동 회로는 전력 부하를 구동한다. 보호 회로는 IC의 동작 환경에 따른 여러 가지 돌발 상황에서 IC와 전력 MOSFET을 보호하는 목적으로 사용된다. 자동차 등에 사용되는 IC는 과전압 스파이크나 높은 온도 등 열악한 환경에서 동작해야 하기 때문에 보호 회로의 중요성이 대두되고 있다.

본 논문에서는 디지털 논리 회로의 안정된 동작을 위한 전원 관리 회로와, 전원 관리 회로를 보호하는 단락 보호 회로를 설계하였다. 단락 보호 회로는 출력 전류 검출 방식^{[10][11]}을 개선한 전압 검출 방식의 회로(VDSCP)를 제안하였다. 이 회로는 기존의 전류 검출 방식에서 문제로 대두되었던 전압 강하, 다시 말해서, 단락되었을 때 전류량을 검출하기 위한 직렬 저항으로 인한 전압 강하가 없는 것이 특징이며, 단락 보호 회로와 더불어 전력 MOSFET을 보호하는 회로도 함께 설계하였다.

본 논문에서는 2장과 3장에서 전력 MOSFET 구동기의 구조와 제안된 단락 보호 회로를 설명하고, 이를 구현한 공정에 대하여 4장에 기술하였다. 그리고 5장에 여러 보호 회로에 대한 실험 결과를 보였으며 마지막으로 결론을 맺었다.

II. 전력 MOSFET 구동기

전력 MOSFET 구동기는 전력 MOSFET을 조절하여 부하에 전류를 on/off시키는 동작을 수행하는데, 그림 1이 본 논문에서 설계한 전력 MOSFET 구동기와 전력 MOSFET 그리고 부하를 연결한 블록도이며, 구동기는 크게 전원 관리 회로, 과전압 보호 회로, 제어 회로로 구성된다. 전원 관리 회로는 전압 레퍼런스와 전압 레귤레이터로 구성되어 있으며, 5 ~ 20 V의 외부 전원 전압을 CMOS 회로가 동작하는 5 V의 안정한 전압으로 변환한다. 그리고 과전압 보호 회로는, 전력 MOSFET이 off되면서 부하로 사용되는 인덕터에서 큰 역기전력이 발생하여 순간적으로 전력 MOSFET의 드레인에 40 V가 넘는 전압 스파이크가 발생하게 되는데, 전력 MOSFET의 on/off를 조절하

는 방법으로 스파이크를 제거하여 전력 MOSFET을 보호하는 역할을 한다. 또한 그림에서의 제어 회로는 마이크로 프로세서 등으로부터 입력되는 제어 신호와 전력 MOSFET의 드레인 전압을 모니터링한 신호를 해석하여 전력 MOSFET의 on/off를 결정한다. 드레인 전압을 모니터링하는 것은 전력 MOSFET의 부하가 단락되었을 때 전력 MOSFET을 off시켜 보호하기 위한 것이다. 이 그림에서 전원 관리 회로는 제어 회로를, 과전압 보호 회로는 전력 MOSFET을 각각 보호하며, 전원 관리 회로에는 자신을 보호하기 위한 회로가 포함되어 있다.

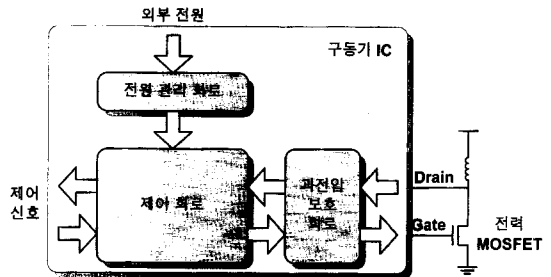


그림 1. 전력 MOSFET 구동기
Fig. 1. Power MOSFET driver.

III. 보호 회로

1. 전원 관리 회로

1) 전원 관리 회로의 종류

일반적으로 사용되는 전원 관리 회로를 구현하는데는 다음의 두 기술이 주로 사용된다. 첫째는 PWM 제어를 사용하는 스위칭 전압원이고, 두번째는 전압 레귤레이터를 사용하는 정전압원이다. 스위칭 전압원은 전류의 on/off를 제어하여 출력 전압을 조절하는 방식으로 효율이 높지만 전류의 on/off 제어로부터 발생하는 높은 주파수의 잡음을 효과적으로 줄이지 않으면 안 된다. 따라서 스위칭 전압원은 출력단에 필터를 연결하는 단점이 있다. 그러나 정전압원은 가변 저항을 통하여 출력 전압을 조절하는 방식이므로 전류의 on/off 현상이 일어나지 않아서 필터 없이 매우 안정된 전압을 얻을 수 있다. 본 논문에서는 제어 회로의 안정된 동작을 위하여 정전압원을 선택하였다.

2) 전류 검출 방식 단락 보호 회로

그림 2(a)는 전류 검출 방식의 단락 보호 회로를 사용한 전압 레귤레이터의 회로도이다. 그림에 표시된

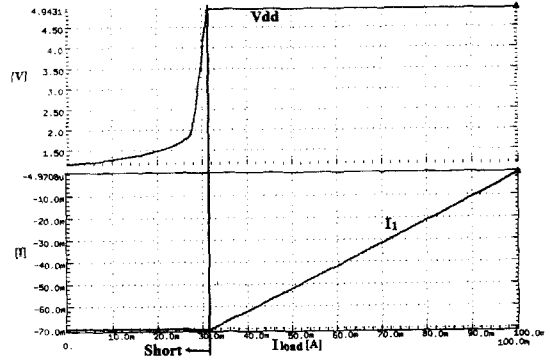
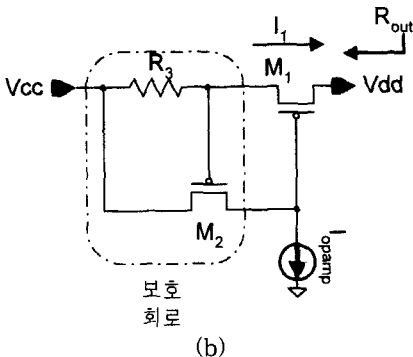
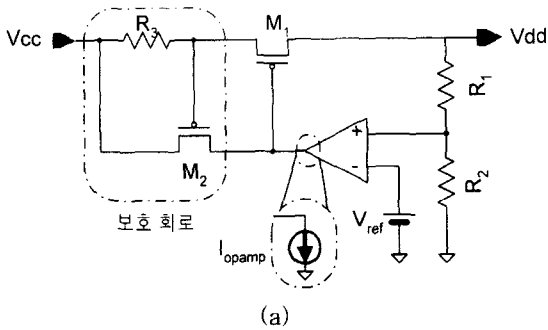
대로 단락 보호 회로는 저항 R_3 와 트랜지스터 M_2 로 구성된다. 전류가 적게 흐를 때에는 R_3 에 걸리는 전압이 M_2 의 문턱 전압보다 작으므로 M_2 가 on되지 않아 단락 보호 회로가 전압 레귤레이터에 영향을 주지 않는다. 그러나 출력단인 Vdd가 단락되어 전류가 급격히 증가하면, 전압 레귤레이터의 동작 상태가 달라지며 그림 2(a)를 그림 2(b)와 같이 단순화시켜 표현할 수 있다. 이 그림에서 전류원은 연산 증폭기를 단순화한 것이다. 이 회로에서 M_1 에 흐르는 전류는 식 (1)과 같다.

$$I_1 = \frac{1}{R_3} \left(|V_{Tp}| + \sqrt{\frac{2I_{opamp}I_2}{\mu_p C_{ox} W_2}} \right) \quad (1)$$

이 식에서 V_{Tp} 는 M_2 의 문턱 전압이며 회로의 출력 저항은 식 (2)와 같다.

$$R_{out} = R_3 + r_{ds1}(1 + g_{m1}R_3(1 + g_{m2}r_{ds2})) \quad (2)$$

이 식에서 g_{m1} , r_{ds1} , g_{m2} , r_{ds2} 는 각각 M_1 , M_2 의 transconductance와 출력impedance이다. 위 두 식을 보면 출력 전류가 Vdd의 전압과는 무관하고 출력 저항이 매우 큰 것을 알 수 있다. 다시 말해서, 그림 2b의 회로는 전류 레퍼런스로 동작하며 Vdd가 단락에 의해 0 V가 되더라도 전류가 0 A가 되지 않는다.



(c)

그림 2. 전류 검출 방식의 단락 보호 회로를 포함한 전압 레귤레이터 (a) 전류 검출 전압 레귤레이터 (b) 출력단이 단락된 전압 레귤레이터의 단순화된 모델 (c) 동작 특성

Fig. 2. Voltage regulator with current detecting short circuit protection. (a) Current detecting voltage regulator (b) Simple model when the output of voltage regulator is shorted (c) Simulation results of the regulator

그림 2(c)는 전압 레귤레이터의 동작 특성의 모의 실험 결과를 나타낸 것으로 여기서 출력 전류가 70 mA가 되면 단락이 되도록 설계된 회로에 0 mA부터 100 mA까지 부하를 인가한 상황에서 출력 전류를 살펴본 것이다. 모의 실험 결과로부터, 0 ~ 70 mA까지는 부하가 요구하는 전류를 출력함을 알 수 있다. 그러나 부하가 그 이상의 전류를 요구하면 출력 전압은 1.2 V로 떨어지고 출력 전류는 일정한 값 70 mA를 유지한다. 이러한 단락 보호 회로는 전압 레귤레이터의 출력단이 단락되었을 때에도 전압 레귤레이터나 부하에 계속 전류가 흐르게 되므로 회로의 일부가 손상될 수 있는 위험이 따른다. 이러한 단점을 보완하기 위하여 전압 검출 방식의 보호 회로(Voltage Detecting Short Circuit Protection; VDSCP)를 제안하였다.

3) 전압 검출 방식 단락 보호 회로 (VDSCP)

그림 3(a)는 VDSCP를 사용하는 전압 레귤레이터를 나타낸 것으로 비교기와 트랜지스터 M_3 로 구성된다. 전압 레귤레이터가 정상적으로 동작하여 Vdd가 5 V를 유지하면 비교기의 출력이 0 V가 되고 M_3 가 off되어 전압 레귤레이터 동작에 영향을 주지 않는다. 그러나 Vdd가 단락에 의해 1.2 V(전압 레퍼런스 출력 전압, V_{ref})보다 작아지면, 비교기에 의하여 M_3 가 on

되며 이에 따라 연산 증폭기의 출력이 V_{cc} 와 같아져 M_1 가 완전히 off되도록 하였다. 따라서 전압 레귤레이터나 부하가 단락시 흐르는 전류에 의해 손상되는 것을 막을 수 있다. 그림 3(a)에서 연산 증폭기의 ocp 단자는 연산 증폭기의 동작 상태와 출력 전압을 제어하는 것으로 연산 증폭기의 한 내부 노드를 밖으로 연결한 것이다. M_3 를 on시켜 이 단자 전압을 낮추면 연산 증폭기의 출력 전압이 입력과 무관하게 V_{cc} 와 같아지고 M_3 를 off시킨 상태에서는 일반적인 연산 증폭기와 동일하게 동작하므로 이 단자를 통해 M_1 의 on/off를 연산 증폭기의 입력과 별도로 제어할 수 있다는 장점이 있다.

VDSCP의 동작 원리를 확인하기 위해 모의 실험을 수행하였으며 그 결과를 그림 3(b)에 나타내었다. 모의 실험에 사용한 회로는 1.2 V 이하의 출력 전압을 단락으로 삼아 설계되었으며, 0 V부터 4.5 V까지 출력단에 전압을 인가했을 때 나타나는 전류를 살펴보았다. 이 그림에서 출력 전압이 1.2 V보다 작을 때 VDSCP가 단락 상태를 검출하여 출력 전류 75 mA를 순간적으로 5 mA 이하로 떨어뜨리는 것을 볼 수 있다.

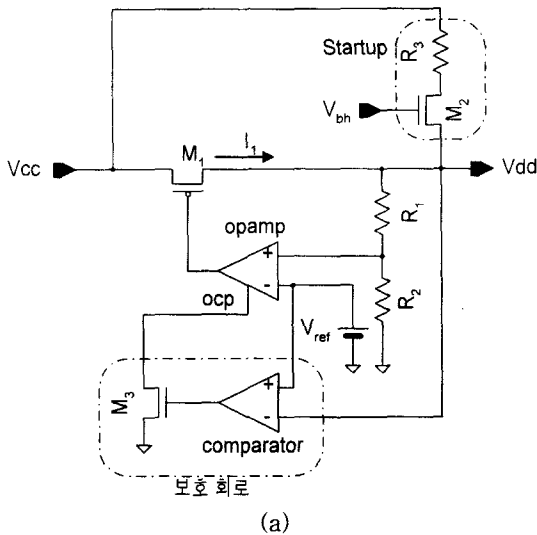
그러나 단락 상태에서도 출력 전류는 완전히 0 mA가 되지 않는데, 이것은 단락 상태에서 그림 3(a)에 표시된 스타트업 회로가 별도의 전류 경로를 제공하기 때문이다. 저항 R_3 와 트랜지스터 M_2 로 구성된 스타트업 회로는 V_{dd} 가 단락된 후 단락 요인이 제거되었을 때 점차 V_{dd} 전압을 높여 VDSCP의 동작을 막고 전압 레귤레이터의 동작을 정상 상태로 복원한다. 그러나 이러한 목적 이외에도 처음 전원 전압을 인가했을 때 전압 레귤레이터의 동작을 초기화하는 역할도 담당한다. 즉, 처음으로 전원 전압을 인가하면 전압 레귤레이터가 정상적으로 동작하지 않아 V_{dd} 가 0 V로 유지되어 VDSCP가 동작하게 되지만, 이는 단락 요인이 없는 상태이므로 스타트업 회로가 곧이어 동작하게 된다. 스타트업 회로는 출력전압이 1.2 V보다 낮을 때 동작을 하고(M_2 가 on되고) 전압 레귤레이터가 정상 상태로 복원되면 동작하지 않아야(M_2 가 off되어야) 하므로 M_2 게이트 전압은 식 (3)의 범위 안에 있어야 한다.

$$1.2 + V_{Tn} \leq V_{bh} < 5 + V_{Tn} \quad (3)$$

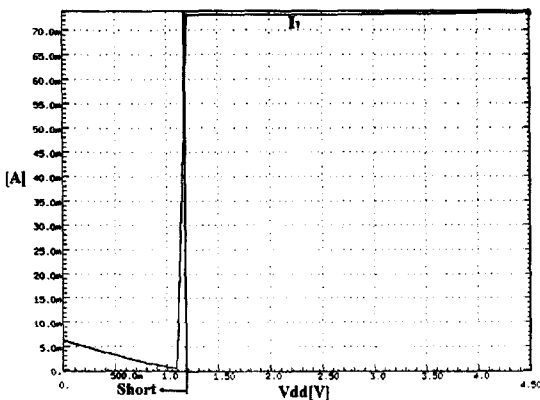
이 식에서 V_{Tn} 은 NMOS의 문턱 전압이다. 스타트업 회로에 흐르는 전류의 양은 M_2 와 R_3 의 크기로 조절할 수 있는데, 이 전류가 작으면 단락 상태에서 벗어나는 시간이 오래 걸리고, 전류가 크면 단락 상태에서 V_{dd} 로 흘러나가는 전류의 양이 커지므로 정상 동작까지의 settling time과 IC 파괴 등을 고려하여 결정해야 한다. 본 논문에서는 구동기가 정상 동작 시 소비하는 최소 전류인 5 mA를 선택하였으며, 이 값은 앞의 전류 검출 방식에서 흐르는 70 mA에 비해 14배 감소된 값이다.

2. 전력 MOSFET 보호 회로

그림 4는 일반적으로 사용되는 디지털 방식의 부하



(a)



(b)

그림 3. VDSCP를 포함한 전압 레귤레이터 (a)전압 검출 전압 레귤레이터 (b) 동작 특성
Fig. 3. Voltage regulator with VDSCP. (a) Voltage detecting voltage regulator (b) Simulation result of the regulator

단락 보호 회로를 포함한 제어 회로를 나타낸 것으로 사각형으로 둘러싸인 부분이 부하 단락 보호 회로이다. 부하 단락 보호 회로는 전력 MOSFET의 게이트에 'H'(high)가 인가되었을 때 드레인 전압이 'H'이면 부하가 단락된 것으로 판단하여 전력 MOSFET을 off시킨다. 그 이유는 부하가 단락되면 전력 MOSFET의 드레인이 전원 전압에 항상 연결되어 있게 되므로 전력 MOSFET의 on/off에 관계없이 항상 'H'가 되기 때문이다. 부하 단락 보호 회로는 연산 증폭기와 AND 게이트 그리고 부하의 기계적인 충격이나 인덕터의 역기전력으로부터 발생하는 glitch를 제거하기 위한 지연 회로로 구성된다. 연산 증폭기는 전력 MOSFET의 게이트와 드레인의 전압을 검사하고 두 전압이 모두 'H'일 때, 즉 부하가 단락되었다고 판단될 때에만 부하 단락 보호 회로의 출력이 'H'가 된다. 이에 따라 전력 MOSFET의 on/off를 제어하는 제어 신호 'MOS'가 'H'이더라도 전력 MOSFET에 전류가 흐르지 않으므로 과부하에 의한 손상을 최소화할 수 있다. 그러나 부하가 단락되었다고 지연 회로의 지연 시간 동안은 부하 단락 보호 회로의 출력이 'H'가 되지 않으므로 이 시간 동안(30 μs)은 전력 MOSFET의 게이트 전압이 'H'가 되는데, 전력 MOSFET의 큰 게이트 커패시턴스에 의해 게이트 전압이 천천히 상승하고 전력 MOSFET의 on/off 시간이 길어 실제로는 큰 무리가 없다.

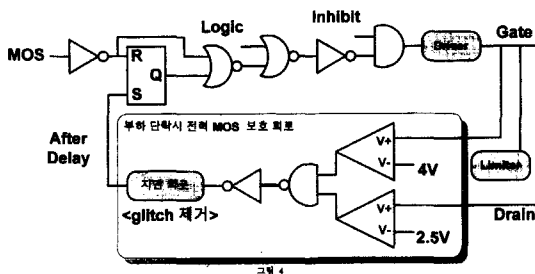


그림 4. 부하 단락 보호 회로를 포함한 제어 회로
Fig. 4. Control circuit with shorted load protection circuit.

전력 MOSFET을 간접적인 방법으로 보호하는 부하 단락 보호 회로와 함께 전력 MOSFET 주위에 연결하여 직접적인 보호를 위한 회로도 부가적으로 구현되었다. 게이트 전압 제한 회로와 과전압 보호 회로가 그것인데, 그림 5에 그 회로도를 나타내었다. 게이트 전압 제한기는 전력 MOSFET의 게이트와 접지 사이

에 연결하여 과도한 전압이 걸리지 않도록 하여 전력 MOSFET이 구동하는 과전류를 줄이는 역할을 하는데, 과도한 전압은 전력 MOSFET 구동 회로의 전원 변화 등의 요인에 의해 발생한다.

전력 MOSFET의 드레인과 게이트 사이에 연결되어 있는 과전압 보호 회로는 게이트 전압이 낮아져 전력 MOSFET이 off($V_G = 0$ V)될 때 발생하는 40 V 이상의 인덕터의 역기전력(V_D)에 의해 동작한다. 높은 드레인 전압이 발생하면, I_1 의 양이 증가하고 R_4 의 전압 강하에 의해 M_4 가 on되어 I_2 가 흐르기 시작한다. 그리고 I_2 와 R_6 의 전압 강하에 M_5 가 on되어 I_3 가 흐르고 이에 의해 V_G 가 높아져 전력 MOSFET이 on된다. 정리하면, 식 (4)가 되고, 이 식이 만족되는 경우에 과전압 보호 회로가 동작한다.

$$V_D - V_G = V_{T3} + V_{T4} \left(1 + \frac{R_5}{R_4}\right) \quad (4)$$

여기서 V_{T3} , V_{T4} 은 각각 M_3 , M_4 의 문턱 전압이다 이 식에서 등호의 오른쪽은 상수이기 때문에 과전압 보호 회로가 동작하는 동안에 역기전력에 의해 V_D 가 올라가면 V_G 도 함께 올라가 전력 MOSFET의 문턱 전압 이상이 되면 전력 MOSFET이 on됨을 알 수 있다. 이에 따라 더 이상의 V_D 상승이 억제되고 큰 역기전력이 발생하지 않게 된다. V_D 의 최대 전압은 식 (4)로부터 식 (5)와 같이 나타난다.

$$V_{Dmax} = V_{TP} + V_{T3} + V_{T4} \left(1 + \frac{R_5}{R_4}\right) \quad (5)$$

여기서 V_{TP} 은 전력 MOSFET의 문턱 전압이다.

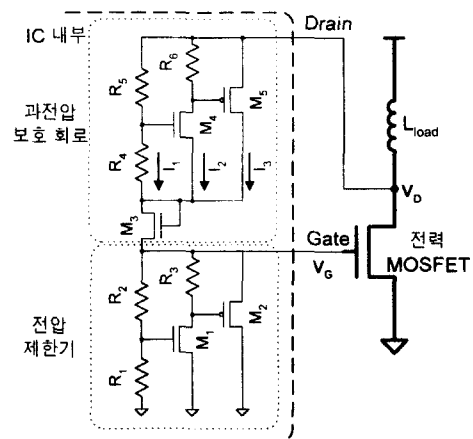


그림 5. 게이트 전압 제한 회로와 과전압 보호 회로
Fig. 5. gate voltage limiter and overvoltage protection circuits

IV. 고전압 CMOS 공정

전력 MOSFET 구동기를 구현하기 위해서 40V 급 고전압 CMOS 전력 소자와 5V 구동의 저전압 신호 처리 CMOS 회로를 동일 칩상에 집적하는 고전압 CMOS 공정을 개발하였다. 고전압 CMOS 공정은 저전압 CMOS 논리 회로 공정에 3개의 마스크를 추가한 총 12개의 마스크 공정으로 이루어지며 고전압 NMOS와 PMOS의 단면 구조는 그림 6(a), (b)에 각각 도시하였다. 그림 6에서와 같이 각 소자들의 well 구조는 self-aligned twin-well이며 드레인과 소스의 p-n 접합이 역바이어스에 의해 스스로 격리되는 self-isolation 방식을 취했고 고전압 CMOS 소자를 구현하기 위해서 well 공정 이후 이온주입과 드라이브인 확산에 의해 n- 또는 p-drift 영역을 형성하였다. 고전압 NMOS 및 PMOS의 n- 또는 p-drift 영역의 이온 주입량 및 접합 깊이는 드레인 전압에 의한 드레인 공핍 영역의 수평 전계 및 수직 전계에 영향을 미치게 되어 항복전압에 민감하게 작용한다. 본 논문에서는 최대 항복전압을 나타내는 최적의 drift 농도를 도출하기 위해서 드레인 영역의 전하의 조절에 의해서 표면전계를 감소시키는 RESURF(Reduced Surface Field) 원리^[12]를 적용하여 50V 이상의 항복전압을 얻을 수 있는 drift 영역의 농도 조건을 도출하였다.

고전압 CMOS 소자에 있어서 항복전압 못지 않게 중요한 특성은 소자의 순방향 동작시 snap-back 특성이 없는 순방향 전류 특성이다. 자동차 등의 열악한 환경에서 동작하는 전장 시스템의 특성상 고전압 소자의 드레인 뿐만 아니라 게이트에도 40V가 인가될 수 있음을 확인하였다. 드레인 및 게이트에 인가된 고전압은 채널 전류를 증가시킬 뿐 아니라 전계를 증가시켜 드레인 접합의 충돌 이온화에 의한 hot carrier를 다량 발생시켜 기생 바이폴라 트랜지스터를 턴-온시키는 snap-back 현상을 야기시킨다. 본 논문에서는 전류 이동도가 커서 PMOS에 비하여 snap-back 현상이 상대적으로 취약한 고전압 NMOS의 게이트와 드레인 사이에 필드 산화막을 형성시켜 전계를 낮추고 n-drift 영역을 n-well로 둘러싸는 드레인 구조를 적용하여 그림 7(a)와 같이 40V의 게이트 전압에서도 snap-back 현상이 없는 순방향 전류 특성을 얻을 수 있었다. 그림 7(b)는 PMOS의 특성 곡선을 나타낸 것이다.

저전압 CMOS는 채널 길이가 $2.0\mu\text{m}$, NMOS와 PMOS의 문턱전압이 각각 0.75V와 -0.8V로서 논리 회로 구현에 적합하도록 하였다. 또한 폴리 실리콘 게이트에 40V의 고전압이 인가되는 특성을 고려하여 N-채널 필드 이온 주입과 필드 산화막 위에 유전체 증착 방법을 사용하여 필드 문턱전압을 50V 유지하는 공정을 개발함으로써 일반적인 CMOS와 고전압 MOSFET들이 집적되기 용이하도록 하였다.

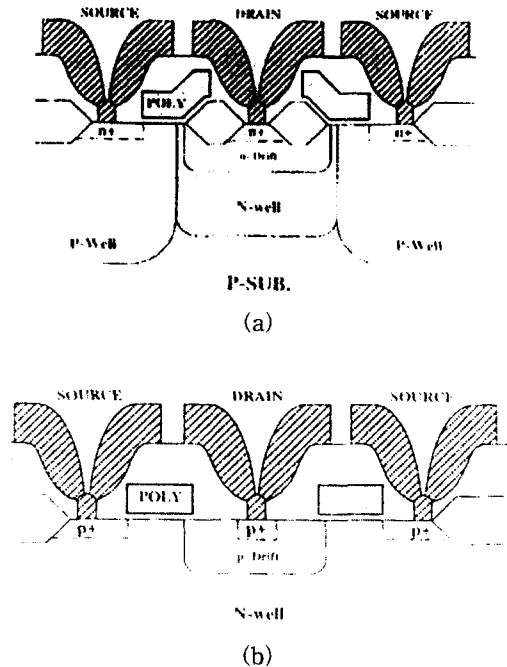
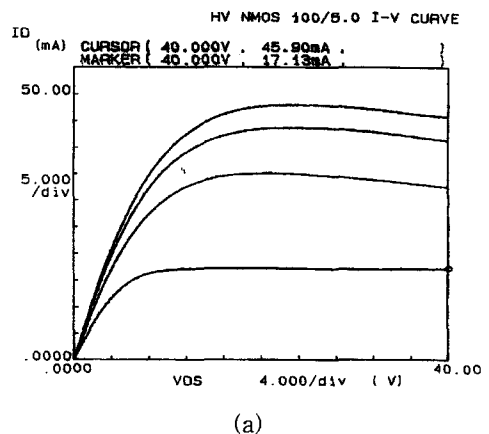


그림 6. 고전압 MOSFET의 단면도

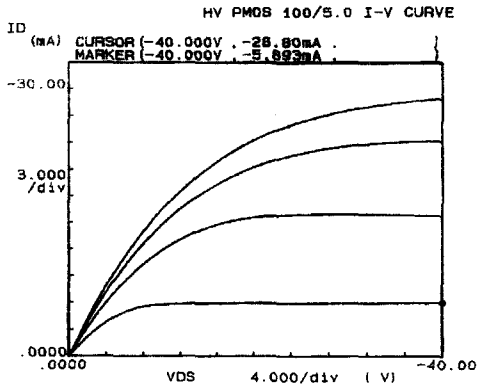
(a) 고전압 NMOS (b) 고전압 PMOS

Fig. 6. Cross sections of high voltage MOSFETs.

(a) High Voltage NMOS (b) High Voltage PMOS



(a)



(b)

그림 7. 고전압 MOSFET의 I-V 특성 곡선(VG = 10, 20, 30, 40 V)

(a) 고전압 NMOS (b) 고전압 PMOS

Fig. 7. I-V characteristic curves of high voltage MOSFET.(VG = 10, 20, 30, 40 V)

(a) High Voltage NMOS (b) High Voltage PMOS

V. 실험 결과

그림 8은 VDSCP의 실험 결과이다. 실험 조건은 그림 3b의 모의 실험과 같으며, 실험 결과도 모의 실험과 같은 결과를 얻어 VDSCP가 단락 상태에서 큰 전류를 막아줄 수 있음을 확인하였다. 이 그림에서 단락 상태인 1.2 V 이하에서 스타트업 회로에 의해 전류가 완전히 0 mA가 되지 않고 전류가 흐르는 것은 모의 실험 결과와 일치한다. 모의 실험 결과와 달리 단락 상태에서 2 mA(모의 실험 결과에서는 5mA)로 줄어든 것은 회로에 사용된 저항값의 변화 때문이다.

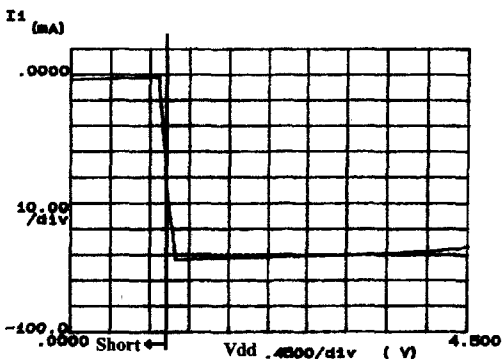
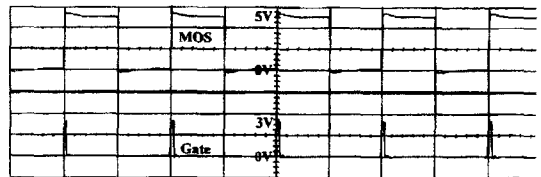
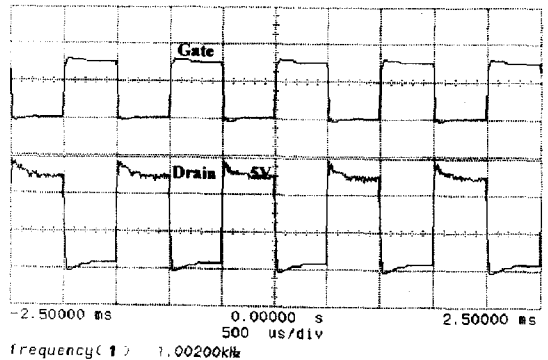


그림 8. VDSCP를 포함한 전압 레귤레이터의 측정 결과
Fig. 8. Measured result of voltage regulator with VDSCP.

그림 9(a)는 전력 MOSFET의 부하가 단락되었을 때 제어 회로의 동작을 보여준다. 위 쪽 파형은 1 kHz MOS 제어 신호로서, 정상 상태에서는 그림 9(b)와 같이 MOS 제어 신호가 'H'인 동안에 전력 MOSFET의 게이트 전압도 'H'가 되어 on된다. 그러나 부하가 단락된 상태에서는 부하 단락 보호 회로의 동작에 의해 MOS 제어 신호에 무관하게 전력 MOSFET의 게이트 전압이 'L'이 되어야 하지만 앞서 설명한 대로 지연 회로의 지연 시간 동안 게이트 전압이 'H'로 된다. 이러한 파형이 그림 9(a)의 아래 쪽 파형으로 나타나 있는데 지연 회로의 지연 시간인 30 μ s의 펄스폭을 갖는 짧은 펄스만이 전력 MOSFET의 게이트에 인가됨을 알 수 있다. 이 펄스는 전력 MOSFET의 on/off를 제어하기에 부족한 전력을 공급하기 때문에 전력 MOSFET이 on되지 않는다.



(a)



(b)

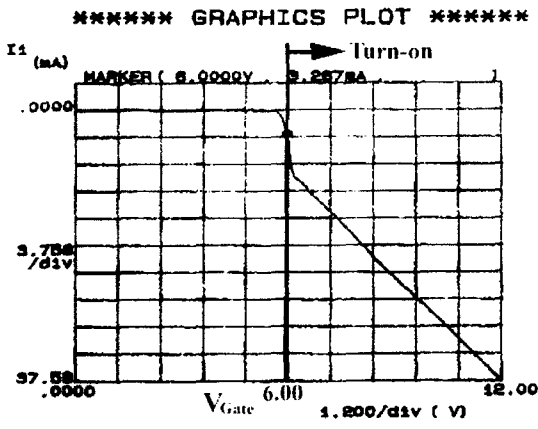
그림 9. 부하 단락 보호 회로를 포함한 제어 회로
(a) 부하가 단락 상태의 측정 결과 (b) 정상 동작 상태의 측정 결과

Fig. 9. Control circuit with shorted load protection circuit. (a) measured results of shorted load state (b) measured results of normal operation state

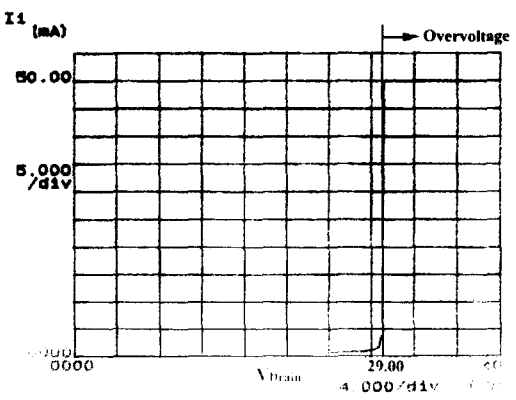
그림 10(a)는 게이트 전압 제한 회로의 동작 특성을 본 것이다. 게이트 전압을 높이면서 게이트 전압

제한 회로에 흐르는 전류를 측정한 것인데, 6 V에서 급격하게 전류가 증가하는 것을 볼 수 있으며, 따라서 전력 MOSFET의 게이트 전압은 6 V에서 제한됨을 알 수 있다.

그림 10(b)는 과전압 보호 회로의 동작 특성이다. 이것은 게이트 전압을 0 V로 하고 드레인 전압을 높이면 과전압 보호 회로의 전류를 측정하는 것으로 드레인에 29 V 이상의 역기전력이 발생하면 동작하여 다량의 전류를 흘려 드레인 전압이 29 V 이상 오르지 못함을 알 수 있다.



(a)



(b)

그림 10. 게이트 전압 제한 회로와 과전압 보호 회로
(a) 게이트 전압 제한 회로의 측정 결과 (b) 과전압 보호 회로의 측정 결과

Fig. 10. Gate voltage limiter and overvoltage protection circuits.
(a) Measured result of gate voltage limiter circuit (b) Measured result of overvoltage protection circuit

공정으로 구현된 전력 MOSFET 구동기의 사진이다. HSPICE로 설계하고 OPUS로 layout하여 제작하였다. 전력 MOSFET 구동기는 네 개의 전력 MOSFET을 동시에 구동할 수 있도록 네 개의 제어 회로와 네 개의 과전압 보호 회로를 병렬로 배치하였으며 각각은 서로 독립적으로 동작한다. 전력 MOSFET가 소비하는 전력 이외에 전력 MOSFET 구동기가 소비하는 전력은 전력 MOSFET 구동 상태에 따라 20 ~ 100 mW의 범위에 있는 것으로 확인하였다. 전력 MOSFET 구동기의 active area의 크기는 3.5 x 2.8 mm²이다.

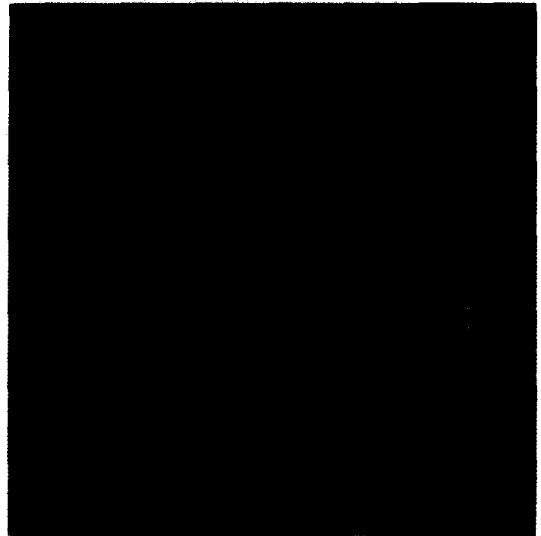


그림 11. 전력 MOSFET 구동기의 사진
Fig. 11. Microphotograph of power MOSFET driver.

VI. 결 론

본 논문에서는 2μm 고전압 CMOS 공정을 사용하여 보호 회로를 포함한 전력 MOSFET 구동기를 설계하였다. Smart power IC의 디지털 제어 회로가 안정한 동작을 하도록 전원 관리 회로를 설계하였으며, 전원 관리 회로의 전압 레귤레이터를 보호하기 위한 전압 검출 방식의 단락 보호 회로(VDSCP)를 제안하였다. 전압 검출 방식의 보호 회로를 사용함으로써, 직렬 저항으로 인한 전압 강하를 제거했을 뿐만 아니라 전압 레귤레이터가 출력단 단락 상태에서도 2 mA 이하의 전류만을 흘려 열에 의한 손상을 없앴다.

직접적인 전력 MOSFET 보호를 위하여 게이트 전압 제한 회로와 과전압 보호 회로를 설계하였다. 게이

그림 11은 2μm 1-poly 1-metal 고전압 CMOS

트 전압 제한 회로를 사용하여 전력 MOSFET의 게이트 전압을 6 V로 제한하여 막대한 전류를 구동하지 않도록 하였으며 과전압 보호 회로로써 드레인 전압이 29 V 이상 오르지 못하도록 하였다.

전력 MOSFET 구동기를 설계하기 위하여 고전압 CMOS 공정을 개발하였다. 고전압 CMOS 공정은 저전압 CMOS와 고전압 CMOS를 하나의 IC에 집적할 수 있을 뿐만 아니라 50 V의 항복 전압을 나타내며 40 V의 게이트 전압에서도 snap-back 현상이 발생하지 않았다.

전력 MOSFET가 소비하는 전력 이외에 전력 MOSFET 구동기가 소비하는 전력은 전력 MOSFET 구동 상태에 따라 20 ~ 100 mW의 범위에 있는 것으로 확인하였다. 전력 MOSFET 구동기의 active area의 크기는 3.5 x 2.8 mm²이다.

참 고 문 헌

- [1] B. Jayant Baliga, "An Overview of Smart Power Technology", *IEEE Transaction on Electron Devices*, vol. 38, no. 7, Jul. 1992.
- [2] Radhe S. L. Das, Stanley Krauthamer, and Alec Bulawka, "High Performance Low Cost Power Conditioning Subsystems using Smart Power / Power Integrated Circuits in Photovoltaic Power Systems", *IEEE ISCAS*, pp. 1685-1690, 1996.
- [3] M. I. Castro Simas, P. Santos, P. Casimiro, and M. Lanca, "Smart Power in MOS Technologies An Overview", *IEEE ISIE*, pp. 371-376, 1997.
- [4] A. Szajfler, T. Pozniak, M. Napieralska, M. Zubert, W. Wojciak, and A. Napieralski, "Specific Problems in Smart Power Design", *IEEE*, pp. 85-90, 1997.
- [5] Franklin Gonzalez, Veenu Shekhar, Chia-Kung Chan, Ben Choy, and Nan Chen, "Fabrication of a 300 V, High Current(300 mA/Output), Smart-Power IC Using Gate-Controlled SCRs on Bonded(BSOI) Technology", *IEEE IEDM*, pp. 18.3.1-18.3.4, 1996.
- [6] Bernhard Zojer, Rudiger Koban, Reinhard Petschacher, and Wolfgang Sereinig, "Integration of a Subscriber Line Interface Circuit(SLIC) in a New 170 V Smart Power Technology", *IEEE International Symposium on Power Semiconductor Devices and ICs*, pp. 293-297, 1995.
- [7] K. Wiesinger, W. Kanert, E. Glenz, N. Krischke, P. Nelle, H. Peri, F. Pfirsch, W. Schwetlick, C. Wagner, and W. M. Werner, "A Smart Power Technology Combining Robust High-Voltage Devices with Precision Analogue Performance", *IEEE International Symposium on Power Semiconductor Devices and ICs*, pp. 54-57, 1995.
- [8] M. Ayman Shibib, "A Cost-Effective Smart Power BiCMOS Technology", *IEEE International Symposium on Power Semiconducto Devices and ICs*, pp. 48-53, 1995.
- [9] Paul G. Y. Tsui, Percy V. Gilbert, and Shih-Wei Sun, "A Versatile Half-Micron Complementary BiCMOS Technology for Microprocessor-Based Smart Power Applications", *IEEE Transaction on Electron Devices*, vol. 42, no. 3, pp. 564-570, Mar. 1995.
- [10] National Semiconductor, "Power MOS-FET Driver with Lossless Protection", National Semiconductor, Apr. 1995.
- [11] Texas Instruments, "Low-Dropout Voltage Regulators with Integrated Delayed Reset Function", Texas Instruments, Jun. 1995.
- [12] J. A. Appels and H. M. J. Vaes, "High voltage thin layer device (RESURF devices)", *IEDM Tech. Dig. Abstr. 10.1*, pp. 238-241, 1979.

저 자 소 개

韓 相 贊(正會員)

1971년 6월 11일생. 1994년 2월 고려대학교 전자공학과 졸업. 1996년 2월 고려대학교 전자공학과 대학원 석사 졸업(공학석사). 1996년 3월 ~ 현재 고려대학교 대학원 전자공학과(박사과정). 1996년 7월 ~ 현재 고려대학교 부설 정보통신기술 공동연구소 연구원. 주관심분야는 CMOS 아날로그 회로 설계, 스마트 IC, 혼성 신호 회로 설계 등임

金 壽 遠(正會員) 第 27卷 第 4號 參照

현재 고려대학교 전자공학과 교수

金 成 東(正會員)

1967년 3월 15일생. 1990년 2월 서울대학교 전기공학과 공학사. 1992년 2월 동대학원 전기공학과 공학석사. 1996년 2월 동대학원 전기공학과 공학박사. 1996년 3월 ~ 현재 현대전자 시스템 IC 연구소 선임연구원. 주관심 분야는 전력반도체 소자 및 IC, submicron CMOS 소자 및 공정

李 舜 贊(正會員)

1974년 1월 18일생. 1996년 2월 고려대학교 전자공학과 졸업. 1998년 2월 고려대학교 전자공학과 대학원 석사 졸업(공학석사). 1998년 2월 ~ 현재 고려대학교 대학원 전자공학과 박사 과정. 주관심분야는 고속 아날로그 회로 설계, 스마트 IC 설계, CMOM RF 회로 설계 등임

李 德 珉(正會員)

1970년 6월 3일생. 1995년 2월 고려대학교 제어계측공학과 공학사. 1997년 2월 동대학원 전자공학과 공학석사. 1997년 1월 ~ 현재 현대전자 시스템 IC 연구소 연구원. 주관심분야는 PLL 및 이동통신용 IC 설계, analog-digital mixed mode IC의 설계, 전력반도체 소자 및 공정, submicron CMOS 소자 및 공정