

論文99-36D-2-8

반도체 capacitive 지문 센서 및 이미지 합성 방법

(Semiconductor Capacitive Fingerprint Sensor and Image Synthesis Technique)

李正雨*, 閔東振*, 金元燦*

(Jeong-Woo Lee, Dong-Jin Min, and Wonchan Kim)

요 약

본 논문에서는 저 비용, 고해상도 반도체 지문 센서칩에 대하여 논한다. 제작된 테스트 칩은 64×256 개의 센싱 셀(sensing cell)로 구성되어 있으며, 칩의 크기는 $2.7\text{mm} \times 10.8\text{mm}$ 이다. sensing cell 내부에서 일어나는 전하 재분포를 감지하는 새로운 방식을 이용하여 내부의 기생 캐패시턴스의 영향을 효과적으로 제거하는 방법을 제안하였다. 제안하는 방법은 센싱 셀의 감지 능력을 키우므로 센싱 셀의 크기를 줄일 수 있고, 따라서 고해상도의 이미지를 추출할 수 있다. 표준 $0.6\ \mu\text{m}$ CMOS 공정을 이용하여 제작된 칩은 600dpi의 해상도를 가지는 지문 이미지를 추출한다. 제조 단가를 낮추기 위하여 지문의 부분 이미지들로부터 전체 지문 이미지를 얻어내는 이미지 합성 방법의 가능성과 문제점에 대하여서도 논의하였다.

Abstract

This paper introduces a possibility of a low-cost, high-resolution fingerprint sensor chip. The test chip is composed of 64×256 sensing cells(chip size : $2.7\text{mm} \times 10.8\text{mm}$). A new detection circuit of charge sharing is proposed, which eliminates the influences of internal parasitic capacitances. Thus the reduced sensing-capacitor size enables a high resolution of 600dpi, using even conventional $0.6\ \mu\text{m}$ CMOS process. The partial fingerprint images captured therefrom are synthesized into a full fingerprint image with a image synthesis algorithm. The problems and possibilities of image synthesis technique are also analyzed and discussed.

I. 서 론

지문 인식 시스템은 Biometrics의 여러 분야 중에서 전통적으로 가장 많이 이용되어 왔으며, 현재 실질적으로 충분한 개개인의 데이터를 보유하고 있다. 그럼에도 불구하고 기존 지문 인식 시스템의 큰 부피와 높은 제조 단가로 인하여 실제 상업 시장은 그다지 확대되지 못하였다.

지문 인식 시스템의 제조 비용 중 가장 큰 부분을

차지하는 것은 지문을 추출하는 부분이다. 지문 데이터를 채취하는 일반적인 방법은 광인식(optical detection) 방법^[1]을 이용하는 것이다. 광인식 방법은 주로 전반사(total internal reflection) 특성을 가지는 glass prism을 이용하는 것으로 prism의 한쪽 면에서 손가락이 놓여있는 다른 면으로 빛을 보내고, 그 빛이 반사되어 세 번째 면으로 향하고 이 반사된 빛을 이미지 센서(카메라)를 이용하여 채취하는 것이다. 지문의 골(valley)과 마루(ridge)에 따라서 반사의 특성이 다르므로 센서에서 지문 이미지를 얻을 수 있다. 그런데 이러한 광인식 방법은 비교적 큰 부피를 차지하며 많은 전력(power) 소모를 보이는 단점을 가지고 있다. 또한 손가락을 접촉하는 표면이 먼지나 기름이

* 正會員, 서울大學校 電氣工學部

(School of Electrical Engineering, Seoul National University)

接受日字:1998年5月8日, 수정완료일:1999年1月13日

없이 항상 깨끗하게 유지되어야 한다. 이외의 압력^[2], 열^[3] 센싱 방법도 발표되었으나 역시 높은 제조 단가 및 전력 소모가 크다는 단점을 가지고 있다.

최근에 이러한 지문 인식 방법의 단점을 극복하고자 반도체(semiconductor)를 이용한 capacitive 센싱 방법이 제시되었다^{[2] - [7]}. Capacitive 센싱 방법은 반도체 위에 전극(electrode)을 어레이(array) 구조로 배치하여 손가락을 반도체 표면 위에 접촉하였을 때 반도체 위의 전극과 손가락의 표면(반대편 전극으로 가정함) 사이에 나타나는 캐패시턴스(capacitance)의 변화량을 측정하여 지문을 채취하는 방식이다. 손가락을 접촉하였을 때 지문의 골과 마루에 따라서 반도체 위의 전극과의 거리가 다르므로 감지되는 캐패시턴스의 크기도 서로 다르게 나타나므로 지문을 채취할 수 있는 것이다. 이러한 capacitive 센싱 방법은 광인식 방법에 비하여 훨씬 작은 부피를 차지하고, 전력 소모도 훨씬 적은 장점을 가지므로, 저렴한 가격으로 보다 많은 응용에 이용될 수 있다.

본 논문에서는 전하 재분포(charge redistribution)를 이용하는 새로운 방식의 센싱 방법을 제안한다. 본 논문에서 제안하는 캐패시턴스 센싱 방법은 일정 크기의 전하 혹은 전류원을 생성할 필요가 없고, 또한 출력의 포화를 막기위해 switching 시간을 세심하게 조절해야 하는 기존의 방법^[7-9]에 비해 안정된 동작을 보인다. 센서 plate의 기생 캐패시턴스 성분을 없애기 위한 제안하는 방식은 센싱 셀의 감지 능력을 키워서 셀간의 pitch 크기를 줄일 수 있으므로 고해상도의 이미지를 얻을 수 있다.

본 논문에서는 새로운 셀 구조와 함께 저 비용 센서를 위한 이미지 합성 알고리즘을 논의한다. 이미지 합성 방법을 이용하여 작은 센서로부터 얻어진 부분의 지문 이미지들로부터 완전한 지문 이미지를 얻는 방식을 결과와 함께 제시하였다.

II. 전하 재분포 센싱 방법

1. capacitive 센싱 방식에서의 캐패시턴스 모델링

capacitive 센싱 방식에서 손가락과 반도체 위에 형성되어 있는 전극(electrode) 사이의 1차원적인 모델링을 그림 1에 나타내었다. 전극은 metal plate로 형성되어 있고, 이 전극에 센싱을 위한 회로가 연결되어 있다. 손가락의 표면이 metal plate로 이루어진 전극

의 반대편 전극 역할을 하게 되어, 캐패시터(C_s)를 이루게 된다. 그림에서 보듯이 두 전극 사이에는 oxide (SiO_2) 혹은 nitride(Si_3N_4)로 이루어진 passivation 층이 존재하며, 이 passivation층에 직렬로 연결되어 있는 공기(air) 층이 존재한다. 따라서 두 전극 사이의 C_s 는 passivation층의 표면과 metal 전극 사이의 C_{s1} 과 손가락 표면과 passivation층의 표면 사이의 C_{s2} 의 직렬 연결된 형태로 식 (1)과 같이 나타난다.

$$C_s = \frac{C_{s1} \cdot C_{s2}}{C_{s1} + C_{s2}} \quad (1)$$

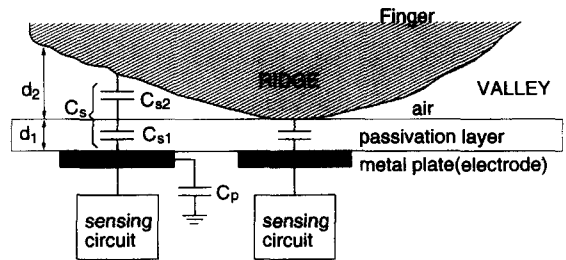


그림 1. capacitive 센싱 방식의 모델링
Fig. 1. Modeling of the capacitive sensing scheme.

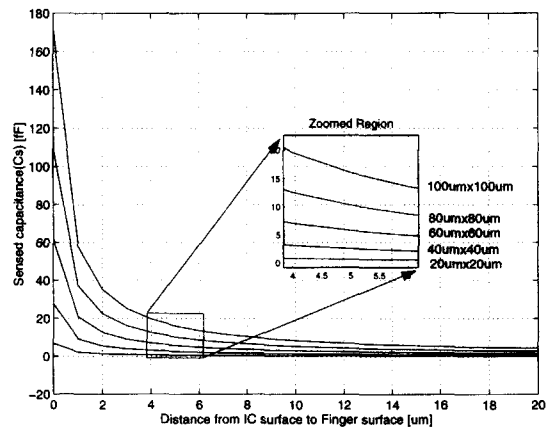


그림 2. 칩 표면에서 손가락 표면까지의 거리에 따른 C_s
Fig. 2. The value of C_s according to the distance from the chip surface to the finger skin.

여기서 공기 층의 dielectric constant $\epsilon_r (=1)$ 는 passivation층의 dielectric constant ϵ_r (SiO_2 는 3.9, Si_3N_4 는 7.5) 보다 훨씬 작은 값을 가지므로, 손가락이 칩의 표면에 접촉한 경우와 접촉하지않은 경우에 따라 C_s 는 급격하게 변하게 된다. 이를 metal plate의 크기를 달리하면서 1차원적으로 계산했을 때의 결과가 그림 2에 나타나있다. 그림 2에서의 가로축은 칩의 표면에서 손가락 표면까지의 거리를 나타내고, 세로축은

그때의 C_s 의 변화를 나타낸다. 그림에서 보듯이 칩의 표면과 손가락 표면의 거리가 0(손가락 표면이 완전히 접촉한 경우)이었다가 증가함에 따라서 C_s 는 급격히 감소함을 확인할 수 있다. 이러한 특성을 지문 인식에 이용하면, 손가락을 반도체 표면 위에 올려 놓았을 때 지문의 마루(ridge) 부분은 반도체 표면과 접촉함으로써 큰 캐패시턴스를 나타내고, 골(valley) 부분은 두 전극 사이에 공기 층이 존재하여 작은 캐패시턴스를 나타내므로 골과 마루의 구분이 가능하다.

2. 전하 재분포를 이용한 capacitive 센싱

제안하는 전하 재분포를 이용한 capacitive 센싱 방법의 개념도를 그림 3에 나타내었다. 그림 3에서 손가락은 어떤 고정된 전압(V_{finger})을 갖는 전압원으로 가정되어 있다. 또한, V_1 과 V_2 는 각각 일정한 전압을 갖는 고정된 전압원이며, C_{p1} 과 C_{p2} 는 각각 입력단과 출력단의 기생 캐패시턴스 성분을 나타낸다.

제안하는 센싱 방식의 동작은 2 단계로 이루어진다. 첫번째 precharge 단계에서 스위치 S_1, S_3 는 on 상태에 있고, S_2 는 off 상태에 있다. 이 상태에서 C_{p1}, C_{p2} 는 각각 V_1, V_2 의 전압에 해당하는 전하가 충전되고 C_s 에는 $(V_1 - V_{finger})$ 에 해당하는 전하가 충전된다. 두 번째 evaluation 단계에서는 스위치 S_1, S_3 는 on 상태에서 off 상태로 바뀌며 S_2 는 off 상태에서 on 상태로 바뀌게 된다. 이때 각 캐패시터에 저장되어 있던 전하가 재분포되어 출력 전압(V_o)을 이루게 된다. 이를 수식으로 표현하면 아래식과 같다.

precharge단계 :

$$Q_{tot1} = C_{p1} \cdot V_1 + C_{p2} \cdot V_2 + C_s \cdot (V_1 - V_{finger}) \quad (2)$$

evaluation단계 :

$$Q_{tot2} = C_{p1} \cdot V_o + C_{p2} \cdot V_o + C_s \cdot (V_o - V_{finger}) \quad (3)$$

식 (2)의 Q_{tot1} 과 식 (3)의 Q_{tot2} 는 일치하여야 하므로 여기에서 V_o 을 구하면

$$V_o = \frac{C_{p1} \cdot V_1 + C_{p2} \cdot V_2 + C_s \cdot V_1}{C_{p1} + C_{p2} + C_s} \quad (4)$$

이다. 식 (4)에서 출력 전압 V_o 은 손가락의 전압과 무관함을 확인할 수 있다. 그림 4에 그림 3의 센싱 방식을 모의 실험한 결과가 나타나 있다. 그림 4의 결과는 앞의 그림 2에서와 같이 passivation 층의 표면에서 손가락 표면까지의 거리에 따른 C_s 를 구하여 식 (4)에

대입하여 얻은 결과이다.

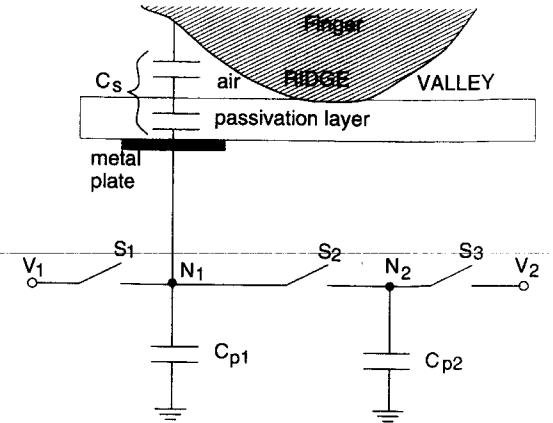


그림 3. 전하 재분포를 이용한 capacitive 센싱 방식
Fig. 3. Capacitive sensing scheme based on charge redistribution.

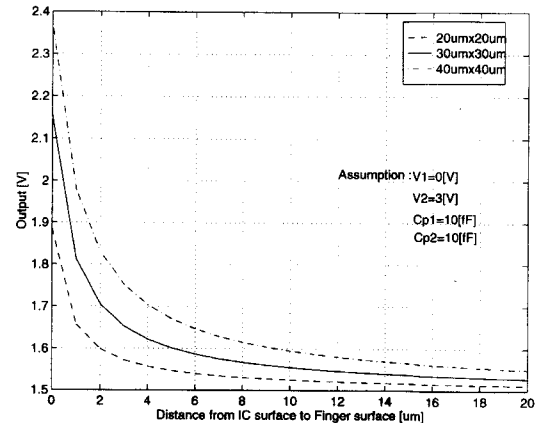


그림 4. 제안하는 방식의 모의 실험 결과
Fig. 4. Simulated result of the proposed scheme.

그림 4에서 손가락이 접촉했을 때(지문의 마루 부분)와 접촉하지 않았을 때(지문의 골 부분)의 출력 전압이 급격히 변하면서 구분됨을 확인할 수 있다. 이 출력 전압의 차이를 이용하여 지문의 골과 마루를 구분할 수 있는 것이다. 제안하는 전하 재분포 capacitive sensing의 유용성은 손가락의 전압 상태와 무관하게 작은 크기(~ fF 단위)의 캐패시턴스(C_s)를 판별해 낼 수 있다는 것이다. 따라서 metal plate의 크기를 작게 설계하여도 센싱이 가능해지므로 고해상도의 지문 이미지를 얻을 수 있다.

그런데, 표준 CMOS 공정에서는 metal plate의 기생 캐패시턴스 C_{p1} 의 크기가 C_s 와 비슷하거나 더 크다.

이 기생 캐패시턴스의 크기가 커질수록 식 (4)에서 C_s 에 따른 영향은 감소하게 된다. 따라서 실제로는 이 기생 캐패시턴스의 영향을 없애야 C_s 를 감지하기 쉽다. 센싱 셀의 감지 능력을 키우기 위해 지금까지 passivation층의 두께를 줄이거나 metal plate의 크기를 키우는 등의 방법이 도입되었다^[6]. 또는 특별한 공정 프로세서를 채택하는 경우까지 있었다^[9]. 그러나 이러한 방법은 안정성, 해상도, 제조 비용 등에서 문제점을 가지고 있다.

3. 실제 회로의 구성

앞 절에서 설명한 metal plate의 기생 캐패시턴스의 영향을 없앤 제안하는 센싱 셀의 회로도도 그림 5(a)에 나타나있다. 그림 3의 전압원 V_1 은 V_{DD} , V_2 는 GND로 나타나 있고, M_1 , M_2 , M_3 트랜지스터는 스위치 역할을 한다. Unity-gain buffer(U_1), M_4 트랜지스터는 metal₃ plate의 기생 캐패시턴스 영향을 없애는 역할을 한다. metal₂ plate가 전극으로 사용되는 metal₃ plate 아래에 위치하며, 약간 크게 설계되어 있으므로 metal₃ plate와 substrate 사이에는 기생 캐패시터가 존재하지 않는다.

C_{p2} 는 N_2 노드에 연결된 기생 캐패시터를 나타내고, C_{p1} 은 metal₃ plate를 제외하고 N_1 노드에 연결된 기생 캐패시터이다. C_{p3} 는 metal₂ plate와 metal₃ plate 사이의 기생 캐패시터이며, C_{p4} 는 metal₂ plate와 substrate 사이의 기생 캐패시터이다. 일반적으로 C_{p3} , C_{p4} 는 C_{p1} , C_{p2} 에 비해 훨씬 큰 캐패시턴스 값을 갖는다.

센싱 셀의 동작은 그림 5(b)의 timing도와 같이 동작한다. precharge 단계에서 M_1 , M_3 , M_4 트랜지스터는 on 상태이고, M_2 트랜지스터는 off 상태에 있다. 이때 C_{p2} 은 GND로 연결되어 충전되는 전하가 없고, C_{p1} 은 $C_{p1}V_{DD}$ 에 해당하는 전하가 충전된다. C_{p3} 의 양단 노드 N_1 , N_3 가 모두 V_{DD} 로 충전되므로 C_{p3} 에 충전되는 전하는 없다. C_s 에는 $C_s(V_{DD} - V_{finger})$ 의 전하가 충전된다. evaluation 단계가 시작되면 M_1 , M_3 , M_4 트랜지스터가 off되고, M_2 트랜지스터가 on 상태가 되어 전하 재분포가 시작된다. 이때 전하 재분포에 따라 N_1 노드의 전압이 바뀌면 unity-gain buffer (U_1)가 N_3 노드의 전압을 N_1 노드의 전압과 일치하도록 만든다. 따라서, metal₃ plate의 기생 캐패시터 C_{p3} 의 양단 전압은 precharge, evaluation의 두 단계에

서 항상 일치하게 되므로 C_{p3} 는 전하 재분포에 영향을 끼치지 않는다. 전하 재분포에 의해 N_1 노드에 나타나는 최종 전압은 C_{p1} , C_{p2} , C_s 에 의해 식 (4)와 일치하게 된다.

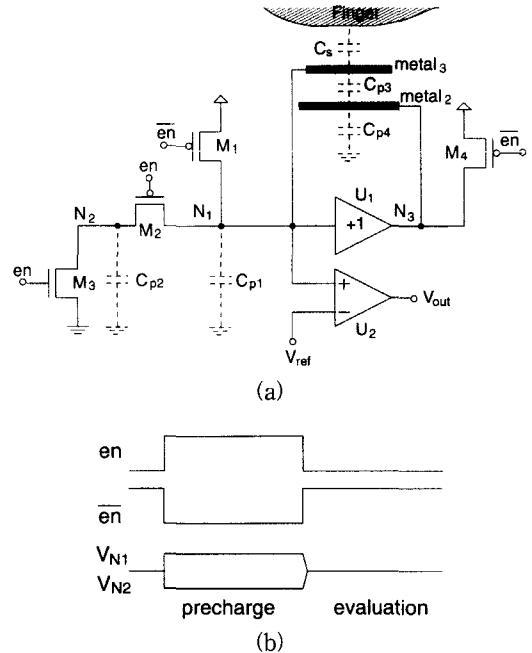


그림 5. (a) 센싱 셀의 회로도 및 (b) timing도
Fig. 5. (a) Schematic of the sensing cell and (b) timing diagram.

그림 6에 제안하는 센싱 셀에서 사용한 unity-gain buffer가 나타나 있다. Unity-gain buffer는 evaluation 단계에서만 동작한다. M_1 , M_2 , M_3 , M_4 트랜지스터는 단순한 차동 구조의 증폭기 형태를 띤다. M_6 트랜지스터의 역할은 다음의 설명과 같다. evaluation 단계가 시작되는 순간에 unity-gain buffer의 입력(그림 5(a)의 N_1 노드)은 V_{DD} 이므로 M_1 트랜지스터는 off 상태에 있게 되어 M_6 트랜지스터가 없으면 N_4 노드 전압은 M_3 , M_4 트랜지스터가 weak inversion 상태가 될 정도로 낮은 전압을 유지한다. 따라서 전하 재분포에 의해 그림 5(a)의 N_1 노드 전압이 낮아지기 시작할 때 unity-gain buffer의 출력(그림 5(a)의 N_3 노드)은 빨리 낮아지지 못하고 V_{DD} 상태를 유지한다. 이때 C_{p3} 는 양 전극 사이의 전압을 유지하려고 하므로 N_1 노드 전압이 낮아지는 것을 방해하여 빠른 evaluation 동작이 이루어지지 않는다. 그러나 M_6 트랜지스터가 있을 때는 N_4 전압이 M_3 , M_4 트랜지스터가

충분히 strong inversion 상태에 있을 만큼 높은 전압을 유지하므로, evaluation이 시작될 때 unity-gain buffer의 출력 전압이 빨리 낮아지게 되어 전체적인 동작이 느려지는 것을 막을 수 있다.

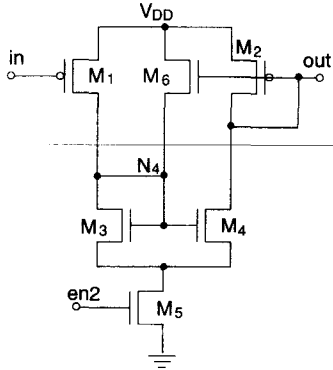


그림 6. Unity-gain buffer의 회로도
Fig. 6. Schematic of the unity-gain buffer.

그림 7에 제안하는 센싱 셀의 layout-extraction 후의 모의 실험 결과를 나타내었다. 그림의 아래 선은 metal plate의 기생 캐패시턴스 성분을 제안하는 방법으로 없앨 때의 결과를 나타낸다. 접촉된 경우(마루)와 접촉되지 않은 경우(골)의 전압차이가 500mV이상이므로 비교기 U₂의 한쪽 입력에 적당한 V_{ref}를 가할때 쉽게 골과 마루의 패턴을 인식할 수 있다. 그러나 그림에서 기생 캐패시턴스 성분이 제거되지 않았을 때는 양 극단의 전압차이가 100mV 정도로 이 차이를 구별해 내는 것은 매우 어려움을 확인할 수 있다.

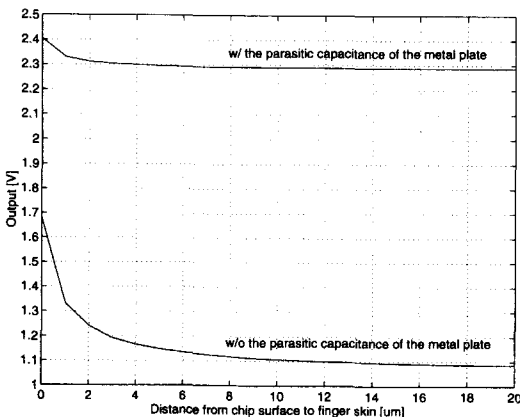


그림 7. metal plate의 기생 캐패시턴스 성분을 없애는 방법의 효율성
Fig. 7. Effectiveness of the sensor plates parasitic capacitance compensation technique.

III. 이미지 합성 알고리즘

일반적으로 지문 인식을 위한 충분한 크기의 지문을 인식하기 위해서는 지문 센서의 접촉면의 크기가 1.5cm×1.5cm 정도이어야 한다^[7~9]. 그런데 실리콘 (silicon) 칩을 큰 크기로 제작할 경우 제조단가가 높아질 뿐만 아니라, 충격에 의해 파손될 위험성이 높다.

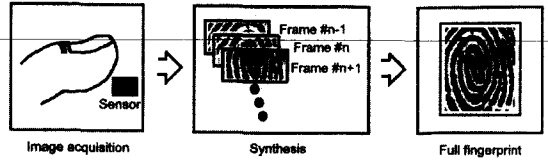


그림 8. 이미지 합성 방법
Fig. 8. Image synthesis technique.



그림 9. 64×256 센서 칩 사진
Fig. 9. Microphotograph of the sensor array(64×256).

본 논문에서는 센서 칩의 부피를 줄이고, 제조단가를 낮추기 위해, 또 파손 위험성도 줄이기 위해 그림 8의 이미지 합성 방법을 채택하였다. 이미지 합성 방법에서는 접촉 면적이 큰 센서 칩을 이용하여 지문 이미지 전체를 한번에 추출하는 대신에, 작은 접촉 면적을 가지는 센서 칩을 이용하여 지문의 부분 이미지들을 연속적으로 추출한다. 만약 각 추출 프레임(frame) 사이의 시간 간격이 충분히 짧다면 각 프레임사이에는 부분적으로 겹치는 범위가 존재하게 된다. 이 겹치는 부분을 찾을 수 있다면 전역 움직임 특성^[10]과 같은 방법을 이용하여 이동 벡터(displacement vector)를 구한 후 전체 지문 이미지를 합성해 낼 수 있다. 제작된 지문 센서는 집적회로로 이루어져 있으므로 각 연속 프레임간의 시간 간격은 겹치는 범위가 존재할 수 있을 만큼 충분히 짧게 할 수 있다. 그림 9에 제작된 64×256 센서를 나타내었다. 이 센서가 한 프레임 데이터를 추출하는 데 걸리는 시간은 약 3ms이다. 손가락의 이동 속도를 약 4cm/s (즉 40μm/ms)로 가정하면, 제작된 센서의 셀 피치가 42μm이므로 한 프레임을 읽어 내는 동안 손가락은 2~3 픽셀만큼만 움직이게 된다. 이러한 정도의 변형은 이미지 합성에서 충

분히 무시할 수 있을 만큼 작은 크기이다.

1. 주 마루, 골의 추출

마루와 골 사이의 경계선은 압력, 땀, 피부의 상태 등 접촉 조건에 따라 쉽게 변할 수 있다. 또한, 먼지 혹은 기름 등도 경계선의 모양을 바꿀 수 있다. 이러한 특성을 고려하여 본 논문에서는 경계선은 의미 있는 정보로 다루지 않고, 마루와 골의 주요한 부분만을 추출하여 의미 있는 정보로 취급한다. 추출된 주 마루, 골 및 경계선은 각각 -1, 1, 0의 값을 가지게 된다. 그림 10(a)는 지문 센서로부터 추출된 이미지 프로세싱을 거치지 않은 지문 이미지이다. 이 이미지에 대해 주 마루와 골을 추출한 이미지가 그림 10(b)에 나타나 있다. 그림 10(b)에서 마루와 골은 각각 검은 색과 흰 색으로 나타나있고, 경계선은 회색으로 나타나있다. 주 마루와 골을 추출하는 과정에서 작은 점 형태의 노이즈(holes and speckles)들도 함께 제거된다. 이후의 과정에서는 주 마루와 골을 추출한 이미지를 이용한다.

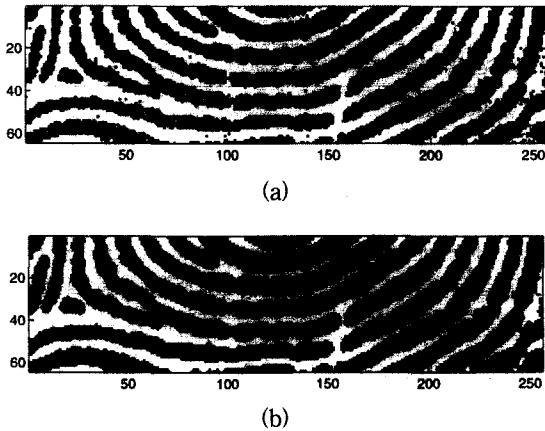


그림 10. (a) 추출된 지문 이미지 (b) 주 마루, 골의 추출
Fig. 10. (a) Extracted fingerprint image (b) Main ridges and valleys extracted.

2. 겹치는 부분의 경계선의 연속성 검색

겹치는 부분을 찾아내기 위하여, 일반적인 이미지 프로세싱에서와 같이 전역 검색(full-search) 블럭(block) matching 기법을 이용하는 것은 그 계산량이 과도해서, 실시간 처리에 이용하기에 적당하지 않다. 계산량을 줄이기 위해 본 논문에서는 지문 자체의 특성을 이용하여 겹치는 부분의 경계선에서의 연속성을 먼저 검색하는 방식을 제안한다. 즉, 지문의 특성상 두 프레임이 겹치는 부분의 경계에서 마루와 골의 패

턴이 연속적으로 이어져서 나타나야 한다. 그림 11은 경계선에서의 연속성을 검색하는 과정을 나타낸다. 그림에서 빗금 친 부분이 겹치는 부분이라고 가정하고, 그 크기가 $N \times M$ 이라고 할 때, 경계에서의 연속성 검색의 정확도는 다음 식과 같이 나타내진다.

$$C = \frac{1}{N} \sum_{i=1}^N \{A(i, 1) \times B(i, 1) + A(i, M) \times B(i, M)\} + \frac{1}{M} \sum_{j=1}^M \{A(1, j) \times B(1, j) + A(N, j) \times B(N, j)\} \quad (5)$$

여기서 $A(i,j)$ 와 $B(i,j)$ 는 각 프레임에서의 픽셀(pixel)값을 나타낸다. 식 (5)에서의 곱셈 계산은 표 1과 같이 이루어진다. 즉, 경계선은 앞 절의 설명에서와 같이 계산에 이용되지 않는다.

연속된 두 프레임간의 경계선 연속성 검색의 결과를 그림 12에 나타내었다. 그림에서 골에 해당하는 부분(작은 값을 갖는 부분)들은 한 프레임의 마루 패턴이 대부분 다른 프레임의 골 패턴과 겹치게 되는 경우를 나타낸다. 그림에서 높은 봉우리를 이루는 부분(큰 값을 갖는 부분)중의 하나의 벡터 값이 정확한 이동 벡터가 될 수 있다. 이렇게 큰 값을 갖는 벡터 중의 하나를 다음의 블럭 matching 과정에서 선택하여 이동 벡터 값으로 정한다. 이와 같이 블럭 matching 과정 이전에 경계선의 연속성을 검색하는 과정을 도입함으로써 계산량을 크게 줄일 수 있다.

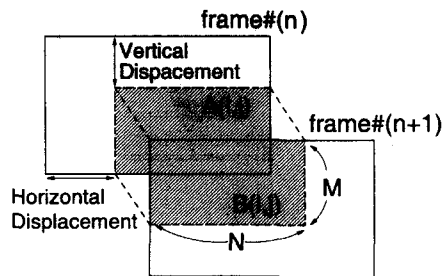


그림 11. 경계선 연속성 검색
Fig. 11. Edge continuity check.

표 1. 픽셀(pixel)간의 곱셈 계산
Table 1. Pel-by-Pel Multiplication.

	ridge : -1	Boundary : 0	valley : 1
ridge : -1	1	0	-1
boundary : 0	0	0	0
valley : 1	-1	0	1

IV. 센서 측정 결과와 전체 지문 이미지 합성

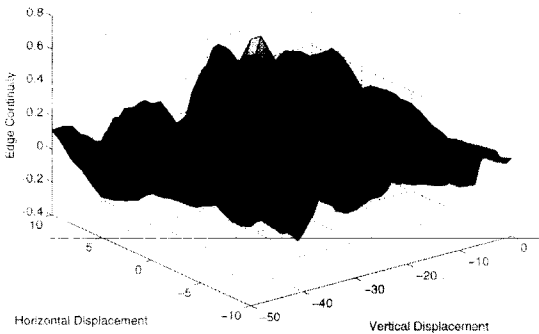


그림 12. 경계선의 연속성 검색 결과
Fig. 12. Result of edge continuity check.

3. 블럭 matching

앞 절의 경계선 연속성 검색을 통과한 벡터들만이 블럭 matching 과정을 거치게 된다. 블럭 matching의 정확도는 다음 식과 같이 나타내진다.

$$C = \frac{1}{N} \sum_{i=1}^M \sum_{j=1}^M A(i, j) \times B(i, j) \quad (6)$$

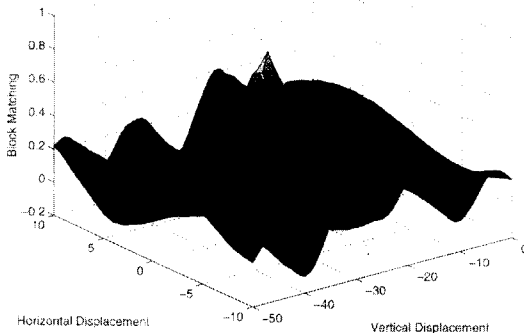


그림 13. 블럭 matching 결과
Fig. 13. Result of block matching.

식 (6)은 접치는 부분의 모든 픽셀들을 검색한다는 것만이 식 (5)와 다르다. 가장 큰 C값을 가지는 벡터를 정확한 이동 벡터로 추정한다.

그림 13에 블럭 matching 방식으로 검색한 결과가 나타나 있다. 그림 13에 경계선 연속성 검색과의 비교를 위해 모든 이동 벡터에 대한 값을 표시하였다. 그림 13의 개략적인 모양이 그림 12의 경계선 연속성 검색 결과와 유사함을 알 수 있다. 따라서, 경계선 연속성 검색이 유효한 과정임을 확인할 수 있다.

테스트 칩은 표준 $0.6 \mu\text{m}$ CMOS 디지털 공정을 이용하여 제작되었다. 센싱 셀의 크기는 $42 \mu\text{m} \times 42 \mu\text{m}$ 이고, 센서 plate로 사용되는 metal plate의 크기는 $30 \mu\text{m} \times 30 \mu\text{m}$ 이다. 따라서, 600dpi의 해상도를 얻을 수 있다. 칩은 64×256 개의 센싱 셀로 이루어져 있고, 그 크기는 $2.7\text{mm} \times 10.8\text{mm}$ 이다. 앞의 그림 9에 제작된 칩의 사진이 나타나있다.

동작 전력소모량은 동작 주파수가 4MHz일 때 $540 \mu\text{W}$ 이고, 준비상태(standby)의 전력소모량은 무시할 만큼 작은 값이다. 표 2에 제작된 센서의 전체 특성이 나타나있다.

표 2. 지문 센서의 특성

Table 2. Characteristics of the Fingerprint Sensor.

Technology	3-metal $0.6 \mu\text{m}$ Digital CMOS
Array size	64×256 ($2.7\text{mm} \times 10.8\text{mm}$)
Sensor pitch	$42 \mu\text{m}$
Resolution	600dpi
Supply	3V
power dissipation	$540 \mu\text{W}$ @4MHz : acquisition

표 3에 제안하는 방식으로 제작된 테스트 칩과 그 전에 발표되었던 지문 센서 칩들과의 비교를 나타내었다. 표 3에서 보듯이 제안하는 방식의 셀 pitch는 $42 \mu\text{m}$ 으로 600dpi의 가장 높은 해상도를 가짐을 확인할 수 있다. 제안하는 지문 센서는 앞서서도 설명하였듯이 각 셀이 한 개의 metal plate를 가지고, 또 기생 캐패시턴스를 제거하는 회로를 채용하여 해상도를 높일 수 있다. 이에 비해 M. Tartagni의 방식은 두 개의 metal plate를 필요로 하므로 셀 pitch를 줄이는데 한계가 있고^[7,8], D.Inglis의 방식은 기생 캐패시턴스를 제거하기 위한 특별한 공정을 필요로 하므로 제조단가가 높다^[9].

지문 합성 알고리즘을 테스트한 결과가 그림 14에 나타나 있다. 그림 14의 결과는 제작된 칩으로부터 연속적으로 추출된 부분 이미지들을 합성 알고리즘을 이용하여 전체 지문 이미지로 합성해낸 것이다.

합성 결과로부터 접치는 부분에서의 에러가 존재하지 않음을 확인할 수 있다. 합성 결과가 제대로 이루어

어졌는지 검증하기 위하여 겹치는 부분에서의 각 픽셀 크기의 값을 비교 검색한 결과가 그림 15에 나타나있다. 평균 matching 정도는 84.2%이고, 일치하지 않는 픽셀의 대부분은 경계선을 이루는 픽셀들이거나 random 노이즈이다.

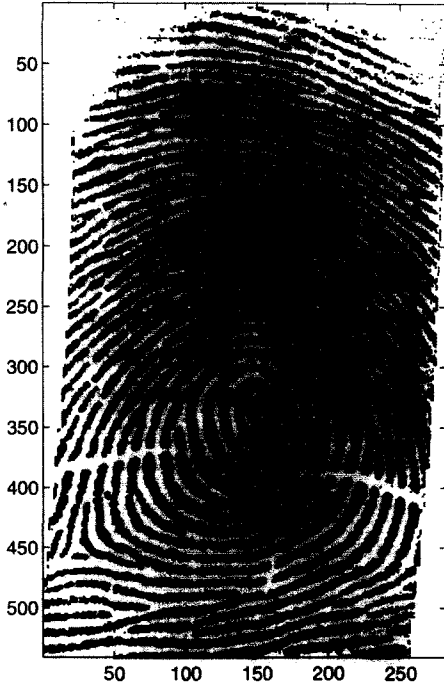


그림 14. 합성된 전체 지문 이미지
Fig. 14. Synthesized full fingerprint image.

표 3. 지문 센서의 비교

Table 3. Comparison of the Fingerprint Sensor.

	Proposed	M. Tartagni [7], [18]	D. Inglis ^[9]
Techno-logy	3-metal 0.6 μ CMOS	2-metal 0.7 μ CMOS	3-metal 0.5 μ CMOS
Array size	64 \times 256 (2.7 \times 10.8 mm ²)	200 \times 200 (15 \times 15mm ²)	300 \times 300 (16.5 \times 15.5 mm ²)
Cell pitch	42 μ m	65 μ m	50 μ m
Resoluti-on	600dpi	390dpi	500dpi
Supply	3V	5V	1.8V
Power	540 μ W @244fram/s	1250 μ W @150 μ s period	250 μ W @60frm/s

V. 결 론

본 논문에서는 저 비용, 소형 지문 인식 시스템을 위한 capacitive 지문 센서와 이미지 합성 알고리즘에 대하여 논의하였다. 전하 재분포 현상을 이용한 capacitive 지문 센서는 손가락에 의해 유도되는 매우 작은 캐패시턴스를 효과적으로 감지할 수 있다. 센서 plate의 기생 캐패시턴스 성분을 제거하는 회로를 제안하여 센싱 셀의 감지 능력을 향상시키고 고해상도가 가능하게 하였다. 칩의 크기와 비용을 줄이기 위해 이미지 합성 방법을 채택하고 그 특성을 분석하였다. 센서로부터 추출된 고해상도의 부분 지문 이미지들을 이용하여 전체 지문 이미지를 합성하였다. 이미지 합성 방법은 경제적인 지문 인식 시스템의 가능성을 제시한다.

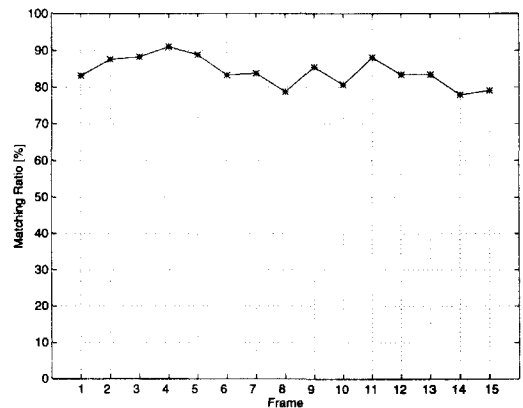


그림 15. 겹치는 부분에서의 matching 정도
Fig. 15. Matching ratio of the overlapped part.

참 고 문 헌

- [1] L.Coetzee and E. Botha, "Fingerprint recognition in low quality images," *Pattern Recognition*, vol. 26, pp. 1441-1460, oct. 1993.
- [2] T. Schieter, M. Biebl, and H. close, "Sensor for sensing fingerrprints and method for producing the sensor," U.S. patent 5373181, Dec. 13, 1994.
- [3] Thomson-CSF, "FCDEMO2: 500dpi Sweep Fingerprint Sensor," FingerChip Family Datasheet, May 1997.
- [4] C. Tsikos, "Capacitive fingerprint sen-

- sor," US patent 4,353,056, Oct. 5, 1982.
- [5] A. G. Knapp, "Fingerprint sensing device and recognition system having predetermined electrode activation," USpatent 5,325,442, Jun. 28, 1994.
- [6] N.D.Young, G. Harkin, R. M. Bunn, D. J. McCulloch, R. W. Wilks, and A. G. Knapp, "Novel Fingerprint Scanning Arrays Using Polysilicon TFT's on Glass and Polymer Substrates," *IEEE Electron Devices Letters*, pp. 19-20, Jan. 1997.
- [7] Marco Tartagni and Roberto Guerrieri, "A 390dpi Live Fingerprint Imager Based on Feedback Capacitive Sensing Scheme," *ISSCC Digest of Technical Papers*, pp. 200-201, Feb. 1997.
- [8] M. Tartagni and R. Guerrieri, "A Fingerprint Sensor Based on the Feedback Capacitive Sensing Scheme," *IEEE J. Solid-State Circuits*, vol. 33, no. 1, pp. 133-142, Jan. 1998.
- [9] D. Inglis, L. Manchanda, R. Comizzoli, A. Dickinson, E. Martin, S. Mendis, P. Silverman, G. Weber, B. Ackland and L. O Gorman, "A Robust, 1.8V 250W Direct-Contact 500dpi Fingerprint Sensor," *ISSCC Digest of Technical Papers*, pp. 284-285, Feb. 1998.
- [10] Min-Kyu Kim, Ealgoo Kim, Daeyun Shim, Seong-Ik Jang, Gyudong Kim, and Wonchan Kim, "An Efficient Global Motion Characterization Method for Image Processing Applications," *IEEE Trans. on Consumer Electronics*, vol. 43, no. 4, pp. 1010-1018, Nov. 1997.

 저 자 소 개


 李正雨(正會員)

1972년 1월 16일생. 1994년 2월 서울대학교 전자공학과 학사. 1996년 2월 서울대학교 전자공학과 석사. 1996년 3월 ~ 현재 서울대학교 전기공학부 박사과정. 주관심분야는 CMOS 센서, 고속 인터페이스 회로


 閔東振(正會員)

1975년 9월 7일생. 1998년 2월 서울대학교 전기공학부 학사. 1998년 3월 ~ 현재 서울대학교 전기공학부 석사과정. 주관심분야는 CMOS 센서, 펄터 설계


 金元燦(正會員)

1945년 12월 11일생. 1972년 서울대학교 전자공학과 학사. 1976년 독일 Technische Hochschule Aschen에서 Dip.-Ing. 취득. 1981년 독일 Technische Hochschule Aschen에서 박사학위 취득. 1972년

Fairchild Semiconductor Korea 연구원. 1976년 ~ 1982년 독일 Institute für Theoretische Elektrotechnik RWTH Aachen 연구원. 1982년 ~ 현재 서울대학교 전기공학부 교수. 1989년 1월 ~ 1990년 1월 미국 MIT 교환교수. 주관심분야 반도체 소자 및 아날로그/디지털 회로 설계