

차세대 CMOS구조에서 고에너지 이온주입에 의한 래치업 최소화를 위한 모델 해석

(An Analysis on the Simulation Modeling for Latch-Up Minimization by High Energy Implantation of Advanced CMOS Devices)

盧柄奎*, 趙昭行*, 吳煥述*

(Byeong-Gyu Roh, So-Haeng Cho, and Hwan-Sool Oh)

요 약

차세대 CMOS용 구조에서 래치업 특성을 최소화하는 고에너지 이온주입을 이용한 retrograde well과 게더링(매몰층)의 최적 공정 설계 변수 값들을 구했다. 본 논문에서는 두 가지의 모의 모델 구조를 제안하고 Silvaco사의 Athena와 Atlas 툴에 의한 모의실험 결과를 비교 분석하였다. 첫 번째 모델은 게더링층과 retrograde well을 조합한 구조이며 트리거전류가 $600\mu A/\mu m$ 이상의 결과를 얻었고, 두 번째 모델은 twin retrograde well을 이용하여 유지전류가 $2500\mu A/\mu m$ 이상의 결과를 얻었다. 모의실험결과, 두 모델 모두 도즈량이 많을수록 래치업 면역 특성이 좋아짐을 보였다. 모의실험 조건에서 두 모델 모두 n^+p^+ 간격은 $2\mu m$ 로 고정하였다.

Abstract

We designed the optimal device parameters of the retrograde well and the gettering layer(buried layer) using the high energy ion implantation for the next generation of CMOS structure and proposed two models and simulated these models with Athena and Atlas, Silvaco Co. We obtained trigger currents which is more than $600\mu A/\mu m$ when the structure has been combined the gettering layer and the retrograde well. And the second model(twin retrograde well) was obtained that holding currents were over $2500\mu A/\mu m$. As results, the more heavier dose, the more improved the latch-up immunity. The n^+p^+ spacing was fixed a $2\mu m$ in both models.

1. 서 론

고속, 고집적도의 VLSI회로를 구현하기 위하여 MOSFET의 단채널 효과에 대한 관심이 높아지고 있

* 正會員, 建國大學校 電子·情報通信工學科

(Dept. of Electronics, Information & Communication Eng., Konkuk University)

※ 본 연구는 1997년도 교육부 학술연구조성비(신소재 분야)에 의하여 연구되었음.

接受日字: 1998年4月28日, 수정완료일: 1999年1月19日

으며, 단채널 효과를 억제하면서 고집적도를 얻기 위한 방법의 하나로 고에너지 이온주입 방법이 이용되고 있다^[1]. 고에너지 이온주입 방법은 측면 확산이 거의 없는 도핑프로파일 형성이 가능하고 집적도 향상 및 단채널 억제 효과를 얻을 수 있다는 장점이 있다.^[2]

또한 이러한 차세대 CMOS 제작을 위해서는 래치업 문제도 해결하여야 하는데, 래치업을 줄이는 방법으로는 게더링층인 매몰층(buried layer)을 이용하는 방법^[3], 보호환(guard ring)을 이용하는 방법, 트렌치 격리(trench isolation)를 이용하는 방법, 에피 웨이퍼를

사용하는 방법, 금 도핑이나 중성자를 방사시키는 방법 등이 보고되고 있다. 이러한 방법 중에서 매몰층은 고에너지 이온주입 방법으로 형성하고 있는데, 고에너지 이온주입의 공정상 특징으로는 측면확산이 거의 없는 웰(well)형성이 가능하고, 이러한 방법으로 형성된 retrograde well과 매몰층은 기존의 드라이브인(drive-in)공정을 이용한 웰보다 우수한 래치업(latch up) 특성을 보이며, 더 쉽고 간단한 방법으로 다양한 도핑 프로파일을 형성할 수 있게 된다.^[4]

본 논문에서는 디바이스 크기가 점점 축소되어 감에 따라 부각되어지는 래치업 현상을 최소화하기 위해, 소자격리와 웰격리가 용이하고 소프트 에러(soft error)가 개선되며 알파입자의 면역을 높일 수 있다는 특성들을 가지면서도 추가적인 마스크공정이 필요 없기 때문에 제조공정 비용이 작은 두 종류의 모의모델 CMOS구조를 제안하여 래치업 최소화를 위한 모의실험을 실시하여 우수한 래치업 면역특성을 갖는 구조를 구현하였다. 첫 번째 모델은 고에너지 이온주입을 사용한 경우로 게더링층과 retrograde well을 조합한 CMOS구조이고, 두 번째 모델은 고에너지 이온주입을 필요로 하지 않는 경우로 twin retrograde well을 사용한 CMOS구조이다. 각각의 모의실험결과 트리거전류가 Wesley Morris^[5]의 최근 IEEE 저널지에 발표된 논문보다 우수한 것으로 나타났다.

II. 본 론

1. 2가지 모의 모델 CMOS구조

1) 게더링층과 retrograde well을 조합한 모델

그림 1은 게더링층(매몰층)과 retrograde well을 조합한 CMOS구조이며 래치업 면역 특성을 개선하기

표 1. 게더링층과 retrograde well을 조합한 모델의 설계변수

Table 1. The variable design parameter of structure with the gettingting layer and the retrograde well.

| parameter name | value |
|--------------------------|---|
| gettingting layer dose | none, 1.0, 3.0, 5.0, 7.0, 10, 100 × 10 ¹³ /cm ² |
| gettingting layer energy | none, 1600, 2000, 2300, 2600KeV |
| p-well dose | 0.5, 1.0, 2.0, 5.0, 10.0 × 10 ¹³ /cm ² |
| p-well energy | 500, 700, 1000, 1300, 1500KeV |
| retrograde n-well dose | 1.0, 3.0, 5.0 × 10 ¹³ /cm ² |
| retrograde n-well energy | 500, 750, 1000KeV |

위한 설계 변수 값들을 표 1에 나타내었고 이 변수 값들을 변화시키면서 최적조건인 공정조건을 얻고자 한다.

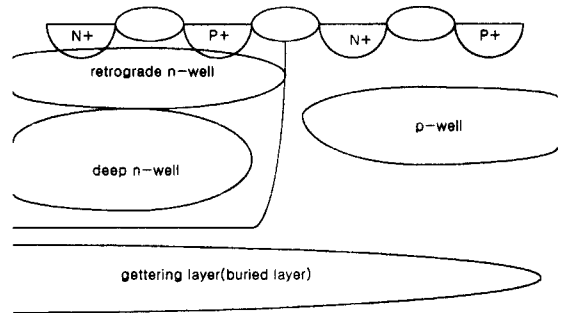


그림 1. 게더링층과 retrograde well을 조합한 모델 구조

Fig. 1. The combined structure with the gettingting layer and the retrograde well.

2) twin retrograde well을 이용한 모델

그림 2는 twin retrograde well구조로서 각각의 웰에 얇은 영역과 깊은 영역으로 구분하여 이온주입하여 래치업 특성을 해석하였고 각각의 공정설계변수 값들은 표 2에 나타내었다.

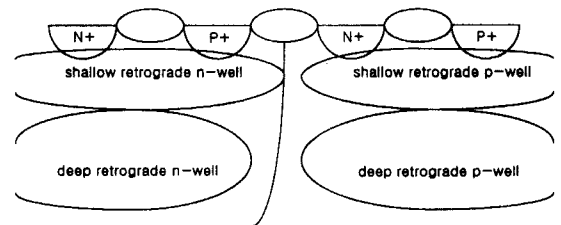


그림 2. twin-retrograde well 구조도

Fig. 2. The structure with twin-retrograde well.

이 때 얇은 retrograde well은 소자 격리용으로, 깊은 retrograde well은 웰 격리와 래치업 제어 및 소프트 에러 방지와 알파입자 면역용으로 사용되었다.

표 2. twin retrograde well을 사용한 모델의 설계변수

Table 2. The variable design parameters of structure with twin retrograde well.

| parameter name | value |
|--------------------------|--|
| retrograde n-well dose | 1.0, 5.0, 10.0 × 10 ¹³ /cm ² |
| retrograde n-well energy | 500, 600, 700, 1000KeV |
| retrograde p-well dose | 1 × 10 ¹³ /cm ² (fixed) |
| retrograde p-well energy | 300, 400, 500, 700, 1000KeV |

두 가지 구조 모두 모의실험은 Silvaco사의 시뮬레이터를 사용하였고 래치업 특성곡선은 n⁺와 p⁺ 간격을 2 μ m로 고정하여 모의실험 하였다. 전압은 초기에 pMOS쪽의 n⁺ 웰과 p⁺ 드레인에 5V를 인가하였고, nMOS쪽의 p⁺ 웰과 n⁺ 드레인에 0V를 인가하였다.

또한 2가지 구조의 기본공정은 표 3과 같이 진행하였다.

표 3. 2가지 구조의 기본공정

Table 3. The basic processes of the two structures.

| 게더링층과 retrograde well 조합 구조 | twin retrograde well 구조 |
|------------------------------|------------------------------|
| Initial Oxidation | Initial Oxidation |
| Active area photolithography | Active area photolithography |
| FOX | FOX |
| N-well photolithography | N-well photolithography |
| Buried layer implant | N-well implant |
| N-well implant | N-well implant |
| P-well photolithography | P-well photolithography |
| P-well implant | P-well implant |

2. 래치업 회로 해석

그림 3은 CMOS 구조에서 래치업의 일반적인 회로 구조도이다. 모의실험 모델이 주로 기판저항에 영향을 미치는 매몰층과 웰저항에 영향을 미치는 retrograde well을 사용하였기 때문에 래치업을 야기시킬 수 있는 기본적인 저항성분(기판저항: R_s, 웰저항: R_w)만을 고려하여 모의실험 하였다.

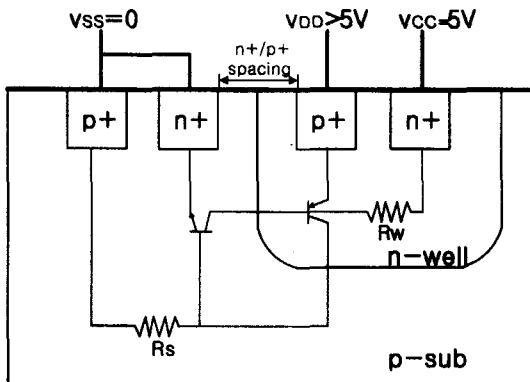


그림 3. 간략화된 CMOS 구조
Fig. 3. The simplified CMOS structure.

모의모델의 회로해석을 간단히 하기 위해서 그림 4와 같이 R_w의 한쪽 단자를 개방한 후 V_I를 인가한다고 가정하면, 두 개의 트랜지스터가 동작하기 전까지

인가전압은 대부분 두 트랜지스터의 C-B접합에 역바이어스 된 상태로 걸리게 된다. 인가전압을 증가시키면 n-웰과 기판 사이의 역바이어스가 증가하여 애벌랜치 브레이크다운(avalanche breakdown)이 일어난게 되는데, 이 때 수직 PNP트랜지스터가 동작되고 C-B접합사이에 전류가 흐르게 되어 R_s로 흘러 들어가게 된다. 인가전압을 계속 증가시키면 전류의 증가로 R_s양단에 걸리는 전압이 증가하게 되어 수평 NPN트랜지스터가 동작하게 된다. 이 때 NPN트랜지스터의 베이스로 흘러 들어가는 전류의 변화는 수직 PNP트랜지스터의 콜렉터전류를 변화시키게 되며 콜렉터 전류의 변화율인 ∇I_{CP} 는 식(1)과 같다^[6].

$$\nabla I_{CP} = \beta_p (\nabla I_J + \beta_n \nabla I_{BN}) \tag{1}$$

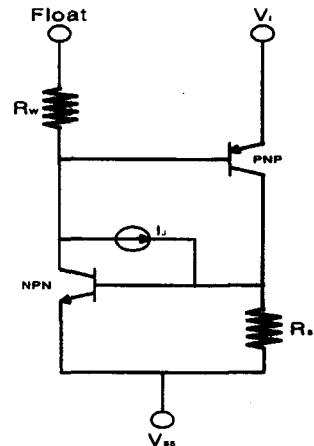


그림 4. 모의실험에 사용된 등가회로
Fig. 4. The equivalent circuit for simulation.

여기서 I_{BN}은 수평 NPN트랜지스터로 들어가는 베이스전류이며, β_n 과 β_p 는 각각 수평 및 수직 트랜지스터의 전류증폭률이다. 그리고 수직 PNP트랜지스터의 콜렉터전류 I_{CP}의 변화는 다시 수직 NPN트랜지스터의 베이스전류를 변화 시키게 되며 이때 변화된 수직 NPN트랜지스터의 베이스전류를 $\nabla I_{BN}'$ 이라 하면, 식 (2)와 같이 나타낼 수 있다.

$$\nabla I_{BN}' = k (\nabla I_J + \nabla I_{CP}) \tag{2}$$

여기서 $k = \frac{G_{BN}}{G_{BN} + 1/R_s}$ 이고, G_{BN}은 수평 NPN트랜지스터의 베이스-에미터간 컨덕턴스를 나타낸다. 따라서 그림 4의 루프이득은 식(3)과 같이 나타낼 수 있다.

$$\frac{\nabla I_{BN}'}{I_{BN}} = k(1 + \beta_p) \frac{\nabla I_I}{\nabla I_{BN}} + \beta_n \beta_p \quad (3)$$

식 (3)에서 회로의 루프이득이 1보다 클 경우 회로는 불안정하게되어 래치업을 일으키게 된다. 즉, 회로가 정상 동작을 하기 위해서는 다음과 같이 식(4)를 만족하여야 한다.

$$\frac{1}{k} \leq \beta_n \beta_p + (1 + \beta_p) \frac{\nabla I_I}{\nabla I_{BN}} \quad (4)$$

식 (4)에서 실제의 래치업 상태에서는 ΔI_I 항은 무시될 수 있으므로 래치업이 일어나지 않으려면 식(5)가 만족되어야 한다.

$$\frac{1}{k} \leq \beta_n \beta_p \quad (5)$$

이 때 R_S 값이 클 경우 식(5)는 $\beta_n \beta_p$ 의 곱이 1보다 크게 되어 래치업이 일어나게 되며, R_S 값이 작을 경우 k 값이 0에 근접하므로 두 기생 트랜지스터의 곱이 커져도 래치업 특성은 일어나지 않는다. 또 R_w 값에 대한 영향을 고려해보면, R_S 를 개방하더라도 위에서 유도한 R_S 에 대한 영향과 같은 결과를 얻게 되므로 R_S 값과 R_w 값이 작아질수록 래치업을 최소화할 수 있음을 알 수 있다. 따라서 래치업 현상의 결정적인 요소는 R_S 와 R_w 이므로 이를 제어하는 것이 절대적임을 알 수 있다.

그러므로 본 연구는 래치업 최소화를 꾀하기 위하여 R_S 값과 R_w 값을 제어하도록 2가지 모의모델 CMOS 구조를 제안하였고 이를 구현하기 위하여 Silvaco회사의 모의실험 툴을 사용하였다.

III. 결과 및 고찰

1. 게더링층과 retrograde well을 조합한 모델

그림 5는 n-웰에 $3 \times 10^{13}/\text{cm}^2$ 의 도즈량을 500KeV로 이온주입하고 p-웰에 $2 \times 10^{13}/\text{cm}^2$ 의 도즈량을 500KeV로 이온주입하고 게더링층은 2.3MeV로 이온주입한 후, 게더링층의 도즈량만을 변화시켜 모의실험한 결과이다.

그림 5에서 알 수 있듯이 웰만을 사용한 일반적인 구조(none)와 게더링층을 사용한 구조의 특성곡선을 함께 비교하였는데, 모든 게더링층의 도즈량과 비교해 볼 때 트리거전류의 차이를 명확히 알 수 있었다. 게더링층에 도즈량을 증가시키면 트리거전류 값보다는

유지전류 값이 증가하는 것으로 나타났다. 이와같이 게더링층의 도즈량 증가로 인해 유지전류가 증가하는 이유는 기판저항 값인 R_S 값을 수십 $\Omega \cdot \text{cm}$ 로 낮췄기 때문이라고 사료된다.

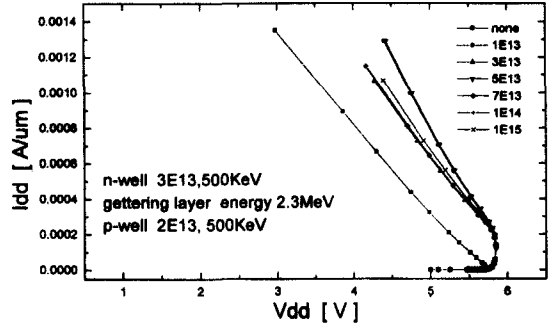


그림 5. 게더링층 도즈량 변화에 따른 래치업 트리거 전류

Fig. 5. Calculated latch up trigger current vs. variable gettering layer dose.

그림 6은 n-웰에 $3 \times 10^{13}/\text{cm}^2$ 의 도즈량을 500KeV로 이온주입하고, p-웰에 $5 \times 10^{12}/\text{cm}^2$ 의 도즈량을 500KeV로 이온주입하고 게더링층은 $1 \times 10^{14}/\text{cm}^2$ 의 도즈량으로 고정시킨 후, 게더링층 에너지만 변화를 주어 얻은 결과이다.

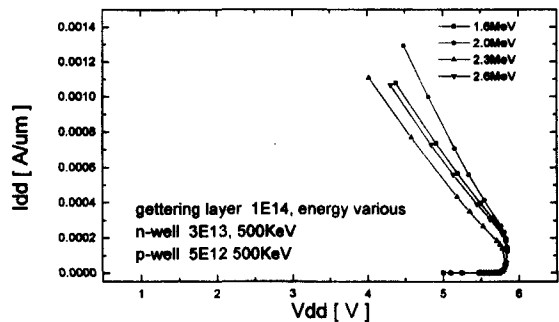


그림 6. 게더링층 에너지 변화에 따른 래치업 트리거 전류

Fig. 6. Calculated latch up trigger current versus gettering layer energy.

그림 6에서 알 수 있듯이 2MeV로 이온주입한 것이 트리거전류와 유지전류 값이 가장 높게 나타났다. 따라서 게더링층과 retrograde well을 조합한 모델에서는 그림 6에서 게더링층의 이온 주입에너지가 2MeV일 때(그 외는 설정한 설계변수값들) 래치업 현상을 최소화하기 위한 최적인 설계조건이라고 사료된다

다.

그림 7은 n-웰에 $1 \times 10^{13}/\text{cm}^2$ 의 도즈량을 750KeV로 이온주입하고 p-웰에 1.3MeV로 이온주입하고 게더링층은 $1 \times 10^{14}/\text{cm}^2$ 의 도즈량을 2.3MeV로 이온주입한 후, p-웰의 도즈량만을 변화시킬 때 계산한 결과이다.

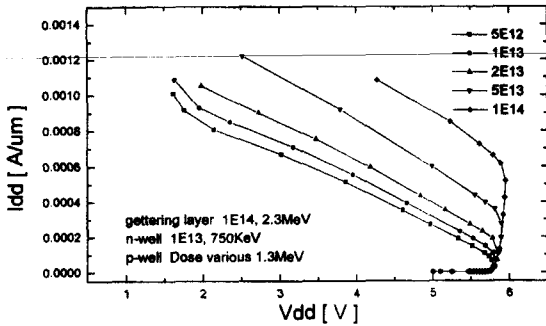


그림 7. p-웰 도즈 변화에 따른 래치업 트리거 전류
Fig. 7. Calculated latch up trigger current versus p-well dose.

여기서 p-웰의 도즈량이 점차 증가할수록 래치업 트리거전류가 증가됨을 알 수 있다. 즉, 도즈량이 $1 \times 10^{14}/\text{cm}^2$ 일 때 래치업 트리거전류가 $600 \mu\text{A}/\mu\text{m}$ 이상이 됨을 확인하였다. 이것은 V_{SS} 까지 연결되는 기생저항을 감소시킨 결과라고 사료된다.

이상과 같이 모의실험 결과들을 종합하면 게더링층과 retrograde well을 조합한 구조에선 게더링층의 이온주입 에너지를 2MeV로 하여 도즈량은 증가할수록, 그리고 p-웰과 n-웰은 이온주입 에너지를 낮추고 도즈량을 높일수록 래치업 트리거전류값이 $600 \mu\text{A}/\mu\text{m}$ 이상의 우수한 특성을 나타냄을 확인하였다. 이 값은 최근 IEEE 학술지에 발표된 논문^[5]에서의 n^+p^+ 간격이 $2 \mu\text{m}$ 일 때의 결과값($450 \mu\text{A}/\mu\text{m}$)보다 훨씬 좋은 결과이다.

2. twin retrograde well을 이용한 모델

그림 8은 p-웰에 $1 \times 10^{13}/\text{cm}^2$ 의 도즈량을 300KeV로 이온주입하고 retrograde n-웰은 도즈량을 $1 \times 10^{14}/\text{cm}^2$ 로 고정한 후, 에너지만을 500, 600, 700KeV로 변화시켜 계산한 결과이다.

여기서 이온주입 에너지가 클수록 트리거전류와 유지전류가 낮아짐을 확인하였다. 그리고 이온주입에너지는 도펀트 종류에 따라 변화하였으며 본 모의실험에서 사용한 도즈의 소스는 인(phosphorus)으로 설정하였

다.

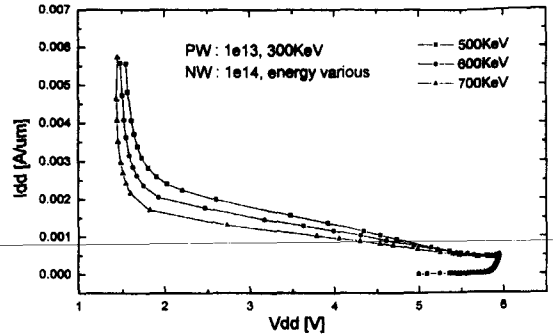


그림 8. retrograde n-웰 에너지 변화에 따른 래치업 트리거전류
Fig. 8. Calculated latch up trigger current versus retrograde n-well energy.

그림 9는 p-웰에 $1 \times 10^{13}/\text{cm}^2$ 의 도즈량을 n-웰에는 도즈량, $5 \times 10^{13}/\text{cm}^2$ 에서 600KeV로 이온주입하고 깊은 retrograde p-웰의 에너지만을 300, 400, 500KeV로 변화시킨 특성곡선이다.

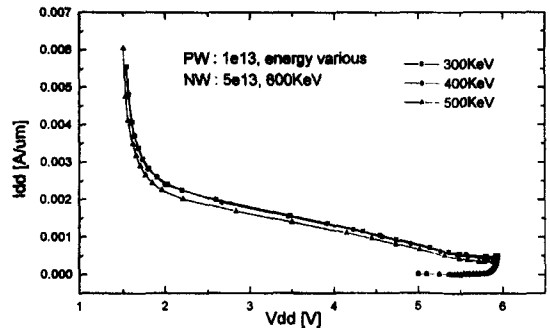


그림 9. retrograde p-웰 에너지 변화에 따른 래치업 트리거 전류
Fig. 9. Calculated latch up trigger current versus retrograde p-well energy.

그림 9에서 알 수 있듯이 이온주입 에너지가 낮을수록 래치업 면역특성이 향상되지만 에너지가 400KeV이하로 낮아지면 더 이상 차이가 나타나지 않았다. 그림 8과 비교하여 알 수 있는 사실은 얇은 retrograde well과 깊은 retrograde well의 주행거리인 R_p 값의 차이가 작을수록 우수한 래치업 면역특성을 보여줌을 알 수 있었다. 즉, 두 R_p 값의 차이가 작을수록 래치업 면역특성이 향상된다는 결론을 얻었다.

그림 10은 p-웰에 $1 \times 10^{13}/\text{cm}^2$ 의 도즈량을 400KeV

로 이온주입하고 retrograde n-웰에 500KeV로 이온 주입한 후, n-웰의 도즈량을 변화시킨 특성곡선이다.

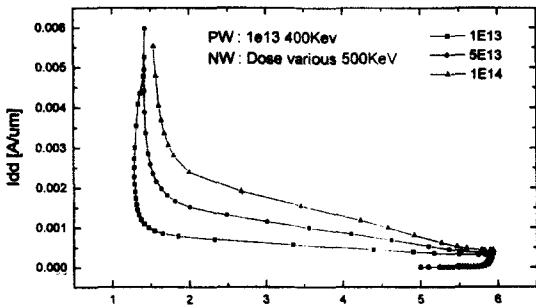


그림 10. retrograde n-well 도즈 변화에 따른 래치업 트리거 전류

Fig. 10. Calculated latch up trigger current versus retrograde n-well dose.

그림 10에서는 도즈량을 증가시킬 때 래치업 유지 전류가 증가되는 것을 볼 수 있다.

표 4. 두 구조의 최적조건

Table 4. The optimal condition of two structures.

| 게더링층과 retrograde well 조합구조 | | twin retrograde well 구조 | |
|----------------------------|--|-------------------------|---|
| 게더링층 | 2MeV, $1 \times 10^{15}/\text{cm}^2$ | n-retrograde well | 500KeV, $1 \times 10^{15}/\text{cm}^2$ |
| p-well | 500KeV, $1 \times 10^{15}/\text{cm}^2$ | | |
| n-retrograde well | 500KeV $5 \times 10^{13}/\text{cm}^2$ | p-retrograde well | 300~400KeV, $1 \times 10^{15}/\text{cm}^2$ |

이상과 같은 모의실험 결과들을 종합하면 이온주입 에너지가 웰저항인 R_w 영역에 속하면 에너지보다는 도즈량에 더 의존적임을 보여주고 있다. 전체적으로 래치업 면역특성은 에너지와 도즈량에 의존적이긴 하지만 도즈량에 더욱 의존함을 확인하였다. 두 구조의 최적 조건을 표 4와 같이 정리하였다. 모의실험에 의한 각각의 조건에 따른 저항값을 계산한 결과, 게더링층과 retrograde well을 조합한 구조에서 게더링층은 $0.004\Omega \cdot \text{cm}$, p-웰은 $0.014\Omega \cdot \text{cm}$, n-retrograde well은 $0.019\Omega \cdot \text{cm}$ 로 나타났으며 twin retrograde well 구조에서 n-retrograde well은 $0.013\Omega \cdot \text{cm}$, p-retrograde well은 $0.029\Omega \cdot \text{cm}$ 를 얻었다.

IV. 결 론

본 논문에서는 차세대 CMOS구조에서 래치업 현상

을 최소화하기 위해 게더링층과 retrograde well을 조합한 구조와 twin retrograde well을 이용한 2가지 모의 모델 구조를 제안하였다. 전자는 n-웰을 retrograde well로 형성하였고 매몰층은 이온주입 에너지가 2~2.3MeV에서 기판저항, R_s 값이 가장 작게되어 래치업 면역현상을 최대로 줄일 수 있었다. 이 모델에서 트리거전류는 $600\mu\text{A}/\mu\text{m}$ 이상을 얻었으며 이는 최근 IEEE 학술회의 때 발표된 데이터보다 매우 좋은 결과이다. 후자는 twin-retrograde well을 구성시켜 p-웰과 n-웰 모두 retrograde well로 형성하였다. 래치업 면역 특성은 retrograde p-well과 retrograde n-well의 이온주입을 각각 300~400KeV, 500KeV에서 가장 좋은 특성을 얻었다. 이것은 웰저항, R_w 값을 줄여 래치업 면역 특성을 개선시킬 수 있었기 때문이라 사료된다. 그러나 도즈량을 변화시킬 때 래치업 면역 특성곡선에 심한 차이가 나타났으며 특히 도즈량을 증가할수록 래치업 트리거전류와 래치업 유지전류 값들이 높아짐을 확인하였다.

결론적으로, 차세대 CMOS구조에서 래치업 면역 특성을 최대로 줄이기 위한 방안으로 고에너지 이온주입 장비를 이용하여 게더링층을 제작하거나 보다 낮은 이온주입 에너지를 사용한 twin-retrograde well을 제작시 본 논문에서 제시한 설계변수 값들을 활용한다면 성능이 우수한 소자를 제작할 수 있다고 사료된다.

참 고 문 헌

- [1] K. Tsukamoto, S. Kuroi and Y. Akasaka, "High energy ion implantation for ULSI" Nuclear Instruments and Methods in Physics Research B59/60, pp. 584-591, 1991.
- [2] K. Tsukamoto, "Low Thermal Budget, 3.3V DRAM Manufacturing Using MeV Trifle Well Formation", Genus Semicon/west, presentation 1993.
- [3] J. Manoliu, F.H. Tseng, B.J. Woo, and T.J. Meier, "High density and reduced latch up susceptibility CMOS technology for VLSI", IEEE Electron Dev. Letters, EDL-4, pp. 233-235, July 1983.
- [4] Katsuhiko Tsukamoto, Takashi Kuroi, Shigeki Komori, Yoichi Akasaka, "High

Energy Ion Implantation for ULSI : Well Engineering and Gettering”, Solid State Technology, June 1992.

- [5] Wesley Morris, Leonard Rubin, Dirk Wristers, “Buried Layer/Connecting Layer High Implantation for Improved CMOS Latch up”, Ion Implantation Technology-

Proceeding of the Eleventh International Conference on Ion Implantation Technology by IEEE, pp. 796-799, June 16-21, 1996.

- [6] John. Y. Chen, CMOS Device and Technology for VLSI, Prentice Hall, pp. 285-317, 1990.

저 자 소 개



盧柄奎(正會員)

1991년 2월 순천향대학교 전자공학과(공학사). 1993년 2월 건국대학교 전자공학과 졸업(공학석사). 1993년 9월 ~ 현재 건국대학교 전자공학과 박사과정중. 주관심분야는 반도체 메모리 소자 공정 및 소자 시뮬레이션,

Organic LED



趙昭行(正會員)

1997년 2월 건국대학교 전자공학과 졸업(공학사). 1999년 2월 건국대학교 전자공학과 졸업예정(공학석사). 주관심분야는 반도체 메모리 소자 공정 및 소자 시뮬레이션

吳煥述(正會員) 第35卷 D編 第9號 參照

현재 건국대학교 공과대학 전자·정보통신공학과 교수