

論文99-36D-2-7

DRAM 소프트웨어 에러율 시뮬레이터

(Soft Error Rate Simulator for DRAM)

申 炯 淳 *

(Hyungsoon Shin)

요 약

DRAM에서 알파 입자의 입사에 의한 소프트웨어 에러율을 예측하는 시뮬레이터를 개발하였다. 새로운 시뮬레이터는 수집 전하량에 대한 해석적 모델을 사용함으로써 소자 시뮬레이터나 몬테칼로 시뮬레이터를 사용하는 기존의 예측 시뮬레이터에 비하여 계산시간을 크게 감소하였다. DRAM에서 발생하는 소프트웨어 에러의 모드를 분석한 결과, bit-bar 모드에 의한 소프트웨어 에러율이 가장 큰 것을 알 수 있었으며 256M DRAM의 셀 구조에 대한 소프트웨어 에러율을 시뮬레이션하여 storage 캐패시턴스가 약 5fF의 margin을 갖고 있음을 밝혔다.

Abstract

A soft error rate (SER) simulator for DRAM was developed. In comparison to the other SER simulators using device simulator or Monte Carlo simulator, the proposed simulator substantially reduced the CPU time using an analytical model for the alpha-particle-induced charge collection. By analysing the soft error modes in DRAM, the bit-bar mode was identified as the main cause of soft error. Using the new SER simulator, SER of 256M DRAM was investigated and it was found that the storage capacitance had a 5fF margin.

I. 서 론

패키징 물질이나 공정 중에 포함된 미소량의 방사성 물질의 붕괴에 의하여 생성되는 알파 입자에 의한 소프트웨어 에러 현상이 DRAM의 여러 가지 신뢰성 문제중 중요한 문제로 연구되어 왔다.^[1,2] 소프트웨어 에러는 기판에 입사된 알파 입자에 의하여 생성된 전하가 funneling현상과 diffusion현상에^[3,4] 의하여 DRAM의 셀 접합에 수집되고 수집 전하량이 critical 전하량보다 큰 경우에 셀의 정보를 변화시킴으로서 발생한다.

DRAM이 고집적화됨에 따라 전원 전압이 감소하고

따라서 critical 전하량이 감소하므로 소프트웨어 에러 현상은 고집적 DRAM에서 중요한 신뢰성 문제로 대두되고 있다. 따라서, 소프트웨어 에러에 강한 DRAM의 셀 구조가 요구되고 있으며 이에 대한 연구를 위하여서는 소프트웨어 에러율을 예측할 수 있는 시뮬레이터의 개발이 필수적이다. 최근에 여러 가지의 소프트웨어 에러율 시뮬레이터가 발표되었으나,^[5,6,7] 이 시뮬레이터들은 수집 전하량을 계산하기 위하여 소자 시뮬레이터나 몬테칼로 시뮬레이터를 사용하고 있으므로 과도한 계산시간이 요구되어 실용적이지 못한 단점이 있다.

본 연구에서는 해석적 모델을 사용한 소프트웨어 에러율 시뮬레이터를 개발하여 계산 시간을 크게 감소하였으며 DRAM의 소프트웨어 에러 발생 모드들을 분석하여 bit-bar 모드에 의한 소프트웨어 에러가 다른 모드에 의한 것보다 크다는 사실을 밝혔다. 또한 개발된 시뮬레이터를 이용하여 256M DRAM의 소프트웨어 에러율을 예

* 正會員, 梨花女子大學校 電子工學科

(Department of Electronics Engineering Ewha Womans University)

接受日字:1998年10月19日, 수정완료일:1998年12月8日

측하였다

II. 확률함수 P(Q) 계산 방법

DRAM의 소프트웨어 에러율을 예측하기 위해서는 먼저 각 입사 조건(입사에너지, 입사각도, 입사점)에 따른 수집 전하량의 변화를 계산하는 수집 전하량 모델이 필요하다. 기존의 소프트웨어 에러율 시뮬레이터들은^[5,6,7] 수집 전하량을 계산하기 위하여 소자 시뮬레이터나 몬테칼로 시뮬레이터를 사용하였으므로 계산 시간이 과다하여 실용적이지 못하였다. 본 연구에서는 계산시간을 감소시키기 위하여 다음과 같은 모델을 사용하였으며, 사용된 모델은 3차원 소자 시뮬레이터의 결과와 비교하여 정확도가 검증된 모델이다.^[8]

$$Q = Q_f + Q_d$$

$$= q \int_0^{L_f} N(r)dr + q \int_{L_f}^{L_c} D(r)N(r)dr \quad (1)$$

여기서 Q는 총 수집전하량, Q_f는 funneling현상에 의한 수집 전하량, Q_d는 diffusion현상에 의한 수집 전하량, L_f는 알파 입자 에너지에 따른 알파 입자 궤적의 길이, L_c는 궤적 상에서의 funneling 길이, N(r)은 궤적 상에서 μm당 생성된 전자-정공의 수, D(r)은 궤적 상에서의 위치에 따른 diffusion에 의한 수집율이다.

알파 소오스로부터 나온 알파 입자가 셀 접합에 입사되는 입사조건인 입사에너지(E₀), 입사각도(θ, φ), 입사점(X_i, Y_i)들은 각각 분포함수를 갖고 있으므로 알파 입자의 입사 조건에 대한 분포함수는 다음과 같이 계산될 수 있다.

$$F(E_0, \theta, \phi, X_i, Y_i) = F_1(E_0) \cdot F_2(\theta) \cdot F_3(\phi) \cdot F_4(X_i) \cdot F_5(Y_i) \quad (2)$$

여기서 F₁(E₀), F₂(θ), F₃(φ), F₄(X_i), F₅(Y_i)는 각각 E₀, θ, φ, X_i, Y_i의 분포함수이다. 따라서 셀 접합에 수집되는 전하량 Q의 값이 Q₀와 Q₀+ΔQ 사이의 값을 가질 확률은 다음과 같다.

$$P(Q) \cdot \Delta Q = \int_0^\infty dE_0 \int_0^{\pi/2} d\theta \int_0^{2\pi} d\phi \int_{X_0}^{X_1} dX_i \int_{Y_0}^{Y_1} dY_i \cdot F(E_0, \theta, \phi, X_i, Y_i)$$

$$Q_0 < Q(E_0, \theta, \phi, X_i, Y_i) < Q_0 + \Delta Q \quad (3)$$

여기서 (X₁-X₀)*(Y₁-Y₀)는 알파 입자의 접합당 방사면적(irradiated area)에 해당한다.

위의 적분을 수행하면 접합에 수집되는 전하량의 확률함수 P(Q)를 계산할 수 있으며 그 과정을 그림 1에 도식적으로 보고 있다. 그림에서 볼 수 있듯이 각각의 입사 조건들은 분포함수를 갖고 있으며, 이중에서 E₀와 θ는 알파 소오스의 종류 및 chip과의 상대적인 위치 등에 의하여 non-uniform한 분포함수를 갖는다. 이러한 입사조건들의 조합들 중에서 특정한 입사조건을 선택하여 식 1에 적용하면 수집 전하량을 계산할 수 있으며 이때의 확률은 식 2로부터 구할 수 있다. 이러한 계산을 식 3과 같이 입사조건의 전 구간에 대하여 수행하면 그림 1과 같이 수집 전하량의 확률함수 P(Q)를 구할 수 있다. 따라서 P(Q)는 한 개의 알파 입자가 셀 접합에 입사된 경우에 셀 접합으로 수집되는 전하량의 확률 분포를 나타내고 있다.

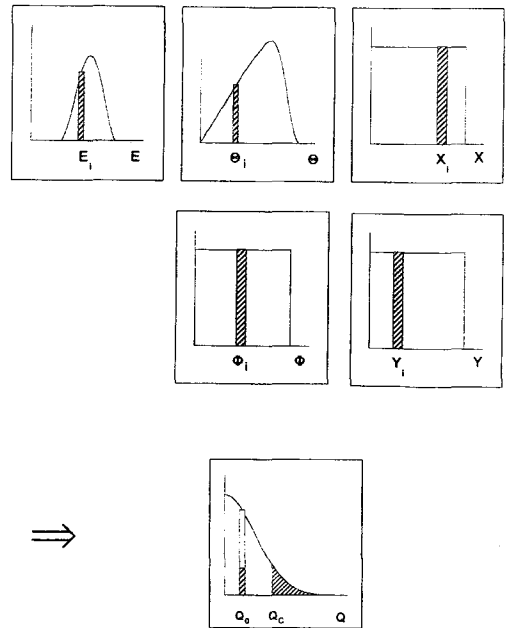


그림 1. 알파 입자 한 개가 입사되었을 때 수집전하량의 확률함수 P(Q) 및 소프트웨어 에러율을 구하는 방법에 대한 도식적 표현

Fig. 1. Schematic showing the method of calculating probability function P(Q) and SER for the injection of single alpha-particle injection.

DRAM셀이 소프트웨어 에러를 발생하는 최소의 전하량을 critical 전하량(Q_c)라고 하며 알파 입자의 입사에

의하여 접합에 수집되는 전하량이 Q_C 이상인 경우에는 소프트 에러가 발생하게 된다. Q_C 는 정보 1에 해당되는 셀 접합의 전압 (V_{node}), storage 캐패시턴스 (C_S), bit line 캐패시턴스 (C_B), bit line의 equalize 전압 (V_{bit}), bit-bar line의 equalize 전압 (V_{bitb}), 그리고 sense amp가 필요로 하는 최소의 전압차 (ΔV_{sen})에 의하여 결정되며 이에 대한 자세한 계산식은 다음절에서 설명하겠다. 식 3에 의하여 계산된 수집전하량의 확률 함수 $P(Q)$ 를 그림 1과 같이 Q_C 보다 큰 부분에 대하여 적분하게 되면 알파 입자 한 개가 입사된 경우에 소프트 에러가 발생할 확률(ϵ)을 계산할 수 있다.

$$\epsilon = \int_{Q_C}^{\infty} P(Q)dQ \quad (4)$$

III. Q_C 및 소프트 에러율 계산 방법

DRAM에서 소프트 에러가 발생하는 모드는 memory 모드, bit 모드, bit-bar 모드로 구분할 수 있으며, 각 모드에 따른 Q_C 및 소프트 에러율을 계산하는 알고리즘은 다음과 같다.

1. Memory 모드

정보 1이 저장되어 있는 셀에 알파 입자가 입사되어 소프트 에러를 발생하는 모드이다. 알파 입자에 의하여 전자가 접합에 수집되면 접합의 전압이 감소하게 되므로 정보 0이 저장된 셀의 경우에는 전하가 수집되어도 소프트 에러가 발생하지 않는다. Memory 모드의 경우에 sensing 구간에서의 bit line과 storage 캐패시터사이의 전하 재분배 식은 다음과 같다.

$$(C_B + C_S)V_{bit} = C_B V_{bit} + (C_S V_{node} - Q_M) \quad (5)$$

여기서 V_{bit} 는 전하 재분배후의 bit line 전압이고 Q_M 는 셀 접합에 수집된 전하량이다. 또한 V_{bit} 은 bit line의 equalize 전압으로 $0.5 \cdot V_{node}$ 이며 bit-bar line의 equalize 전압 (V_{bitb})도 같은 값을 갖는다. 이제 bit 과 bit-bar line사이의 전압차이인 ΔV_{bb} 에 식 5를 대입하면

$$\Delta V_{bb} = V_{bit} - V_{bitb} = \frac{\frac{1}{2} C_S}{C_B + C_S} V_{node} - \frac{Q_M}{C_B + C_S} \quad (6)$$

식 6에서 볼 수 있듯이 Q_M 에 의하여 ΔV_{bb} 가 감소하

며 이 값이 sense amp가 요구하는 최소 전압차인 ΔV_{sen} 보다 작게되면 소프트 에러가 발생한다. 이때의 Q_M 값이 memory 모드의 critical 전하량인 Q_{MC} 에 해당된다. 따라서 식 6에 $\Delta V_{bb} = \Delta V_{sen}$, $Q_M = Q_{MC}$ 를 대입하여 다음과 같이 Q_{MC} 의 계산식을 구할 수 있다.

$$Q_{MC} = \frac{1}{2} C_S V_{node} - (C_B + C_S) \Delta V_{sen} \quad (7)$$

이제 계산된 Q_{MC} 에 의하여 식 4로부터 알파 입자 한 개가 입사된 경우에 소프트 에러가 발생할 확률(ϵ_M)을 구한 후에 다음의 식에 대입하여 소프트 에러율을 구할 수 있다.

$$SER_M = \frac{1}{2} \cdot \Phi_a \cdot N_M \cdot A \cdot \epsilon_M \cdot 10^{-9} \quad (8)$$

여기서 SER_M 는 memory 모드의 소프트 에러율 (단위: FIT), Φ_a 는 알파 입자의 flux (단위: $cm^{-2}h^{-1}$), N_M 은 chip의 storage node 개수, A 는 셀 접합당 알파 입자 입사 면적 (단위: cm^2)이다. 앞에서 설명한 바와 같이 memory 모드는 셀의 정보가 1인 경우에만 발생하고 평균적으로 셀의 정보가 1일 확률은 1/2이므로 식 8에 이를 고려하였다.

2. Bit 모드

정보 1이 저장되어 있는 셀의 정보를 읽기 위하여 bit/bit-bar line이 equalize후 floating되어 있는 기간에 알파 입자가 bit line에 연결된 bit 접합에 입사되어 소프트 에러를 발생하는 모드이다. 이 경우에 sensing 구간에서의 전하 재분배 식은 다음과 같다.

$$(C_B + C_S)V_{bit} = (C_B V_{bit} - Q_B) + C_S V_{node} \quad (9)$$

여기서 Q_B 는 bit 접합에 수집된 전하량이다. 위의 식은 memory 모드의 식 5와 동일하므로 bit 모드의 critical 전하량(Q_{BC})은 Q_{MC} 와 동일하다. Bit 모드의 소프트 에러율은 다음과 같이 계산된다.

$$SER_B = \frac{1}{2} \frac{t_f}{t_{RC}} \cdot \Phi_a \cdot N_B \cdot A \cdot \epsilon_B \cdot 10^{-9} \quad (10)$$

여기서 t_f 는 bit line의 floating time, t_{RC} 는 chip의 cycle time, N_B 은 chip의 bit 접합 개수 ($=0.5 \cdot N_M$)이다. 또한 ϵ_B 는 알파 입자 한 개가 입사된 경우에 소프트 에러가 발생할 확률로 $Q_{BC} = Q_{MC}$ 임으로 ϵ_M 과 같은 값을 갖는다. Bit 모드의 소프트 에러는 bit line

이 floating되어 있는 기간(t_f)에 알파 입자가 입사되었을 경우에 한하여 발생하므로 윗식에서 알 수 있듯이 chip의 cycle time(t_{RC})을 증가시키면 소프트 에러율이 감소한다.

3. Bit-bar 모드

정보 0가 저장되어 있는 셀의 정보를 읽기 위하여 bit/bit-bar line이 equalize후 floating되어 있는 기간에 알파 입자가 bit-bar line에 연결된 bit 접합에 입사되어 소프트 에러를 발생하는 모드이다. Bit-bar 모드는 memory 모드나 bit 모드와는 다르게 읽으려는 셀의 정보가 0인 경우에만 발생한다. 이 경우의 전하 재분배 식은 다음과 같다.

$$(C_B + C_S)V_{bit} = C_B V_{bit} \quad (11)$$

또한 알파 입자가 입사된 bit-bar line의 전압은 다음과 같이 수집된 전하에 의하여 floating구간에서 감소하게 된다.

$$V_{bit} = V_{bit} - \frac{Q_{BB}}{C_B} \quad (12)$$

여기서 V_{bit} 는 알파 입자 입사후의 bit-bar line 전압이고 Q_{BB} 는 bit-bar line에 연결된 bit 접합에 수집된 전하량이다. 식 11, 12를 이용하여 critical 전하량 (Q_{BBC})를 계산하면

$$Q_{BBC} = \frac{1}{2} \frac{C_B C_S}{C_B + C_S} V_{node} - C_B \Delta V_{sen} = \frac{C_B}{C_B + C_S} Q_{MC} \quad (13)$$

따라서 Q_{BBC} 는 항상 Q_{MC} 보다 작은 값을 갖음을 알 수 있다. 이제 계산된 Q_{BBC} 에 의하여 식 4를 계산하여 알파 입자 한 개가 입사된 경우에 소프트 에러가 발생할 확률 (ϵ_{BB})을 구한 후에 다음의 식에 대입하여 소프트 에러율을 계산할 수 있다.

$$SER_{BB} = \frac{1}{2} \frac{t_f}{t_{RC}} \cdot \Phi_a \cdot N_B \cdot A \cdot \epsilon_{BB} \cdot 10^{-9} \quad (14)$$

위의 식은 bit 모드의 식 10과 ϵ_{BB} 만을 제외하고 동일하다.

위의 세 가지 소프트 에러 모드에 대하여 비교하여 보면 $Q_{BBC} < Q_{MC} = Q_{BC}$ 이므로 접합에 수집된 전하의 양이 작은 경우에는 bit-bar 모드에 의하여 소프트 에러

가 발생할 수 있다. 소프트 에러율을 비교하여 보면 보통 t_f 가 t_{RC} 의 1/2정도이고 N_B 가 N_M 의 1/2이므로 확률 ϵ 이 동일한 경우에는 SER_M 이 SER_B 나 SER_{BB} 보다 4배정도 크게 된다. 그러나 다음절에서 보는 바와 같이 ϵ 은 critical 전하량의 증가에 대하여 지수함수적으로 감소하므로 각 모드의 소프트 에러율의 크기는 $SER_{BB} > SER_M > SER_B$ 의 관계를 보인다. 전체 SER는 위의 세 가지 모드의 SER를 합산하여 계산된다. ($SER = SER_{BB} + SER_M + SER_B$)

IV. 시뮬레이션 결과

앞에서 설명한 알고리즘을 이용하여 소프트 에러율 시뮬레이터를 개발하고 이를 256M DRAM에 적용하여 소프트 에러율을 예측하였다. 시뮬레이션에 사용된 256M DRAM의 구조 및 인가 전압은 표 1과 같다. 먼저 C_B , C_S , V_{node} , ΔV_{sen} 의 변화에 따른 각 모드의 critical 전하량을 식 7과 식 13을 이용하여 계산하고 그 결과를 표 2에 보이고 있다. 앞에서 설명한 바와 같이 $Q_{MC} = Q_{BC}$ 이므로 표에는 Q_{MC} 와 Q_{BBC} 만을 보이고 있다. 사용된 256M의 typical 조건은 $C_B = 180fF$, $C_S = 30fF$, $V_{node} = 2.2V$, $\Delta V_{sen} = 60mV$ 이므로 이 값들 주변으로 변화를 주었다. 표에서 critical 전하량이 $0.0fC$ 으로 계산되는 경우는 C_B , C_S , V_{node} 값들의 조합으로는 ΔV_{sen} 을 만족하지 못하는 경우이다. 표에서 볼 수 있듯이 Q_{BBC} 는 항상 Q_{MC} 보다 작은 값을 가지며 C_B 의 증가, C_S 의 감소, V_{node} 의 감소, ΔV_{sen} 의 증가에 따라 critical 전하량이 감소한다.

표 1. 시뮬레이션에 사용된 256M DRAM의 셀 구조 및 인가 전압

Table 1. Cell structure and bias voltages of 256M DRAM used for simulation.

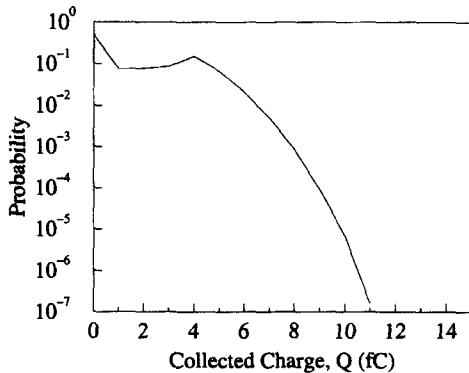
well 구조	Triple-well
셀 접합 깊이/전압	0.13 μ m / 2.2V
p-well 깊이/전압	1.0 μ m / -1V
n-well 깊이/전압	4.5 μ m / 3.8V
p-기판 전압	-1V
셀 접합 면적	0.36x0.36 μ m ²
Trench isolation 너비/깊이	0.24 μ m / 0.3 μ m
C_B	180fF
C_S	30fF
ΔV_{sen}	60mV

표 2. 여러 가지 조건 변화에 따른 critical 전하량의 변화

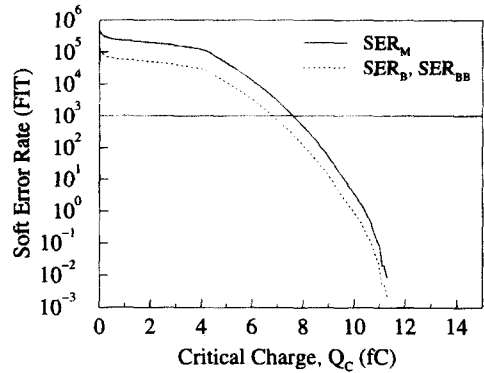
Table 2. Critical charges for various conditions.

C _B (fF)	ΔV _{sen} (mV)	V _{node} (V)	C _S = 30 (fF)		C _S = 25 (fF)		C _S = 20 (fF)	
			Q _{MC}	Q _{BBC}	Q _{MC}	Q _{BBC}	Q _{MC}	Q _{BBC}
			(fC)	(fC)	(fC)	(fC)	(fC)	(fC)
160	60	2.2	21.6	18.2	16.4	14.2	11.2	10.0
		2.0	18.6	15.7	13.9	12.0	9.2	8.2
	80	2.2	17.8	14.5	12.7	11.0	7.6	6.8
		2.0	14.8	12.5	10.2	8.8	5.6	5.0
	100	2.2	14.0	11.8	9.0	7.8	4.0	3.6
		2.0	11.0	9.3	6.5	5.6	2.0	1.8
180	60	2.2	20.4	17.5	15.2	13.3	10.0	9.0
		2.0	17.4	14.9	12.7	11.2	8.0	7.2
	80	2.2	16.2	13.9	11.1	9.7	6.0	5.4
		2.0	13.2	11.3	8.6	7.6	4.0	3.6
	100	2.2	12	10.3	7.0	6.1	2.0	1.8
		2.0	9.0	7.7	4.5	4	0.0	0.0
200	60	2.2	19.2	16.7	14.0	12.4	8.8	8.0
		2.0	16.2	14.1	11.5	10.2	6.8	6.2
	80	2.2	14.6	12.7	9.5	8.4	4.4	4.0
		2.0	11.6	10.1	7.0	6.2	2.4	2.2
	100	2.2	10.0	8.7	5.0	4.4	0.0	0.0
		2.0	7.0	6.1	2.5	2.2	0.0	0.0

개발된 소프트 에러율 시뮬레이터를 이용하여 256M DRAM 셀 구조에서의 소프트 에러율을 계산하였다. 그림 2(a)에 식 3으로 계산된 P(Q) vs. 수집 전하량 데이터를 보이고 있으며 알파 입자 입사에 의하여 접합으로 수집되는 최대 전하량은 11fC임을 알 수 있다.



(a)



(b)

그림 2. 256M DRAM 셀에 대한 (a) P(Q) vs. Q, (b) SER vs. QC (Φ_a=0.001, t_f=30ns, t_{RC}=60ns)

Fig. 2. (a) P(Q) vs. Q (b) SER vs. QC for 256M DRAM (Φ_a=0.001, t_f=30ns, t_{RC}=60ns).

그림 2(b)는 P(Q)함수에 식 4를 적용하여 확률을 구한 후에 이를 각 모드의 소프트 에러율 계산식(식 8, 10, 14)에 적용하여 구한 소프트 에러율 vs. critical 전하량의 데이터이다. 여기서 사용된 조건들은 256M DRAM에서 사용되는 t_f=30ns t_{RC}=60ns이며 알파 입자의 flux는 Φ_a=0.001로 이는 mold에서 발생하는 알파 입자 flux의 대표적인 값에 해당된다.^[7] 그림에서 볼 수 있듯이 Q_C의 증가에 따라 소프트 에러율이 지수 함수적으로 감소함을 알 수 있다.

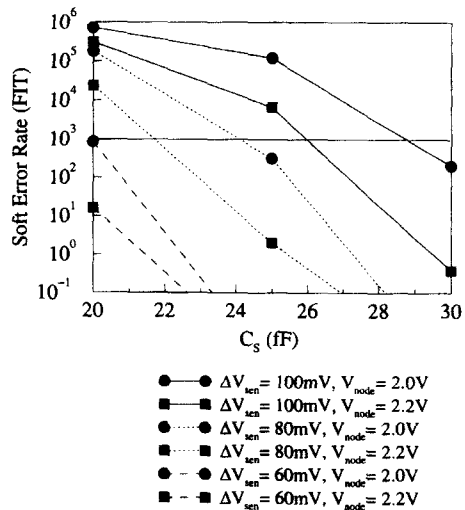


그림 3. 256M DRAM의 bit-line 캐패시턴스가 typical 값(C_B=180fF)을 갖는 경우의 소프트 에러율 (Φ_a=0.001, t_f=30ns, t_{RC}=60ns)

Fig. 3. SER of 256M DRAM with typical bit-line capacitance(C_B=180fF) (Φ_a=0.001, t_f=30ns, t_{RC}=60ns).

표 2에 보인 바와 같은 다양한 조건에서의 Q_{MC} , Q_{BC} , Q_{BBC} 에 해당되는 SER_M , SER_B , SER_{BB} 를 그림 2(b)에서 구하고 그 값들을 합산하면 소프트 에러율을 구할 수 있다. 그림 3은 typical한 bit line 캐패시턴스인 $C_B=180\text{fF}$ 을 적용한 결과이고 그림 4는 worst한 경우로 $C_B=200\text{fF}$ 을 적용한 결과이다. 그림에서 볼 수 있듯이 256M의 typical한 조건인 $C_B=180\text{fF}$, $V_{\text{node}}=2.2\text{V}$, $\Delta V_{\text{sen}}=60\text{mV}$ 인 경우에는 C_S 가 20fF까지 감소하여도 SER의 spec.인 1000FIT 이하의 소프트 에러율을 갖는다. Worst 조건인 $C_B=200\text{fF}$, $V_{\text{node}}=2.0\text{V}$ 를 적용하면 $C_S=25\text{fF}$ 까지는 spec.을 만족함을 알 수 있다. 따라서 현재 256M에서 사용되는 $C_S=30\text{fF}$ 의 조건은 SER의 측면을 고려할 때 5fF정도의 margin을 갖고 있다.

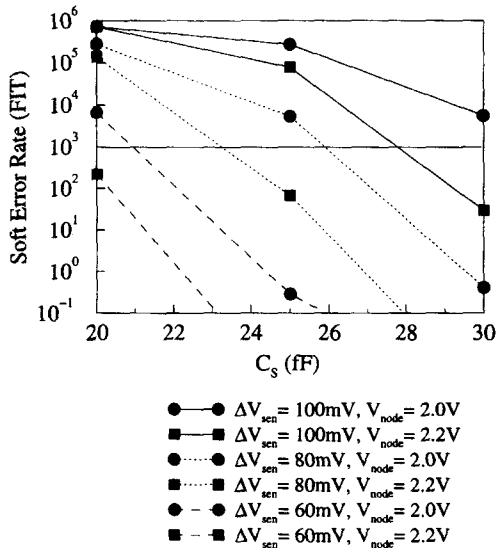


그림 4. 256M DRAM의 bit-line 캐패시턴스가 worst 값($C_B=200\text{fF}$)을 갖는 경우의 소프트 에러율 ($\Phi_a=0.001$, $t_f=30\text{ns}$, $t_{RC}=60\text{ns}$)

Fig. 4. SER of 256M DRAM with worst bit-line capacitance($C_B=200\text{fF}$) ($\Phi_a=0.001$, $t_f=30\text{ns}$, $t_{RC}=60\text{ns}$).

V. 결론

본 연구에서는 DRAM의 소프트 에러율을 예측할 수 있는 시뮬레이터를 개발하였다. 이 시뮬레이터는 수집 전하량 계산을 위하여 기존의 시뮬레이터와는 다르게 해석적 모델을 사용함으로써 계산시간을 크게 감소시킨 실용적인 시뮬레이터로 $P(Q)$ 함수를 계산하는데 SUN Ultra2로 8시간이 소요된다. 또한 기존에 발

표된 DRAM의 소프트 에러 모드 외에 bit-bar 모드를 고려하였으며 이 모드에 의한 소프트 에러율이 기존의 memory 모드나 bit 모드에 비하여 큰 값을 가짐을 밝혔다. 개발된 시뮬레이터를 256M DRAM에 적용하여 소프트 에러율을 예측한 결과, C_S 가 약 5fF의 margin을 갖고 있음을 알 수 있었다. 개발된 시뮬레이터를 차세대 DRAM 셀 구조에 적용함으로써 소프트 에러에 강한 구조에 대한 연구에 활용할 수 있다.

감사의 글

※ 본 연구는 LG반도체의 연구비 지원에 의한 결과임.

참고 문헌

- [1] T. May and M.H. Woods, "Alpha-Particle-Induced Soft Errors in Dynamic Memories", *IEEE Transactions on Electron Device*, vol. ED-26, no. 1 pp. 2-9, Jan. 1979.
- [2] D.S. Yaney, J.T. Nelson, and L.L. Vanskike, "Alpha-Particle Tracks in Silicon and their Effect on Dynamic MOS RAM Reliability", *IEEE Transactions on Electron Device*, vol. ED-26, no. 1 pp. 10-16, Jan. 1979.
- [3] S. Kirkpatrick, "Modeling Diffusion and Collection of Charge from Ionizing Radiation in Silicon Devices", *IEEE Transactions on Electron Device*, vol. ED-26, no. 11 pp. 1742-1753, Nov. 1979.
- [4] C.M. Hsieh, P.C. Murley, and R.R. O'Brien, "A Field-funneling Effect on the Collection of Alpha-Particle-Generated Carriers in Silicon Devices", *IEEE Electron Device Letters*, vol. EDL-2, no. 4 pp. 103-106, Apr. 1981.
- [5] S. Satoh, R. Sudo, H. Tashiro, N. Higaki, and N. Nakayama, "CMOS-SRAM Soft-Error Simulation System", *1994 IEEE International Reliability Physics Symposium*, pp. 339-343, 1994.

- [6] P.C. Murley and G.R. Srinivasan, "Soft-error Monte Carlo modeling program, SEMM", *IBM J. Res. Develop.*, vol. 40, no. 1 pp. 109-118, Jan. 1996.
- [7] Y. Tosaka, S. Satoh, T. Itakura, K. Suzuki, T. Sugii, H. Ehara, and G.A. Woffinden, "Cosmic Ray Neutron-Induced Soft Errors in Sub-Half Micron CMOS Circuits", *IEEE Electron Device Letters*, vol. EDL-18, no. 3 pp. 99-101, Mar. 1997.
- [8] 申炯淳, "알파 입자에 의한 전하 수집량에 대한 통합 모델", *電子工學會論文誌-D*, 第36卷 第1號 pp. 83-89, 1999

저 자 소 개

申 炯 淳(正會員) 第 35卷 D編 第 8號 參照