

論文99-36D-1-8

램프 스캐닝 열처리에 의한 다결정 실리콘 박막의 형성 및 TFT제작에 관한 연구

(A Study on the Formation of Polycrystalline Silicon Film by Lamp-Scanning Annealing and Fabrication of Thin Film Transistors)

金兌炅*, 金奇範*, 李炳一*, 朱承基*

(Tae-Kyung Kim, Gi-Bum Kim, Byung-Il Lee, and Seung-Ki Joo)

요 약

유리기판 위에 다결정 실리콘 박막 트랜지스터(Thin Film Transistor; TFT)를 형성하기 위해서 램프 Scanning 열처리 장치를 개발하였다. 선형 램프를 Scanning 함으로써 대면적 유리기판에의 적용 가능성을 높였으며 TFT의 채널 부분은 금속 유도 측면 결정화 방법에 의해 결정화 시켰다. 할로겐 램프에 의한 빛은 투명 유리기판은 가열시키지 않고 island 형태의 실리콘 박막만을 가열시킬 수 있었다. 실리콘 산화막으로 이루어진 Capping layer를 적용하였고 이때의 성장 속도는 Capping layer가 없는 경우보다 3-5배 정도로 빠른 MILC 성장 속도를 나타내었다. 할로겐 램프를 약1.4mm/sec 의 속도로 Scanning한 경우 유리기판의 손상 없이 18-27 $\mu\text{m}/\text{scan}$ 정도의 결정화를 나타내었다. 이와 같이 제작된 다결정 실리콘 박막으로 제작된 TFT는 전하이동도 130 $\text{cm}^2/\text{V}\cdot\text{sec}$ 의 우수한 특성을 나타내었다.

Abstract

Polycrystalline thin film transistors are fabricated on the transparent glass substrate by a lamp-scan annealing. The line-shaped lamp scanning method, which is profitable for large area process, effectively radiated silicon film on glass substrate. Amorphous silicon film absorbs the light which is emitted from halogen-lamp and it transformed into crystalline silicon by metal-induced lateral crystallization. In order to enhance the annealing effect, capping layer was deposited on the whole substrate. When the scan speed was 1~2mm/sec, lateral crystallization of amorphous silicon under capping layer was 18~27 $\mu\text{m}/\text{scan}$. The thin film transistor fabricated by this method shows high electron mobility over 130 $\text{cm}^2/\text{V}\cdot\text{sec}$

I. 서 론

다결정 실리콘 박막 트랜지스터는 전자 이동도 등의 전기적 특성이 우수하여 액정 표시소자 및 구동회로의

동시 집적을 가능하게 한다. 최근에는 다음과 같은 조건을 만족시키는 고 품질의 다결정 실리콘을 형성시키고자 연구가 활발히 진행중이다. 첫째는 500 $^{\circ}\text{C}$ 이하의 저온 공정이어야 하고 둘째는 대면적의 유리기판을 사용할 수 있어야 하며 셋째는 고 수율의 공정이 가능해야 한다. 하지만 기존의 레이저 에 의한 결정화 방법은 소자특성이 불균일 하고 장비, 공정 면에서 경제성이 떨어지며 노 열처리의 경우는 대면적일때 장비의 구성이 어렵고 공정시간이 길어지는 단점이 있다. 최

* 正會員, 서울대학교 材料工學部

(Division of MS&E., College of Engineering, Seoul National Univ.)

接受日字1998年9月4日, 수정완료일:1998年12月28日

근에 개발된 니켈 금속 박막에 의한 비정질 실리콘의 측면 결정화법(Ni-Metal Induced Lateral Crystallization; MILC)은 결정화 온도를 낮추고 동시에 고품질의 다결정 실리콘을 형성시킬 수 있는 것으로 보고되고 있다. 본 연구에서는 Ni-MILC를 기관 변형 없이 공정시간을 단축시키기 위한 방법으로 램프 Scanning에 의한 금속 열처리 방법을 제안하였고 열처리 조건에 따른 결정화 거동을 관찰하였다. 선형 램프의 Scanning에 의한 열처리 장치는 2차원적인 면적의 확장이 용이하여 차세대 대면적 기관의 양산에 매우 유리한 구조이다. 또한 자동 이송 장치와의 결합을 통하여 연속 열처리 공정을 가능하게 하므로 경제성 면에서 장점을 나타낸다. 이와 같은 장치에 의해 형성된 다결정 실리콘 박막을 이용하여 N-형의 TFT를 제작하고 전기적 특성을 평가하였다.

II. 실험 방법

기관으로는 코닝1737 유리를 이용하였고, 1000Å 두께의 비정질 실리콘을 다이시일렌(Si_2H_6) 소스를 이용한 LPCVD 장치에 의해 증착한 뒤에 사진 식각 공정에 의해서 island를 형성하였다. island의 일부 영역에 리프트-오프법을 이용하여 니켈 금속 박막을 20Å 두께로 형성한 뒤 PECVD 장치에 의해서 3000Å 두께의 실리콘 산화막을 기관 전면에 형성하여 Capping Layer로 이용하였다. 이렇게 제작된 시편은 그림 1에 개략적으로 나타난 램프 열처리 장치에서 하부램프에 의한 예열과 상부에서 Scanning되는 집속 램프에 의해서 가열되었다.

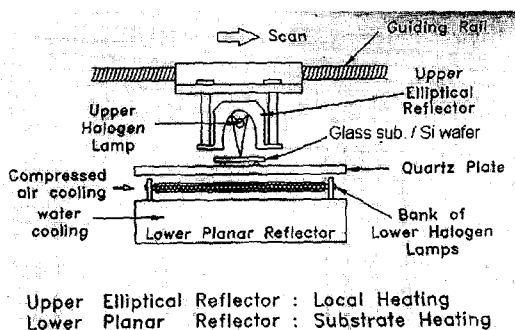


그림 1. 선형 램프 Scanning에 의한 열처리 장치의 개략도

Fig. 1. Schematic diagram of annealing apparatus with line-shaped lamp scanning.

하부 램프로부터의 가열은 균일한 조사에 의해 시편을 일정한 온도로 예열하며 상부램프에 의한 가열은 빛을 집중 시키도록 타원형의 반사경을 설계하여 타원의 한 초점에 램프가 위치하고 다른 한 초점에 시편 표면을 놓아 국부적인 조사가 가능하도록 하였다. 상부 집속 램프의 이동 속도는 직류모터에 인가되는 전압으로 제어하였다. 열처리 도중의 온도 변화는 유리 기관을 지지하는 실리콘웨이퍼의 온도를 열전대쌍을 이용하여 측정하였다.

TFT를 제작하기 위해서는 실리콘 island를 형성한 뒤에 ECR-CVD에 의해서 게이트 산화막을 형성하고, 게이트 실리콘을 증착한 뒤 상부 게이트 방식의 자기정렬 TFT 소자를 형성하였다. 스퍼터링법에 의해 니켈박막을 시편 전면에 20Å 두께로 증착하고 Capping 산화막을 추가로 형성한 뒤 Scanning 열처리하였다. 또한 노 열처리에 의해 결정화된 MILC-TFT를 제작하여서 열처리 방법의 차이에 따른 전기적 특성의 차이를 관찰하였다. 노 열처리는 수소분위기에서 승온 속도를 5°C/분으로 유지하여 500°C에서 5시간 동안 행하였다.

TFT의 특성 분석을 위해서는 알루미늄 전극을 형성한 뒤 HP4140B를 이용하여 전류-전압곡선을 측정하였다.

III. 실험결과 및 고찰

본 연구에서는 연속공정에 의한 비정질 실리콘의 결정화를 위해 할로젠 램프 빛을 이용한 금속 열처리를 하였다. 이때 선형의 텅스텐 할로젠 램프는 타원형의 집속 장치와 함께 기관위로 Scanning할 수 있으며 기관 예열을 위한 하부의 램프와 결합하여 연속적이고 균일한 가열장치를 구성한다.

그림 2에는 선형 램프가 Scanning되어 지나갈 때의 온도 변화를 나타내었다. 400°C 정도로 예열된 기관은 상부 램프의 이동에 의해 수초간의 급격한 온도 상승 및 냉각이 이루어진다.

이때의 램프 전력은 1kW이며 Scanning 속도는 1.4mm/sec였다. 실험에 사용된 시편은 1"×1" 크기의 유리기관으로서 후속 mask의 정렬에 문제가 없을 정도로 변형이 없었다. 이와 같은 Scanning 열처리 방법을 상용화하기 위해서는 대면적 유리기관을 고온에서 짧은 시간 열처리 할 경우 기관의 변형정도

가 작아야 하며 이를 측정하기 위한 연구가 진행중이다. 비정질 실리콘이 고상 결정화에 의해서 다결정 실리콘으로 되려면 3-5eV의 큰 활성화 에너지 때문에 충분한 incubation 시간 및 높은 온도가 필요하다는 것이 보고되어왔다. 이와 같은 결정화법은 저온 유리를 기판으로 이용한 공정에 적합하지 않다. 그런데, 램프에 의한 고온 열처리를 MILC에 이용하면 상대적으로 낮은 활성화 에너지(0.3eV) 때문에 금속 층이 형성되지 않은 부분의 고상 결정화에 필요한 incubation 시간 및 온도에 이르기 전에 금속 층이 형성된 부분에서부터 금속 유도에 의한 결정화가 시작되어 측면으로 진행된다. 이는 열처리 온도 및 시간을 감소시켜주어서 유리기판의 변형 없이 다결정 실리콘 박막을 형성할 수 있다.

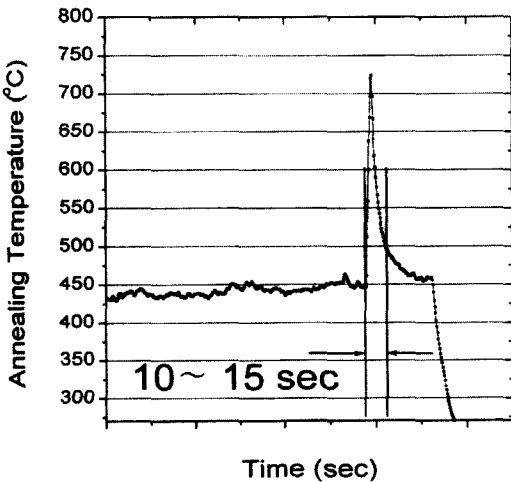


그림 2. 선형 램프를 Scanning 할 때 온도측정용 실리콘 웨이퍼의 시간에 따른 온도 변화

Fig. 2. Temperature distribution of monitoring Si wafer during lamp scanning.

본 실험에서 제작된 Scanning 열처리 장치에서는 실리콘 기판 위에 올려진 유리기판이 하부 램프에 의해서 500°C 이하의 온도로 예열된 뒤 상부의 집속 램프의 Scanning 조건을 조절함으로써 80°C/초 이상의 빠른 가열이 가능토록 하였으며, 이때 냉각공기를 계속 송출함으로써 빛의 전도에 의한 가열효과만이 유일한 열원이 되도록 하였다. 투명한 유리기판은 집속 램프에 의해 직접 가열되지 않고 다만 실리콘 기판으로부터의 전도가열만이 가능하며 기판 위에 형성된 비정질 실리콘 박막이 집속 램프 빛의 파장에 해당하는 에

너지의 대부분을 흡수하여 국부적인 가열이 일어난다. 이때 열전도율이 실리콘에 비해 1/100 수준인 Capping Oxide는 집속 램프의 빛을 실리콘 박막으로 투과시키며 국부적으로 가열된 실리콘 박막이 상온의 대기와 직접 접촉하여 냉각되는 것을 방지한다. 따라서 대면적의 투명 유리기판은 변형온도에 이르지 않고 기판 위에 패턴 되어 있는 실리콘 박막만이 금속 유도 결정화에 필요한 온도로 가열된다.

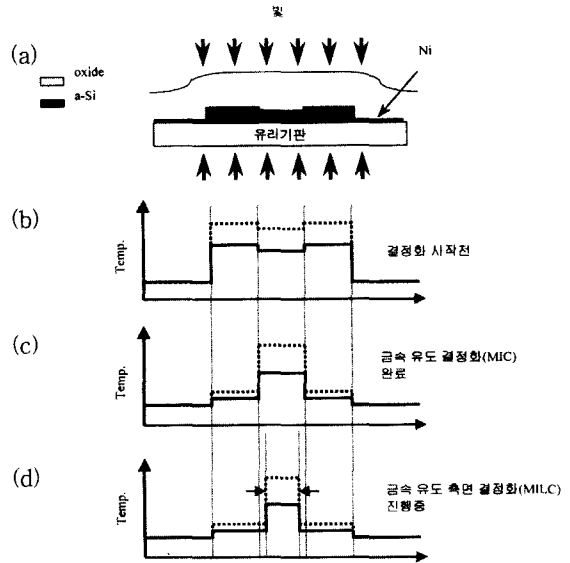


그림 3. (a) 램프 열처리에 의해서 금속 유도 측면결정화하기 위한 실리콘 박막의 단면도 (b) 열처리 초기의 시편의 온도 구배 (c) 금속이 증착된 영역의 결정화가 시작될 때의 온도 구배 (d) 측면결정화가 시작되어서 열 흡수 영역이 좁아지기 시작한 후의 온도 구배 (점선은 Capping Oxide가 있는 경우이고, 실선은 Capping Oxide가 없는 경우이다)

Fig. 3. (a) Cross section view of Si film which is crystallized by MILC with lamp annealing (b) Thermal distribution of specimen at the first stage of annealing (c) Thermal distribution at the beginning of crystallization where Ni was deposited (d) Thermal distribution when MILC started and heat absorption area became narrow (Dashed line is with capping oxide and solid line is without capping oxide)

그림 3(a)에는 열처리를 위한 시편의 단면 개략도를 나타내었으며, 그림 3(b),3(c),3(d)에는 그림 3(a)과 같이 유리기판 위에 비정질 실리콘박막을 island 형태

로 형성한 경우 빛 조사시 예상되는 실리콘 박막의 온도 구배를 개략적으로 표시하였다. 불투명한 비정질 실리콘 및 금속이 증착된 영역은 투명한 기판 보다 빛의 흡수율이 커서 높은 온도로 가열된다. 점선으로 표시한 온도는 Capping Oxide 가 증착된 실리콘 영역의 온도인데 실리콘에 비해서 열전도율이 작은 실리콘 산화막은 실리콘 막을 단열 시켜서 냉각을 방지하여 온도를 상승시킬 수 있다. 한편 금속 유도 측면 결정화가 진행되면서 비정질 실리콘이 상대적으로 투명한 결정질 실리콘으로 변하면 빛 흡수율이 감소하면서 온도의 감소가 일어날 것이다.

즉, 투명기판상의 비정질 실리콘 박막은 할로겐 램프 열처리 시에 결정화가 진행되면서 빛 흡수 영역의 변화가 생기고 결정화가 완료되면 빛 흡수가 최소화되는 이른바 self-stop 공정이 가능하다.

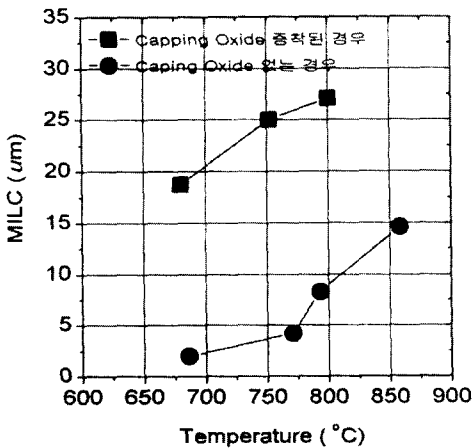


그림 4. Scanning 열처리에 의한 금속 유도 측면 결정화 거리 Scanning 시에 실리콘웨이퍼에서 측정된 최고점 온도에 따른 결정화거리를 나타내었다. Capping Oxide가 있는 경우 측면 결정화 거리가 3-5배정도 향상되었다.

Fig. 4. MILC length by scanning annealing, Temperature of monitoring Si wafer versus MILC length. With capping oxide, MILC rate was enhanced by 3~5 times.

Scanning 열처리에서는 램프가 지나가는 도중 램프 속도에 영향을 받는 가열 및 냉각 곡선이 얻어진다. 이때 온도 변화곡선의 최고점 온도에 따른 결정화 거리(한번의 Scanning에서 측면 결정화된 거리)를 그림 4에 나타내었다. Y축에는 금속 유도 측면결정화 거리를, X축에는 Scanning 시의 최고점 온도를 도시하였는데, Capping Oxide 가 형성된 시편은 Capping

Oxide가 없는 시편에 비해 약 5배의 빠른 결정화 속도를 나타내었으며 이는 그림 3에서 점선으로 나타낸 바와 같이 Capping Oxide에 의한 온도 상승효과가 있었음을 나타내 준다.

이와 같이 Capping Oxide 는 할로겐 램프 열처리 시에 적은 열 공급으로도 결정화가 가능하도록 해주어서 기판의 변형을 줄일 수 있게 해주는 역할을 한다.

실제 TFT 소자를 제작하기 위해서는 그림 5와 같이 공정을 진행 시간 후 Capping Oxide를 전면에서 증착하고 할로겐 램프 Scanning에 의해 결정화 및 도판트 활성화를 한다. 그리고 금속 배선을 형성하기 위한 접촉 창을 형성하고 금속선공정을 완료한다.

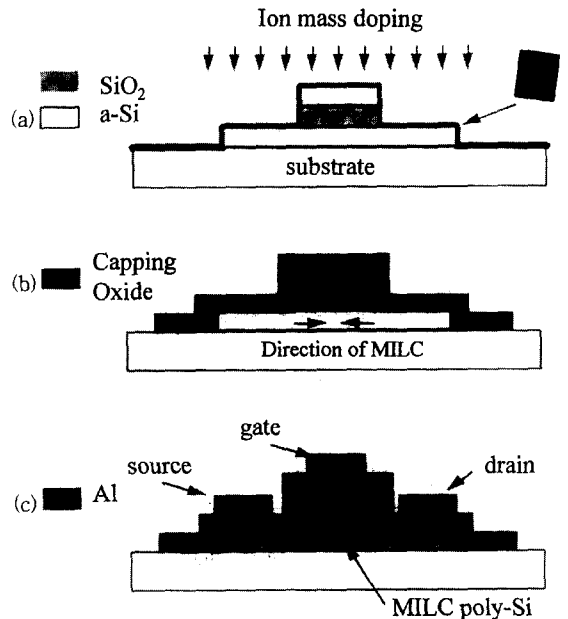


그림 5. RTA를 이용한 TFT 제작 공정의 개략도 (a) 자기정렬 상부게이트 방식의 Pattern을 형성한 뒤 니켈박막을 20Å 두께로 전면에서 증착하고 이온주입을 하였다. (b) 3000Å 두께의 Capping Oxide를 형성한 뒤 할로겐 램프를 이용한 금속 열처리로 결정화시킨다. (c) Capping Oxide에 접촉 창을 형성한 뒤 알루미늄을 증착하여 전극을 형성한다.

Fig. 5. Fabrication diagram of TFT's using scan RTA. (a) Self-aligned top gate TFT was patterned and 20Å-thick Ni was film deposited (b) 3000Å-thick capping oxide was formed and a-Si crystallized by RTA using halogen lamp (c) After contact holes were patterned, Al electrodes were formed

그림 6에는 이와 같은 열처리 방법에 의해서 제작된 다결정 실리콘 TFT의 전류 전압 특성 곡선을 나

타내었다. 기존의 노 열처리에 의해서 금속 유도 측면 결정화된 TFT의 특성을 비교를 위하여 같이 나타내었다. 램프 열처리에 의해 제작된 TFT의 특성은 전자 이동도는 $130\text{cm}^2/\text{V}\cdot\text{sec}$ 이고 문턱전압은 2.5V, subthreshold 기울기는 0.59V/dec 정도의 우수한 값을 나타내었다. 반면에 노 열처리에 의한 TFT의 특성은 전자 이동도 $120\text{cm}^2/\text{V}\cdot\text{sec}$, 문턱전압 1V, subthreshold 기울기는 0.47V/dec 의 값을 나타내었다.

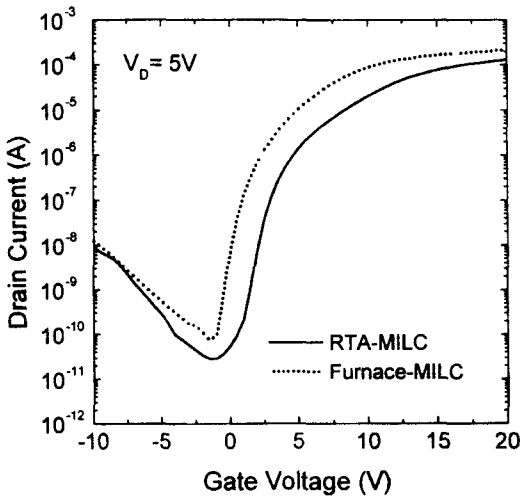


그림 6. Scanning 열처리에 의해 제작된 TFT의 특성을 노열처리에서 제작된 TFT의 특성과 비교하였다.

Fig. 6. Device characteristics of TFT's fabricated by scan annealing. Furnace annealed TFT's also fabricated to be compared.

이와 같은 전기적 특성의 차이는 램프 열처리와 노 열처리에 의해 형성된 다결정 실리콘 미세구조의 차이에서 기인한다고 할 수 있다. 고상 결정화에 의해 다결정 실리콘 박막을 얻는 경우는 노 열처리와 금속 열처리방법의 경우 각각 다른 결정화 메커니즘을 따르며 결정립과 결정결함들도 서로 다른 구조 및 농도를 갖는 것으로 알려져 있다. 또한 이에 따른 전기적 특성의 차이도 보고되어 왔다.

금속 유도 측면 결정화의 경우에도 열처리 방법의 차이가 다결정 실리콘형성 과정에 영향을 미쳐서 TFT의 전기적 특성이 그림 6에서와 같은 차이를 나타내게 할 수 있다. 열처리 조건의 변화에 따른 미세구조의 변화 및 전기적 특성의 차이에 대한 연구가 더욱 필요하다.

이와 같이 본 연구에서 개발된 열처리 장치 및 Capping 막의 효과를 이용하여 금속 유도 측면 결정화법에 적용하면 간단한 장비 및 공정에 의해 대면적 유리기판을 이용한 실리콘 박막 트랜지스터 디스플레이 장치의 개발이 가능하리라 기대된다.

IV. 결 론

선형 램프의 Scanning 열처리 장치에 의해서 유리 기판의 변형 및 손상 없이 다결정 실리콘 박막을 형성하였다. 할로젠 램프에 의한 빛은 island로 형성된 실리콘 박막에서만 부분적으로 흡수되어 기판이 열에 의해 손상되는 것을 막을 수 있었다. 실리콘 산화막이 Capping layer로 형성된 시편은 3-5배 정도로 빠른 MILC 성장 속도를 나타내었다. Capping Oxide 는 실리콘 막의 온도 유지에 효과가 있음을 나타내었으며, 더욱 낮은 램프전력 및 시간 내에서도 TFT 채널의 결정화가 가능하게 하여 대면적 유리기판에의 적용이 가능함을 알 수 있었다. 이와 같이 제작된 다결정 TFT는 전자 이동도는 $130\text{cm}^2/\text{V}\cdot\text{sec}$ 정도의 특성을 나타내었다.

감사의 글

※ 본 연구는 디스플레이 연구조합과 서울대학교 신소재 박막가공 및 결정성장 연구센터의 연구비 지원으로 수행되었습니다. 이에 감사드립니다.

참 고 문 헌

- [1] T. J. King and K. C. Saraswat, "Low-Temperature ($\leq 550^\circ\text{C}$) Fabrication of Poly-Si Thin-Film Transistors", IEEE Electron Device Lett., 13(6), p. 309, 1992.
- [2] S. W. Lee and S. K. Joo, "Low temperature poly-Si thin film transistor fabrication by metal-induced lateral crystallization", IEEE Electron Device Lett., 17(4), p. 160, 1996.
- [3] James S. Im, and Robert S. Sposili, "Crystalline Si Films for Integrated Active-Matrix Liquid-Crystal Displays", Material Research Society Bulletin, vol. 21,

- no. 3, p. 39, 1996.
- [4] 김태경, 인태형, 이병일, 주승기, “금속 유도 측면 결정화에 의해 유리기판 위에 제작된 저온 (450°C) 다결정 박막 트랜지스터에 관한 연구”, 대한전자공학회지 제35권, D편, 제5호, p. 466, 1998
- [5] R. B. Inverson and R. Reif, “Recrystallization of amorphized polycrystalline silicon films on SiO₂: Temperature dependence of the crystallization parameters”, J. Appl. Phys. 62(5), p. 1675 1987.
- [6] H. S. Kim, J. G. Couillard, and D. G. Ast, “Kinetics of silicide-induced crystallization of polycrystalline thin-film transistors fabricated from amorphous chemical-vapor deposition silicon”, Appl. Phys. Lett, 72(7), p. 803, 1998.
- [7] Laurence Plevert, Serge Mottet, Madeleine Bonnel, Nicole Duhamel, Rene Gy, Lazar Haji, and Bertrand Loisel, “Minimal Glass Deformations with Rapid Thermal Annealing Control”, Jpn. J. Appl. Phys. vol. 34, pp. 419-424 Part 1, no. 2A, 1995.
- [8] Ichio Yudasaka, and Hiroyuki Ohshima, “Rapid thermal annealing technique for polycrystalline silicon thin-film transistors”, Jpn. J. Appl. Phys. vol. 33, pp. 1256-1260, Part 1. no. 3A, 1994.
- [9] M. Bonnel, N. Duhamel, M. Guendouz, L. Haji, B. Loisel and P. Ruault, “Poly-Si thin film transistors fabricated with rapid thermal annealed silicon films”, Jpn. J. Appl. Phys. vol. 30, no. 11B, pp. L 1924-1926, 1991.

 저 자 소 개

金兌炘(正會員)

1971년 3월 31일생. 1995년 서울대학교 금속공학과 졸업(공학사). 1997년 서울대학교 금속공학과(전자재료). 공학석사 학위 취득. 1997년 3월 ~ 현재 서울대학교 재료공학부(전자재료) 박사과정 재학중. 주관심분야는 poly-Si TFT, 반도체 제조 공정 등임

李炳一(正會員) 第33卷 A編 第9號 參照

金奇範(正會員)

1975년 2월 8일생. 1997년 서울대학교 금속공학과 졸업(공학사). 1997년 3월 ~ 현재 서울대학교 재료공학부(전자재료) 석사과정 재학중. 주관심분야는 poly-Si TFT 및 구동소자, 반도체 제조 공정 등임

朱承基(正會員) 第31卷 A編 第11號 參照