

論文99-36D-1-7

CTR 코드를 사용한 I/O 핀 수를 감소 시킬 수 있는 인터페이스 회로

(An I/O Interface Circuit Using CTR Code to Reduce Number of I/O Pins)

金俊倍*, 권오경*

(Jun-Bae Kim and Oh-Kyong Kwon)

요약

반도체 칩의 집적도가 급격히 향상됨에 따라 칩의 I/O 수가 증가하여 패키지의 크기가 커질 뿐 아니라 칩 자체의 가격보다 패키지의 가격이 높아지고 있는 실정이다. 따라서 집적도의 증가에 의한 I/O 수의 증가를 억제할 수 있는 방법이 요구되고 있다. 본 논문에서는 CTR (Constant-Transition-Rate) 코드 심벌 펄스의 상승 에지와 하강 에지의 위치에 따라 각각 2 비트 씩의 디지털 데이터를 엔코딩함으로써 I/O 핀 수를 50% 감소 시킬 수 있는 I/O 인터페이스 회로를 제안한다. 제안한 CTR 코드의 한 심벌은 4 비트 데이터를 포함하고 있어 기존의 인터페이스 회로와 비교하여 심벌 속도가 절반으로 감소되고, 엔코딩 신호의 단위 시간당 천이 수가 일정하며, 천이 위치가 넓게 분산되어 동시 스위칭 잡음 (Simultaneous Switching Noise, SSN)이 작아진다. 채널 엔코더는 논리 회로만으로 구현하고, 채널 디코더는 오버샘플링(oversampling) 기법을 이용하여 신호를 복원하는 입출력 회로를 설계하였다. 설계한 회로는 0.6 μm CMOS SPICE 파라미터를 이용하여 시뮬레이션함으로써 동작을 검증하였으며, 동작 속도는 200 Mbps/pin 이상이 됨을 확인 하였다. 제안한 방식을 Altera사의 FPGA를 이용하여 구성하였으며, 구성한 회로는 핀 당 22.5 Mbps로 데이터를 전송함을 실험적으로 검증하였다.

Abstract

As the density of logic gates of VLSI chips has rapidly increased, more number of I/O pins has been required. This results in bigger package size and higher package cost. The package cost is higher than the cost of bare chips for high I/O count VLSI chips. As the density of logic gates increases, the reduction method of the number of I/O pins for a given complexity of logic gates is required. In this paper, we propose the novel I/O interface circuit using CTR (Constant-Transition-Rate) code to reduce 50% of the number of I/O pins. The rising and falling edges of the symbol pulse of CTR codes contain 2-bit digital data, respectively. Since each symbol of the proposed CTR codes contains 4-bit digital data, the symbol rate can be reduced by the factor of 2 compared with the conventional I/O interface circuit. Also, the simultaneous switching noise (SSN) can be reduced because the transition rate is constant and the transition point of the symbols is widely distributed. The channel encoder is implemented only logic circuits and the circuit of the channel decoder is designed using the over-sampling method. The proper operation of the designed I/O interface circuit was verified using HSPICE simulation with 0.6 μm CMOS SPICE parameters. The simulation results indicate that the data transmission rate of the proposed circuit using 0.6 μm CMOS technology is more than 200 Mbps/pin. We implemented the proposed circuit using Altera's FPGA and confirmed the operation with the data transfer rate of 22.5 Mbps/pin.

* 正會員, 漢陽大學校 電子工學科

接受日字:1998年8月10日, 수정완료일:1998년12월24일

(Dept. of Electronic Eng., Hanyang University)

I. 서 론

집적 회로 제조 기술의 급격한 발전에 따라 반도체 칩은 동작 주파수와 집적도가 증가하여 다양한 기능을 갖게 되어 더 많은 입출력 핀이 요구된다^[1]. 그러나 칩의 핀 수가 증가하면, 패키지의 크기가 증가되어 동작 속도가 저하될 뿐만 아니라 패키지 비용이 증가한다. 반도체 칩의 입출력 핀 수의 증가에 따른 패키지 크기의 증가를 억제하기 위하여 area array 형태의 입출력 단자를 갖는 칩과 패키지의 구조를 사용하고 있으나^[2], 입출력 패드(pad)의 크기 및 피치(pitch), 베어 칩(bare chip)의 크기, 패키지의 크기, 패키지에서의 입출력 핀의 피치 등과 같은 물리적인 요소에 의해 칩의 입출력 핀 수는 제한된다. 따라서 본 논문에서는 칩의 동작주파수를 감소시키지 않으면서 칩의 I/O 핀 수를 줄일 수 있는 입출력 회로를 제안하고 회로의 기능과 효과를 분석하였다.

적은 입출력 핀으로 데이터를 전송하기 위한 한가지 방법으로 병렬 데이터를 멀티플렉서(multiplexor)와 다중 위상 클락 발생기 등을 이용하여 시간을 분할하여 직렬 전송하는 방법이 연구되었다^[3]. 그런데 이 방법은 고속으로 신호를 전송하기 위해서 데이터의 유효시간이 감소하기 때문에 전송된 직렬 데이터를 복원하는데 오버샘플링(oversampling)과 같은 방법을 사용한다. 따라서 수신 회로가 매우 복잡해지며, 천이 수가 증가하기 때문에 기존 패키지를 사용하여 실장할 경우에는 동시 스위칭 잡음, 반사 잡음 등의 문제가 심각하게 되어 고속 신호 전송에 어려움이 있다.

다른 방법으로는 기존 통신 방식의 개념을 입출력 회로에 적용한 것으로 BPSK(binary phase shift keying), QPSK(quadrature phase shift keying)와 같이 2개 혹은, 4개의 데이터를 엔코딩(encoding)하여 하나의 심벌로 전송하는 방법이 가능하다. 그러나 이러한 방법은 엔코딩/디코딩하는 회로가 매우 복잡하며, 넓은 대역폭을 갖는 칩과 칩 사이의 통신에는 적용하기 어렵다. 그러나 신호를 엔코딩하는 방식은 전송 데이터 양을 효과적으로 증가 시킬 수 있으며, 신호의 주파수 분포 및 천이 특성을 변화 시킬 수 있다는 장점이 있다.

핀 당 전송량을 증가하기 위해서 위상 변조 (phase modulation) 방법을 이용한 인터페이스 방식이 제안되었다^[4]. 이 방식에서는 상승 에지를 생성하는 회로

와 하강 에지를 생성하는 회로가 별도로 존재하며, 이 회로들을 직렬 연결하여 하나의 심벌을 생성하도록 하였다. 특히, 초기화 신호를 사용하여 심벌 펄스의 최소 유지 시간(minimum duration time)을 보장하도록 하였으며, 구현된 회로가 복잡하다^[5]. 추가 1비트를 이용하여 버스에서의 출력 신호의 순간 최대 천이 수를 기존의 방식에 비해서 50% 감소시키며, 소비 전력을 감소 시키는 방식이 제안되었다^{[6][7]}. 이 방식에서는 추가된 1비트 값에 따라 출력 신호의 반전/비반전 여부를 결정하며, 추가 비트는 이전 출력 신호와 현재 출력 신호와의 50% 천이 여부를 판단하는 투표기(majority voter)에 의해서 생성된다. 그런데, 버스 폭(width of the bus)이 커지게 되면, 이 투표기의 복잡도가 증가하게 되어 I/O 인터페이스 회로의 속도를 저하시키는 요인이 된다.

본 논문에서는 병렬로 입력되는 신호를 효과적으로 직렬화하여 입출력 단자 수를 줄이고 심벌의 생성이 간단하고 신호 복원이 용이한 CTR (Constant Transition Rate) 코드를 사용하여 동시에 스위칭하는 출력 버퍼의 수를 줄임으로써 동시 스위칭 잡음을 효율적으로 줄일 수 있는 칩의 입출력 인터페이스 회로를 제안하고, 제안한 회로를 검증하기 위하여 0.6m CMOS SPICE 파라미터를 이용하여 회로 시뮬레이션을 하였으며, 이 회로를 FPGA (Field Programmable Gate Array)를 사용하여 구현하고 동작 여부를 검증하였다.

II 절에서는 제안한 CTR 코드를 이용한 엔코딩/디코딩 방식과 입출력 인터페이스 회로의 구조를 설명하고, III 절에서는 심벌을 생성하는 회로 (송신 회로)와 심벌로부터 데이터를 복원하는 회로 (수신 회로)의 설계에 대하여, IV 절에서는 제안한 회로의 시뮬레이션 (Electrical Simulation) 결과와 FPGA를 이용하여 구성한 회로의 측정 결과에 대하여 각각 기술한다.

II. 제안하는 I/O 인터페이스 회로의 구성도 및 CTR 코딩

병렬로 입력되는 데이터를 펄스 에지 위치에 엔코딩하여 입출력 단자를 감소시키는 제안한 I/O 인터페이스 회로의 블록 다이어그램을 그림 1에 나타내었다. 송신부는 심벌 생성을 위한 패턴 생성부인 T-PLL과

데이터를 엔코딩하는 채널 엔코더로 구성되며, 수신부는 샘플링 클락을 생성하는 R-PLL과 수신된 신호로부터 원래 신호로 복원하는 채널 디코더로 구성된다.

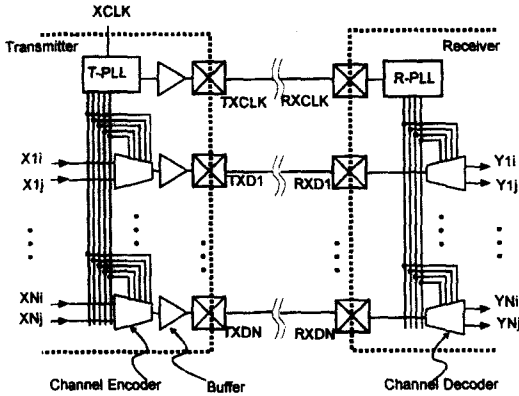


그림 1. 제안하는 I/O 인터페이스 회로의 구성도 (XCLK : T-PLL 입력 신호, T-PLL : 송신부 PLL, R-PLL : 수신부 PLL, TXCLK : 수신부의 기준 신호가 되는 T-PLL의 출력 신호, RCLK : R-PLL의 입력 단자)

Fig. 1. The block diagram of the proposed I/O interface circuits (XCLK : T-PLL input, T-PLL : PLL in a transmitter, R-PLL : PLL in a receiver, TXCLK : T-PLL output signal for receiver reference signal, RXCLK : R-PLL input).

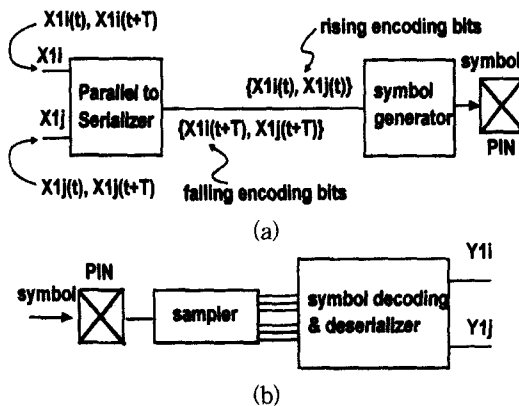


그림 2. (a) 송신 회로의 채널 엔코더, (b) 수신 회로의 채널 디코더 블록 다이어그램 (T : 심벌주기의 반, Δ : 데이터 전송 지연과 디코딩 시간)

Fig. 2. The block diagram of (a) the channel encoder of driver circuit and (b) the channel decoder of receiver circuit (T : half of symbol period, Δ : data transfer delay and decoding time).

기본 블록인 채널 엔코더는 2 비트 데이터를 엔코딩하여 하나의 신호선으로 데이터를 전송하며, 채널 디코더는 하나의 신호선으로부터 2 비트 데이터를 복원한다. 따라서, 2×N 개의 데이터를 입력 받으면 N 개의 채널 엔코더를 이용하여 N 개 신호선에 신호를 생성하며 N 개의 채널 디코더를 이용하여 2×N 개의 데이터로 복원한다. 이와 같은 방법은 출력 핀의 수를 기존의 인터페이스 방식에 비해서 절반으로 감소시킬 수 있다. 또한, 심벌 펄스의 최소 유지 시간에 대한 제약이 없으며, 심벌의 상승 에지와 하강 에지를 생성하기 위해서 동일한 회로를 사용하기 때문에 회로가 간단하다.

엔코딩 방식은 그림 2(a)에서 보는 바와 같이, 송신부의 X1i에 입력 되는 신호를 X1i(t), X1i(t+T), 그리고 X1j에 입력 되는 신호를 X1j(t), X1j(t+T)라고 하면, 그림 3에서 보는 바와 같이 병렬 입력 신호인 X1i(t), X1j(t)를 이용하여, 상승 에지 (rising edge)의 위치를 심벌의 반주기(T)내에서 결정하고, 다음 번 병렬 입력 신호 X1i(t+T)와 X1j(t+T)를 이용하여, 하강 에지 (falling edge)의 위치를 나머지 심벌의 반주기(T)내에서 결정하여 하나의 심벌을 생성한다.

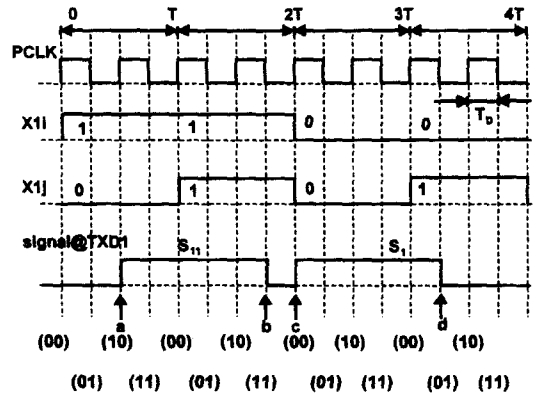


그림 3. CTR 코드로 coding한 예 (PCLK : 설명을 위한 기준 신호, T_D = 2 * T_U)

Fig. 3. The example of CTR coding (PCLK : reference signal for explanation, T_D = 2 * T_U).

수신부에서는 신호를 복원을 하기 위해서 그림 2(b)에서 보는 바와 같이, 오버샘플러(oversampler)에 의해서 샘플링된 신호를 기준 클럭 신호와 비교 판단하여 상승 에지 및 하강 에지에서 각각 엔코딩된 2 비트의 데이터를 복원한다. 예를 들면, 첫번째 병렬로 입력된 신호인 (X1i, X1j)가 (1,0)이면 구간에서 세 번째 구

간 즉, 그림 3의 a에서 상승하게 하고 다음으로 병렬로 입력된 신호 (X1i, X1j)가 (1,1)이면 심벌의 반주기 지난 후 네 번째 구간 즉, 그림 3의 b에서 하강하도록 하여 데이터를 엔코딩하여 심벌을 생성한다. 그림 3에서 보는 바와 같이 병렬 입력 신호 (10), (11)로부터 그림 4의 S₁₁ 심벌을, 그리고 (00), (01)로부터 S₁ 심벌을 생성하게 된다. 그림 4는 사용되는 모든 심벌을 나타낸 것이다.

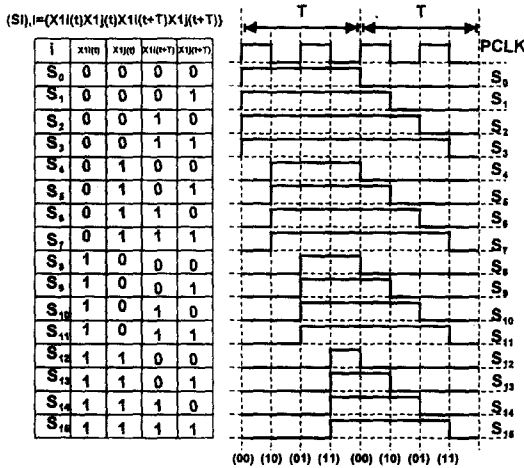


그림 4. CTR 코드의 심벌 (PCLK: 설명을 위한 기준 신호)
 Fig. 4. The symbols of CTR code (PCLK: reference signal for explanation).

이러한 코딩 방식은 천이 위치에 데이터 정보를 나타내는 방법으로 그림 3에서 보는 바와 같이 8 비트의 데이터를 전송하는데 기존의 방법으로는 최대 8 번의 천이가 발생할 수 있으나 (즉, X1i=1010₂, X1j=1010₂) 제안한 방식은 어느 입력에 대해서나 4 번의 천이가 발생한다. 또한 천이 위치가 그림 4에서 보는 바와 같이 기존의 방식에 비해서 2배로 분산되기 때문에 이웃한 출력 드라이버가 동시에 스위칭할 확률이 작아진다. 따라서 동시 스위칭 잡음이 감소된다.

엔코딩 비트 수를 증가 시키면 더 많은 데이터를 하나의 핀으로 전송할 수 있으나 송수신 회로가 더욱 복잡해지며, 타이밍 마진이 감소하기 때문에 임의로 증가시킬 수 없다.

III. 회로 설계

심벌 생성, 복원 및 컨트롤 신호를 생성하는 PLL

부와 송신 회로의 심벌을 엔코딩하는 채널 엔코더, 그리고 수신된 엔코딩 신호로부터 데이터를 복원하는 채널 디코더를 0.6 μm CMOS SPICE 파라미터를 이용하여 설계하였다. PLL의 주기적인 다중 위상 신호 (multi-phase clock signals)를 입력 되는 데이터에 따라서 선택하도록 함으로써 심벌을 생성하도록 하였고, 복원할 때에도 PLL의 다중 위상 신호를 샘플링 클락으로 사용하였기 때문에 PLL 설계가 중요하다.

표 1. 그림 6의 파형과 T-PLL/R-PLL의 출력과의 관계(T: 심벌 주기의 반)

Table 1. The relationship between the waveforms of Fig 6 and outputs of T-PLL/R-PLL.(T: the half of symbol period)

	T-PLL의 신호	R-PLL의 신호
p0	T_CP1	-
p1	TXCLK	R_CP1, RXCLK
p2	T_CP2	-
p3	-	R_CP2
p4	T_CP3	-
p5	-	R_CP3
p6	T_CP4	-
p7	T_CP4DELAY	R_CP4
p0	-	R_CP4DELAY

1. PLL

송신부와 수신부에서 사용하는 PLL (T-PLL/R-PLL)은 그림 5에 나타낸 것과 같이 8개의 차동 지연 셀 (differential delay cell)로 구성되어 설계하였다^[8].

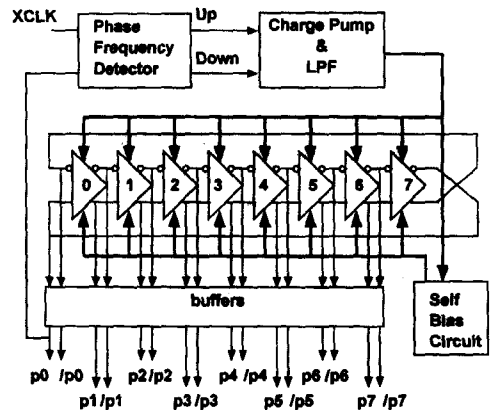


그림 5. PLL의 블록 다이어그램 (XCLK: 입력 신호)
 Fig. 5. The block diagram of PLL (XCLK: input signal).

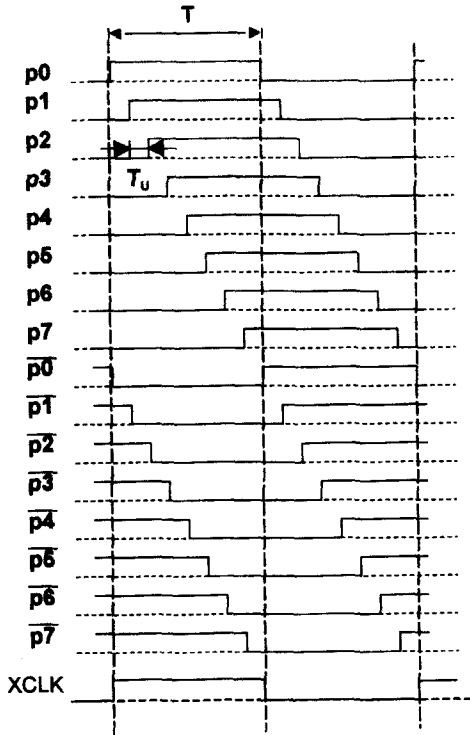


그림 6. 그림 5에 도시된 PLL의 출력 파형
Fig. 6. The output signals of PLL as shown in Fig. 5.

그림 6에 PLL의 입력 파형(XCLK)과 출력 파형을 나타내었으며, 출력 신호인 p_0 , $\overline{p_0}$ 는 위상이 180° 차이가 있음을 나타낸다. 50 MHz clock 신호를 입력 받는 경우 8 단 VCO는 16개의 출력 신호를 생성하며, 이웃한 출력 신호들은 1.25nsec 지연 시간이 발생하게 한다. 표 1은 이후에 설명하게 될 채널 엔코더와 채널 디코더에서 사용되는 PLL의 출력 신호 관계를 나타낸 것이다.

8단 VCO의 동작 주파수는 I/O 인터페이스의 전송 속도를 결정하는 회로적인 측면의 중요한 요소이다. PLL회로는 위상차가 다른 신호를 생성하는 것으로 디지털 오실레이터를 이용하여 구현이 가능하나 기준 클럭 신호를 분주 시키게 되므로 주파수가 낮아진다.

2. 채널 엔코더 (Channel Encoder)

입력 데이터를 엔코딩하여 신호를 출력하는 채널 엔코더의 회로 구성을 그림 7에 나타내었으며, 디지털 회로만으로 설계하였다. 채널 엔코더는 T-PLL이 생성한 다중 위상 신호들을 입력되는 데이터의 값에 따라서 선택한다.

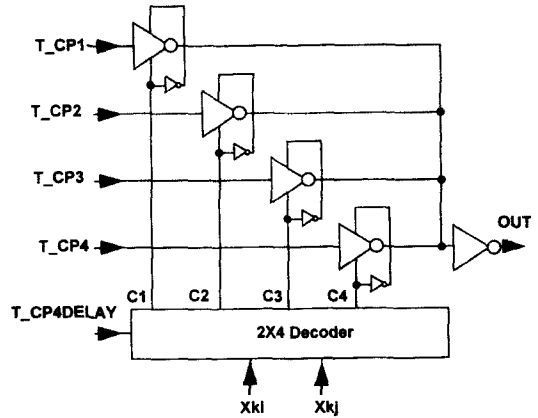


그림 7. 채널 엔코더의 구성도
Fig. 7. The schematic diagram of channel encoder.

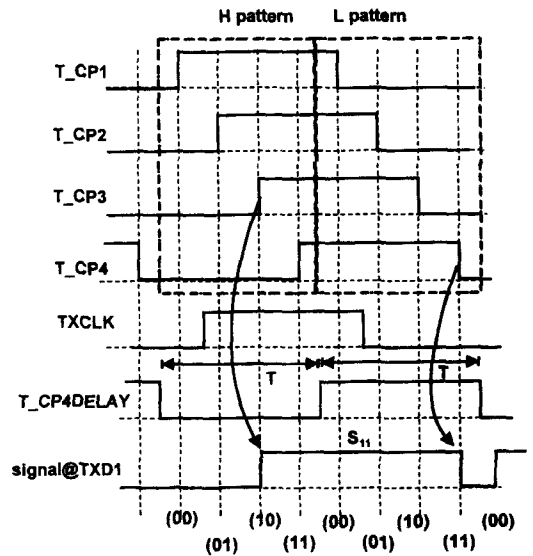


그림 8. T-PLL의 출력 파형 및 심벌의 생성 과정
Fig. 8. The output signal of T-PLL and the symbol generation procedure.

T_CP4DELAY에 동기 되는 24 decoder의 출력에 의해 T_CP4DELAY 신호가 하이(high)인 동안 심벌의 상승 부분이 생성되며, 로우(low)인 동안 심벌의 하강 부분이 생성된다. 입력 신호 X_{ki} , X_{kj} ($1 < k < N$)는 채널 엔코더에 입력되어 T-PLL로부터 생성된 신호 T_CP1, T_CP2, T_CP3, T_CP4 (즉, 그림 8의 H pattern과 L pattern) 들 중 어느 것을 선택하는가에 따라 심벌을 생성한다. 그림 8의 TXCLK는 T_CP1과 T_CP2사이의 신호 p_1 을 전송하여 수신 회로에서 디코딩할 때 최대 신호 마진이 T_u 가 되도록 하였다. 그리고, 트라이 스테이트 인버터의 동작을 제

어하기 위한 C1, C2, C3, C4신호를 출력하는 2×4 디코더의 동기 신호로 T_CP4DELAY를 사용하였다.

3. 채널 디코더 (Channel decoder)

채널 디코더는 수신된 엔코딩 신호를 오버샘플링하여 원래의 데이터로 복원하는 회로로서 그 구성을 그림 9에 나타내었다.

샘플링된 데이터를 기준으로 하여 데이터를 복원하기 때문에 단위 심벌당 샘플링 횟수에 의해서 데이터 복원 능력에 차이가 생긴다. 상승과 하강 에지를 검출하기 위해서 각각 3 번의 샘플링을 하도록 회로를 구성하여 회로의 복잡도를 감소시켜 설계의 용이함을 도모하였다.

수신 회로를 구성하는 채널 디코더는 센스 앰프 (sense amplifier)를 기본으로 하여, 수신된 심벌의 상승 에지와 하강 에지를 기준 클럭 신호 RXCLK와 비교하여 원래 신호를 복원한다. 그림 9에서와 같이 채널 디코더는 상승 에지 위치를 검출하는 부와 하강 에지 위치를 검출하는 부로 나누어 진다.

R_CP1, R_CP2, R_CP3의 상승 에지에서 샘플된 출력 신호 H1, H2, H3과 R_CP1, R_CP2, R_CP3의 하강 에지에서 샘플된 신호 L1, L2, L3을 이용하여 원래의 신호를 복원한다.

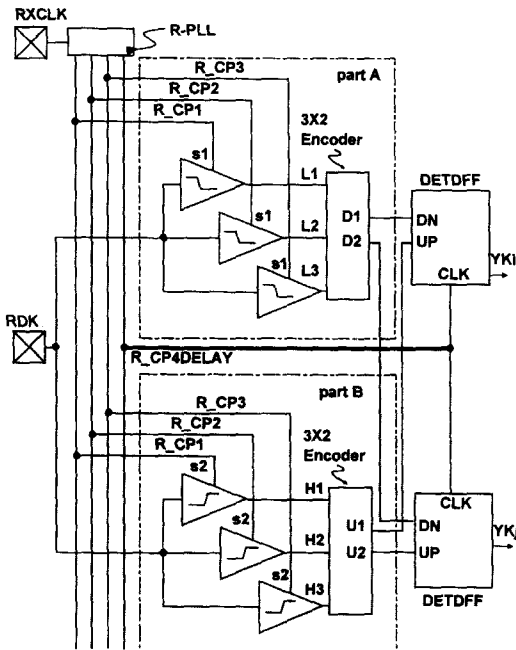


그림 9. 채널 디코더의 구성도
Fig. 9. The schematic diagram of channel decoder.

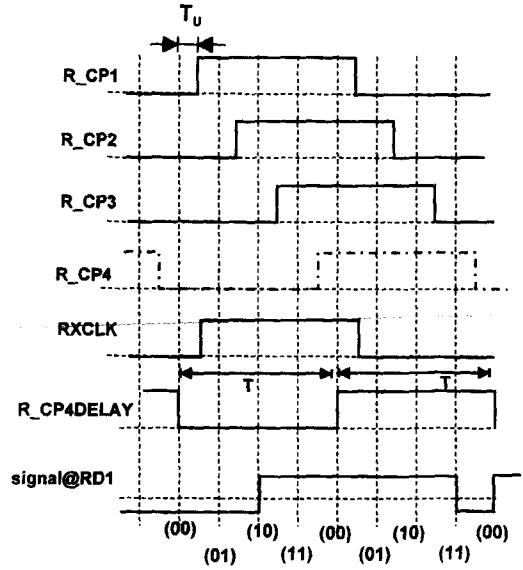


그림 10. R-PLL의 Multiphase 클럭 신호와 수신된 심벌 (Tu : 단위 시간)
Fig. 10. The multiphase clock signals of R-PLL and received symbol (Tu: unit time).

표 2. 상승 에지 및 하강 에지에서 샘플된 데이터와 복원된 데이터와의 관계(H: 논리 "1", L: 논리 "0")

Table 2. The relation between sampled data and recovered signals at rising/falling edge.(H: logic "1", L: logic "0")

상승 에지	샘플 데이터	H1	L	L	L	H
		H2	L	L	H	H
		H3	L	H	H	H
하강 에지	복원 데이터	U1	1	1	0	0
		U2	1	0	1	0
		D1	1	1	0	0
상승 에지	샘플 데이터	L1	H	H	H	L
		L2	H	H	L	L
		L3	H	L	L	L
하강 에지	복원 데이터	D1	1	1	0	0
		D2	1	0	1	0
		D2	1	0	1	0

그림 10에서와 같이 송신부로부터 수신된 심벌이 그림 4에서의 S₁₁인 경우 심벌의 반 주기 동안 상승 에지에서 샘플된 신호 H1, H2, H3 각각이 L, L, H를 나타내면 표 2와 같이 3×2 엔코더는 U1, U2의 출력단에 각각 1, 0의 데이터를 출력한다. 그리고, 나머지 반주기 동안 하강 에지에서 샘플된 신호 L1, L2, L3 각각의 값이 H, H, H이므로 표 2에서와 같이 3

×2 엔코더는 D1, D2 출력단에서 각각 1, 1의 데이터를 출력함으로써 (X1i, X1j)는 신호 (10), (11)로 복원된다.

위와 같은 디코딩 방법 때문에 R_CP4의 상승과 하강에서 데이터를 샘플링하지 않고 R_CP1, R_CP2, R_CP3의 상승/하강에서 샘플된 신호만으로도 원래 신호의 복원이 가능하다. 따라서 심벌 신호의 펄스 폭이 작은 즉, S₁₂ 심벌과 같이 고주파 성분이 많이 포함되어 있는 데이터가 왜곡되더라도 복원할 수 있다. 그림 9에서 보는 바와 같이 DETDFF(double edge triggered d flip-flop)의 동기 신호로 사용되는 R_CP4DELAY는 디코딩하기 위한 시간 마진(timing margin)을 최대로 하기 위해서 R_CP4에 비해서 T_u 만큼 느리게 한다.

IV. 시뮬레이션 및 실험

제안한 인터페이스 회로를 검증하기 위해서 0.6 μm CMOS SPICE 파라미터를 이용하여 배선을 포함한 송수신 회로를 HSPICE^[9] 시뮬레이션을 수행하였다. 또한 Altera의 FPGA를 이용하여 제안한 I/O 인터페이스를 제작하여 동작을 확인하였다.

표 3. 데이터 전송 속도에 따른 타이밍 전송 특성

Table 3. Timing characteristic vs. data transfer rate.

전송 속도 (Data Rate)	Mbit/sec/pin	200	400	800
심벌 속도 (Symbol rate)	M/sec	50	100	200
심벌 주기 (Symbol period)	nsec	20	10	5
단위 시간 (T _u)	nsec	1.25	0.625	0.316

배선은 기판 재질이 FR4-epoxy, 기판 두께는 600 μm, 그리고 배선 폭은 150 μm인, 일반적으로 사용하는 PCB 기판 위에 있다고 하였으며, I/O 인터페이스 회로가 동작할 때 신호 감쇄가 작게 하기 위해서 배선 길이를 5cm로 가정하였다. 이 구조를 Ansoft사의 Maxwell^[10]을 이용하여 배선에서의 기생 파라미터 값을 추출하였으며 이를 이용하여 특성 임피던스를 계산하였다. 배선의 기생 저항 값은 46mΩ/cm, 기생

커패시턴스 값은 0.496 pF/cm, 그리고 기생 인덕턴스의 값은 6.9 nH/cm이며, 특성 임피던스는 114.83Ω이었다. 5cm 길이 배선을 100개의 세그먼트(segment)로 나누고 각 세그먼트를 기생 파라미터인 R,L,C로 구성된 수동 소자로 모델링 하였다. 그리고 종단 저항 (termination resistor)은 100 Ω으로 하였으며, 저항의 한쪽 끝은 수신부에 연결하고 나머지 한쪽은 1.65 V전원에 연결하였다.

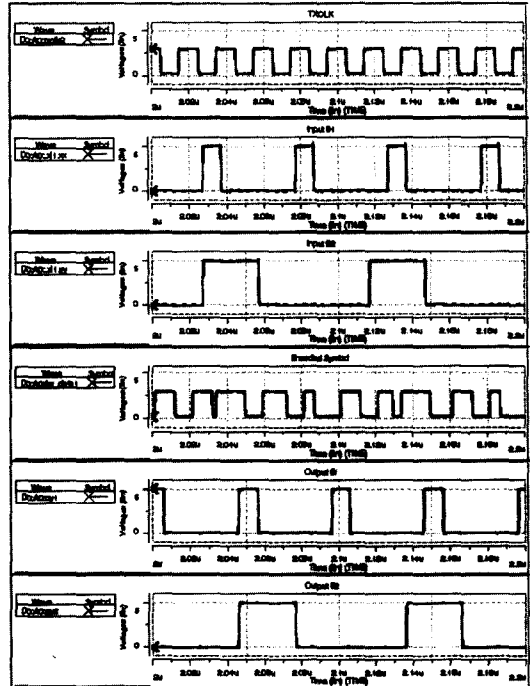


그림 11. 각 회로 부분에서의 파형. (a) 수신 회로가 받아들이는 기준 신호(TXCLK), (b) 송신 회로의 입력 신호 X1i, (c) 송신 회로의 입력 신호 X1j, (d) TXD1에서의 엔코딩 심벌의 파형, (e)수신 회로에서 복원하는 신호 Y1i, (f) 수신 회로에서 복원하는 신호 Y1j

Fig. 11. Waveform at each node of interface circuit. (a) Reference clock (TXCLK) at receiver, (b) input signal X1i at Transmitter, (c) input signal X1j at transmitter, (d) the waveform of encoded symbol at TXD1, (e) recovered signal Y1i at receiver and (f) recovered signal Y1j at receiver.

그림 11은 하나의 핀 당 200 Mbps로 데이터를 전송하는 인터페이스 회로의 각 부분 파형을 나타내고 있다. 그림 11(a) 신호는 수신 회로의 입력인 기준 신호로서 50 MHz의 주파수를 가지며, 그림 11(b), (c)

는 송신부의 입력 신호 X_{li} 와 X_{lj} 를 각각 나타내며, 주기 40 nsec에 듀티비 0.25와 주기 70 nsec에 듀티비 0.43이다. 그림 11(d)는 엔코딩된 신호를, 그림 11(e), (f)는 복원된 신호 Y_{li} 와 Y_{lj} 를 각각 나타낸 것이다. 전송 속도가 200 Mbps인 경우와 전송 속도를 더욱 증가 시키는 경우를 표 3에 전송 속도, 심벌 속도, 심벌 주기 그리고 단위 시간(T_u)을 함께 나타내었다. 표 3에서 보는 바와 같이 전송 속도가 증가함에 따라 단위 시간(T_u)이 감소하여 시간 마진이 감소한다. 따라서 고속 전송을 하기 위해서는 보드 및 칩에서의 신호 스큐(skew)를 T_u 보다 작게 하여야 되므로 신호 스큐에 의하여 전송 속도가 제한 됨을 알 수 있다.

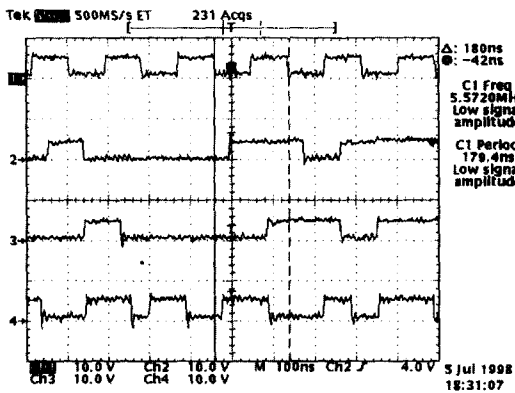


그림 12. EPM7064LC88-7를 이용한 측정 결과 (a) 엔코딩 기준 신호, (b) 입력 신호 X_{li} , (c) 입력 신호 X_{lj} , (d) 엔코딩 신호

Fig. 12. The measurement results using EPM7064LC88-7. (a) reference signal for encoding, (b) input signal X_{li} , (c) input signal X_{lj} and (d) encoded signal.

Altera의 FPGA인 EPM7064LC88-7^[11] 칩을 이용하여 디지털 오실레이터, 채널 엔코더 그리고 채널 디코더를 설계하였다. PLL 대신에 송신 회로와 수신 회로에 동일 클락을 사용함으로써 양쪽 회로의 동기를 맞추었으며, 외부 공급 클락을 분주한 디지털 오실레이터의 출력 신호를 이용하여 데이터를 엔코딩하고 디코딩하였다. 엔코더와 디코더를 5cm되는 전선을 사용하여 연결하고, 전원 전압을 5 V로 하였으며, 종단 저항(termination resistor)은 사용하지 않았다. 칩에 공급되는 클락을 45 MHz로 하였을 때, 디지털 오실레이터는 5.625 MHz의 다중 위상 신호를 출력하며, 하나의 핀이 22.5 Mbps의 속도로 데이터를 전송함을

확인할 수 있었다. 그림 12와 13은 칩에 공급하는 클락 신호를 45 MHz로 하고, 2 비트 신호를 엔코딩 및 디코딩할 때, 신호들 사이의 관계를 나타낸 것이다.

LFSR (Linear Feedback Shift Register) 기본으로 한 유사 랜덤 패턴 생성기를 설계하고, 발생기로부터 생성된 신호를 구성한 I/O 인터페이스 회로의 입력, X_{li} 과 X_{lj} 으로 사용하였다. 송신 회로는 기준 신호 (그림 12(a))의 상승/하강 에지에서 입력 X_{li} 과 X_{lj} (그림 12(b),(c))을 받아 엔코딩된 심벌 (그림 12(d))을 생성하며, 수신 회로는 엔코딩한 후 기준 신호의 반 주기 지난 후에 원래 신호 Y_{li} , Y_{lj} 로 복원됨을 측정 결과인 그림 12, 13에 나타내었다.

그림 13에서 나타낸 것과 같이, 입력 신호 X_{li} , X_{lj} 는 144nsec 지난 후에 Y_{li} , Y_{lj} (그림 13(c),(d))로 복원된다.

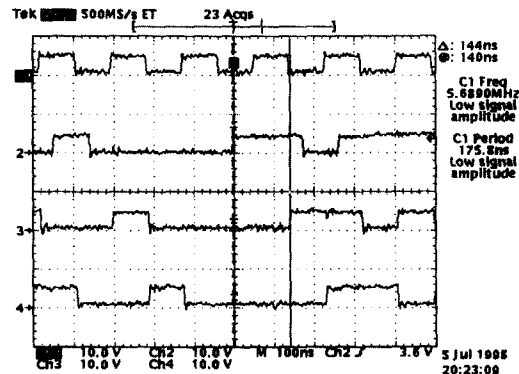


그림 13. EPM7064LC88-7이용한 측정 결과 (a) 엔코딩 기준 신호, (b) 입력 신호 X_{li} , (c) 복원된 신호 Y_{li} , (d) 복원된 신호 Y_{lj}

Fig. 13. The measurement results using EPM7064LC88-7 (a) reference signal for encoding, (b) input signal X_{li} , (c) recovered signal Y_{li} and (d) recovered signal Y_{lj} .

이 지연 시간은 심벌을 결정하기 위해서 입력 데이터를 기준 신호의 상승/하강 에지에서 샘플링할 때 까지의 시간 49 nsec와, 기준 신호(그림 13(a))의 반주기 지난 시간 90 nsec, 그리고 배선을 통과하면서 지연된 시간 5 nsec을 포함한다. 배선 길이를 22.5cm로 증가 시키면 클락 신호를 최대 42.5 MHz까지 정상 동작하며 입력 신호와 출력 신호사이의 지연 시간은 154 nsec 임을 확인 하였다. 이와 같이 동작 주파수에 차이가 발생하는 것은 Altera사 FPGA의 출력 회로의 구동 능력, 배선 구조, 배선 길이 그리고 패키지

특성 때문이다.

0.6 μ m CMOS 공정 파라미터를 이용한 시뮬레이션 결과로부터 고속 I/O 회로로 설계할 수 있는 가능성을 확인 할 수 있었으며 PLL부와 최종 버퍼부를 최적화하면 더욱 고속으로 동작시킬 수 있다. 또한 이를 바탕으로 FPGA를 이용한 I/O 인터페이스 회로를 제작하고 실험을 수행하여 PCB 배선 및 기생 파라미터에 의한 영향을 고찰할 수 있었다. 이러한 두 가지 방식으로 회로의 동작을 점검함으로써 제안한 인터페이스 회로의 유효함을 확인할 수 있었다.

V. 결 론

CTR 코드 심벌의 상승/하강 에지의 위치에 2 비트 데이터를 엔코딩하여 배선과 입출력 핀 수를 기존에 비해서 대략 50%를 줄일 수 있는 인터페이스 회로를 0.6 μ m CMOS SPICE 파라미터를 이용하여 설계 및 시뮬레이션을 하였으며, 그 결과 핀 당 200 Mbps로 전송할 수 있음을 확인 하였다. 그리고 Altera사의 FPGA 칩을 이용하여 제안한 인터페이스 회로를 구현하여 정상 동작함을 확인 하였으며, 핀 당 22.5 Mbps로 데이터를 전송하는 것을 실험적으로 검증 하였다.

제안한 인터페이스 회로의 심벌 하나는 4 비트를 포함하기 때문에 단위 시간당 전송되는 심벌의 수가 감소되고 칩이 위치가 넓게 분산되어 동시 스위칭 잡음 (Simultaneous Switching Noise, SSN)을 효과적으로 줄일 수 있고 50%의 I/O 수를 줄일 수 있어 고집적회로의 I/O 인터페이스 회로에 적용한다면 패키지의 가격과 크기를 줄일 수 있을 것이다.

참 고 문 헌

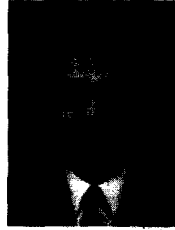
- [1] Semiconductor Industries Association, *The National Technology Roadmap for Semiconductors*, 1997.
- [2] John H. Lau, *Ball Grid Array Technology*, McGraw-Hill Inc., New York, pp. 131-169, 1995.
- [3] Kyeongho Lee *et al.*, "High Speed Low EMI Digital Video Interface with Cable Deskewing and Transition Minimization", *Symposium on VLSI Circuits Digest of Technical Papers*, pp. 33-34, 1997.
- [4] Kazutaka Nogami *et al.*, "A CMOS 160Mb/s Phase Modulation I/O Interface Circuit", *ISSCC Digest of Technical Papers*, pp. 108-109, Feb. 1994.
- [5] Mircea R. Stan *et al.*, "Low-Power Encoding for Global Communication in CMOS VLSI", *IEEE Trans. VLSI syst.*, vol. 5, no. 4, pp. 444-455, Dec. 1997.
- [6] Mircea R. Stan *et al.*, "Bus-Invert Coding for Low-Power I/O", *IEEE Trans. VLSI syst.*, vol. 3, no.1 pp. 39-48, Mar. 1995.
- [7] Kazuyuki Nakamura *et al.*, "A 50% Noise Reduction Interface Using Low-Weight Coding", *Symposium on VLSI Circuits Digest of Technical Papers*, pp.144-145, 1996.
- [8] Ian A. Young *et al.*, "A 0.35 m CMOS 3-880MHz PLL N/2 Clock Multiplier and Distribution Network with Low Jitter for Microprocessors", *ISSCC Digest of Technical Papers*, pp. 330-331, Feb. 1997.
- [9] Meta-Software, *HSPICE User's Manual*, 1996.
- [10] Ansoft Corp., *Maxwell 2D Parameter Extractor User's Reference*, 1994.
- [11] Altera, *Data Book*, 1996.

저 자 소 개



金俊倍(正會員)

1969년생. 1993년 2월 한양대학교 전자공학과 학사. 1995년 2월 한양대학교 전자공학과 석사. 현재 한양대학교 대학원 전자공학과 박사 과정 재학 중. 주관심 분야는 고속 I/O 회로 설계 등임



權五敬(正會員)

1955년생. 1978년 2월 한양대학교 전자공학과 학사. 1986년 스탠퍼드대학교대학원 전자공학과 석사. 1988년 스탠퍼드대학교대학원 전자공학과 박사. 1980년 ~ 1983년 금성 전기(주) 기술 연구소 연구원. 1987년 ~ 1992년 Texas Instrument, Semiconductor Process & Design Center, 책임연구원. 1992년 ~ 현재 한양대학교 전자전기공학부 교수. 주관심분야는 Smart Power Integrated Circuits 설계 및 제조 공정 분야, 전자패키징 및 Interconnection 설계, 제조 공정 및 테스트 분야, Flat Panel Display 기술 및 설계 분야 등임