

論文99-36S-12-9

동영상용 웨이브렛 변환 필터의 ASIC 설계

(ASIC Design of Wavelet Transform Filter for Moving Picture)

姜奉勳*, 李鎬俊**, 高亨和***

(Bong-hoon Kang, Ho-joon Lee and Hyung-Hwa Koh)

요 약

본 논문에서는 뛰어난 에너지 압축성능에 의해 영상압축을 포함한 여러 응용분야에서 널리 사용되고 있는 웨이브렛 변환 필터를 ASIC(Application Specific Intergrated Circuit) 설계하였으며, 동작 특성 및 성능은 Verilog-HDL(Hardware Discription Language)를 통해 구현 및 분석하였다.

본 논문에서 설계한 웨이브렛 변환 필터는 데이터의 처리 속도를 향상시키기 위해 라인메모리(line memory)를 사용하였다. 이는 일반적으로 fast-page mode로 DRAM 데이터를 읽고 쓸 때에 수평방향으로는 데이터의 입출력이 빠르게 행해지는 반면 수직방향으로는 수평방향에 비해 현저하게 입출력 속도가 떨어지게 되는 단점을 개선하기 위해서이다. 그 결과 칩의 크기가 커지는 반면 1 프레임 처리속도가 4.66ms로 TV 동영상 데이터 1 프레임 처리속도의 한계인 33ms를 충분히 만족하여 실시간 처리가 가능함을 알 수 있었다.

Abstract

In this paper, we present an ASIC(Application Specific Integrated Circuit) design of wavelet transform filter. Wavelet transform is used in lots of application fields which include image compression, because it has an excellent energy compaction. The operation characteristic and performance of wavelet transform filter are analyzed by using verilog-HDL(Hardware Description Language).

In this paper, the designed wavelet transform filter uses line memory to improve data processing rate. Generally, when it reads and writes data of DRAM by using Fast Page Mode, input and output processing is very fast in horizontal direction but substantially slow in vertical direction. The use of line memory solves this low speed processing problem. As a result, though the size of the chip is getting larger, processing time for an image frame becomes 4.66ms. Generally, since the limit of 1 frame processing time on the data of TV video is 33ms, so it is appropriate for TV video.

* 準會員, 디지털픽스

(dgPIX Co., Ltd.)

** 正會員, 翰林情報産業大學 電子通信科

(Dept. of Electronics Communication, Hallym College of Information and Industry)

*** 正會員, 光云大學校 電子工學部

(School of Electronics Engineering, Kwangwoon Univ.)

接受日字:1999年10月18日, 수정완료일:1999年11月15日

I. 서론

급속히 발전하는 정보 통신 기술과 이에 수반되는 막대한 양의 정보량에 비해 상대적으로 제한된 통신채널 환경은 정보의 압축을 필수 불가결하게 만들었다. 따라서 통신망과 저장매체의 효율적 운용을 위해 영상 압축 기술에 관한 연구가 필수적이라 할 수 있다.^[1,2,3] 효과적인 영상 압축 방법의 하나인 웨이브렛 변환은

영상과 영상 처리 분야에서 널리 사용되어 온 서브밴드 코딩과 다해상도 분해(multiresolution analysis)라는 측면에서 많은 유사성을 가지고 있다. Daubechies^[4]는 정규직교 기저(orthonormal bases)를 이루는 유한 차수의 웨이브렛을 설계하였으나 비대칭 구조로 인한 비선형 위상특성을 나타내었다. Antonini^[5]는 변환 기저와 역변환 기저가 다르면서도 쌍직교(biorthogonal)하고 대칭 구조를 가짐으로써 선형의 위상특성을 갖는 웨이브렛을 설계하였다. 웨이브렛 변환은 뛰어난 에너지 압축 성능과 기존의 DCT를 이용한 영상 압축 방법의 커다란 단점의 하나인 블록화 현상(blocking effect) 및 입상잡음이 발생하지 않으므로 저속의 비트레이트에서 뛰어난 품질의 영상을 제공한다. 따라서 90년대 중반부터 2차원 영상 웨이브렛 변환 필터의 VLSI 구현에 대한 논문이 활발하게 발표되고 있다.

II. 웨이브렛 변환 이론 및 하드웨어 설계

1. 웨이브렛 이론

일반적으로 신호변환이라 함은 신호가 가지고 있는 특징 정보를 추출하여 신호분석(signal analysis)을 용이하게 하는데 목적이 있다. 여기에는 다양한 신호변환 방법들이 있는데 그 중 널리 사용되고 있는 변환의 방법 중 하나가 푸리에 변환(Fourier transform)이다. 하지만 전제조건으로 입력 신호의 특성이 시간 축에서 변하지 않는 정상 신호라는 제약이 있기 때문에 비정상 신호의 분석에는 적합하지 않다. 이런 단점이 없기 때문에 웨이브렛 변환은 정상 신호뿐만 아니라 비정상 신호의 분석도 가능하다.

웨이브렛 변환의 기본 개념은 임의의 신호 $f(t)$ 를 시간-주파수적으로 지역성을 갖는 웨이브렛 기저함수들의 중첩(superposition)된 형태로 표현하는 것으로 식(1)에 임의의 신호 $f(t)$ 에 대한 이산 웨이브렛 변환(Discrete Wavelet Transform)의 기본식을 나타내었다.

$$f(t) = \sum_{j,k} a_{j,k} \Psi_{j,k}(t) \tag{1}$$

여기서 $a_{j,k}$ 는 웨이브렛 변환 계수를 나타내고 $\Psi_{j,k}(t)$ 는 웨이브렛(또는 웨이브렛 기저함수)을 나타낸다.

$$a_{j,k} = \langle f(t), \Psi_{j,k}(t) \rangle = \int f(t) \Psi_{j,k}(t) dt \tag{2}$$

$$\Psi_{j,k}(t) = 2^{j/2} \Psi(2^j t - k) \tag{3}$$

식(3)에서 나타낸 것과 같이 웨이브렛 기저함수들은 모 웨이브렛(mother wavelet) Ψ 를 신축/팽창(contraction/dilation) 그리고 이동(translation)함으로 얻어지는 일련의 집합이다.

2. 다해상도 웨이브렛 변환 시스템

이산 웨이브렛 변환을 이용한 다해상도 분석에서는 두 개의 기본 함수가 존재하는데 이는 모 웨이브렛 Ψ 와 모 scale 함수 ϕ 이며 이를 식(4)에 나타내었다.

$$\begin{aligned} f(t) &= \sum_k c_j(k) \phi_{j,k}(t) + \sum_k d_j(k) \Psi_{j,k}(t) \\ &= \sum_k c_j(k) 2^{j/2} \phi(2^j t - k) \\ &\quad + \sum_k d_j(k) 2^{j/2} \Psi(2^j t - k) \end{aligned} \tag{4}$$

$c_j(k), d_j(k)$ 는 각각 scaling coefficient와 wavelet coefficient를 나타내며 식으로 나타내면 다음과 같다.

$$c_j(k) = \sum_m h(m - 2k) c_{j-1}(m) \tag{5}$$

$$d_j(k) = \sum_m g(m - 2k) d_{j-1}(m) \tag{6}$$

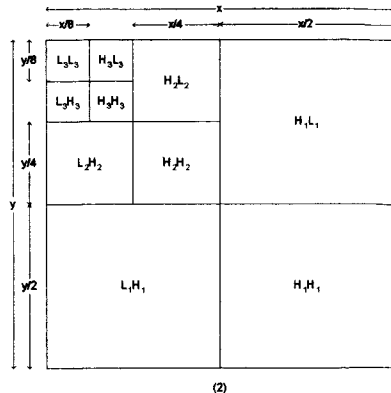
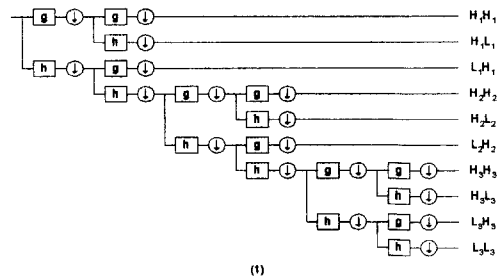


그림 1. 2차원 영상에 대한 웨이브렛 변환 필터 뱅크
Fig. 1. Wavelet transform filter bank for 2 dimensional image.

scaling coefficient $c_i(k)$ 안에 있는 h 는 저역 통과 필터(LPF : Low Pass Filter)를 나타내고 wavelet coefficient $d_i(k)$ 안에 있는 g 는 고역 통과 필터(HPF : High Pass Filter)를 나타내며 다해상도 분석은 이 저역 통과 필터와 고역 통과 필터를 번갈아 수행함으로써 이루어진다. 이는 separable 필터를 직렬로 연결하여 필터링하는 방법으로 Mallat^[6]에 의해 제안되었다. 웨이브렛 변환은 원영상을 다해상도로 분해하여 여러 부밴드들로 나타내어도 원영상의 크기를 그대로 유지하는데 이는 분해(analysis)와 합성(synthesis)과정에서 각각 downsampling과 upsampling이 사용되기에 가능하다. 그림 1에 2차원 영상에 대한 다해상도 분해 과정 및 분할된 영상을 나타내었다.

3. 기존의 하드웨어 설계

웨이브렛 변환 필터의 하드웨어 설계에 있어서 라인 메모리를 사용한 기존의 논문으로는 Chu Yu와 Sao-Jie Chen^[7]이 제안한 방법이 있다. 전체적으로 라인 메모리를 12개를 사용하기 때문에 칩 면적이 너무 커지는 단점이 있다. 출력 데이터의 precision값도 12bit로 제한하였기 때문에 PSNR에 있어서 많은 감소가 예상된다. A.Grzyszczak, M.K.Mandal, S.Panchanathan^[8]이 제안한 방법은 같은 클럭 사이클에서 저역 통과 필터링과 고역 통과 필터링을 동시에 행하는 방법이다. 필터 계수는 Daubechies-6을 사용하여 6탭 필터로 설계되었다.

III. 제안한 웨이브렛 변환 필터의 ASIC 설계

1. 제안한 웨이브렛 변환 필터링 알고리즘

제안한 웨이브렛 변환 필터링 알고리즘은 크게 4단계를 거쳐서 이루어진다. 1단계는 입력되는 영상 데이터를 수평방향으로 저역 또는 고역 통과 필터링하는 것이다. 2단계는 이 필터링 된 값을 라인 메모리에 저장하는 것이고 3단계는 라인 메모리에 저장된 값을 읽어서 수직방향으로 동시에 저역 및 고역 통과 필터링을 수행하는 것이며 4단계가 이 필터링 된 값을 DRAM에 저장하는 것이다. 이 네 가지 단계를 거치면 입력 영상은 1/2로 크기가 줄어든다. 즉 4개의 분할 영상 LL, LH, HL, HH 중 LL, LH 또는 HH, HL이 되는 것이고 나머지 분할 영상도 이러한 과정을 거쳐서 이

루어지게 된다. 입력된 영상이 이 4개의 분할 영상으로 나누는 것을 옥타브(octave)라 하며 두 번째 옥타브는 LL영상을 입력으로 받아서 위와 같은 방법을 거쳐서 이루어지고 첫 번째 옥타브로 분할된 영상들을 L_1L_1 , L_1H_1 , H_1L_1 , H_1H_1 이라 한다면 두 번째는 L_2L_2 , L_2H_2 , H_2L_2 , H_2H_2 와 같은 식으로 표기한다.

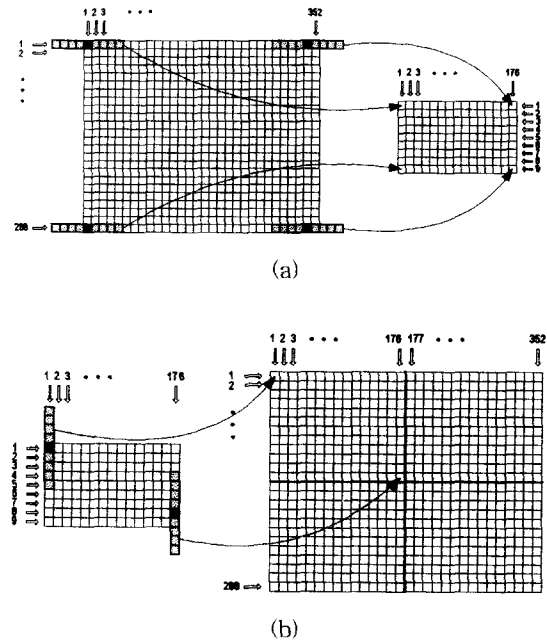


그림 2. 웨이브렛 변환 필터링 과정
Fig. 2. Wavelet transform filtering procedure.

352×288 크기의 영상이 입력되어 176×144 크기의 분할 영상 L_1L_1 이 되는 과정은 다음과 같으며 이를 그림 2에 나타내었다. 먼저 수평방향 저역 통과 필터링이 행해지는데 5개의 입력 데이터가 들어왔을 때부터 필터링이 시작된다. 이후 한 픽셀(pixel)씩 건너뛰는 형식으로 다운샘플링을 행하면서 오른쪽으로 필터링을 행하게 되며 첫 번째 행의 필터링이 끝나치면 다음 행의 필터링을 수행한다. 하나의 행에서 필터링 된 값들은 다운샘플링에 의해 176개가 나오게 되고 이것들은 176×9 크기의 라인 메모리 한 라인에 저장된다. 이런 식으로 필터링이 진행되어 5번째 라인 메모리까지 데이터가 저장되면 수직방향 저역 통과 필터링과 수직방향 고역통과필터링이 동시에 행해진다. 수직방향 저역 통과 필터링은 필터링 방향이 좌에서 우가 아닌 상에서 하이다. 즉 5번째 라인부터 한 라인씩 건너뛰면서 아래쪽으로 필터링을 행하게 된다. 즉 수평방향 저역

통과 필터링이 2행 수행된 다음 수직방향 저역 통과 필터링이 한 행 수행되는 형식이 계속해서 반복된다. 수직방향 저역 통과 필터링 된 데이터들은 DRAM의 4 분면 중에서 L_1L_1 분할 영상 영역에 저장이 됨으로써 L_1L_1 분할 영상이 만들어지게 된다. 나머지 L_1H_1 , H_1L_1 , H_1H_1 도 같은 방식으로 계산되며 계속해서 두 번째 옥타브를 행할시에는 L_1L_1 분할 영상이 딜레이 모듈로 입력되어 다시 4개의 분할 영상 L_2L_2 , L_2H_2 , H_2L_2 , H_2H_2 로 나뉘어지고 세 번째, 네 번째 옥타브도 계속 같은 식으로 LL평면을 4등분하게 된다.

2. 제안한 웨이브렛 변환 필터의 구현

1) 데이터 precision

본 논문에서 사용한 precision 값들은 모두 sign 비트를 포함하도록 설계하였다. 입력 영상은 표준영상인 miss America와 자체 제작한 샘플 영상을 사용하였다. 입력 영상의 데이터는 8 비트, DRAM으로부터의 데이터는 16 비트이다. 웨이브렛 계수는 쌍직교(biorthogonal) 웨이브렛 계수를 사용하였고 8 비트로 precision하였다. 승산기 출력값은 24 비트로, 필터 출력값은 16 비트로 precision하였다.

표 3. 웨이브렛 계수 precision
Table 3. Precision of wavelet coefficient.

wavelet coefficient precision		
no precision → PSNR 40.400280		
precision bit		PSNR
1	(2)	10.345852
2	(4)	33.424232
3	(8)	34.121796
4	(16)	35.608353
5	(32)	37.012844
6	(64)	38.787952
7	(128)	40.098598
8	(256)	40.150768
9	(512)	40.246456
10	(1024)	40.360008
11	(2048)	40.368221

표 3은 웨이브렛 계수의 precision 비트를 각각 1 비트부터 11 비트까지 변화시킨 값을 기록하였고 표 4는 표 3에서 선택된 웨이브렛 계수값을 고정시킨 상태에서 승산기의 소수점이하 출력값을 1 비트부터 11 비트까지 변화시킨 값을 기록하였다. precision 값을 크게 할수록 2진수로 표시되는 데이터는 원래 실수값과의 오차가 적어지지만 승산기나 가산기의 크기가 너무 커

지기 때문에 이 둘간의 trade-off를 고려하여 웨이브렛 계수값으로 7 비트를 선택하였다. 그 경우의 승산기의 소수점이하 출력값을 표 4에서 6비트로 선택하였다. 결국 웨이브렛 계수값은 부호 비트를 포함하여 8 비트로 precision하였다.

표 4. 승산기의 소수점이하 출력값 precision
Table 4. Precision of under point output of multiplier.

multiplier under point output precision		
no precision → PSNR 40.400280		
precision bit		PSNR
1	(2)	33.923504
2	(4)	36.665619
3	(8)	38.500492
4	(16)	39.430695
5	(32)	39.787857
6	(64)	39.953007
7	(128)	40.031120
8	(256)	40.064274
9	(512)	40.080917
10	(1024)	40.092857
11	(2048)	40.094936

2) 제안한 웨이브렛 변환 필터의 구현

그림 3은 제안한 웨이브렛 변환 필터의 전체적인 구조를 나타내고 있다. 구현 순서는 딜레이 모듈, 필터 모듈, 라인 메모리 모듈, 콘트롤 모듈의 순이며 라인 메모리 모듈은 DRAM⁽⁹⁾의 단점인 수직방향 데이터 처리속도를 향상시키기 위해 사용되었다. 이는 fast-page mode로 DRAM 데이터를 읽고 쓸 때에 수평방향으로는 데이터의 입출력이 빠르게 행해지는 반면 수직방향으로는 DRAM 특성상 수평방향에 비해 현저하게 입출력 속도가 떨어지게 되는 단점이 있기 때문에 속도가 빠른 SRAM을 사용하여 속도향상을 이루는 것이다.

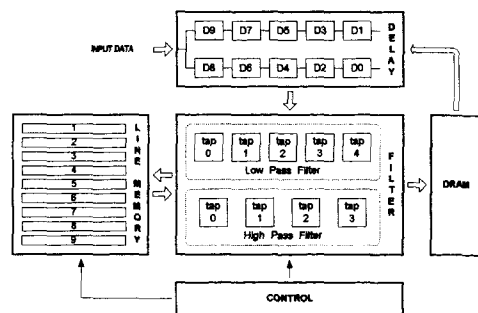


그림 3. 제안한 웨이브렛 변환 필터의 구조
Fig. 3. Proposed wavelet transform filter architecture.

클럭(clock)은 DRAM의 fast-page mode에 맞추어 30 ns 마다 발생하도록 설계하였으며 필터에 사용된 승산기는 modified Booth 승산기를 사용하였다¹⁰⁾. 수평 방향 저역 통과 필터와 수평방향 고역 통과 필터는 딜레이 모듈을 공유하여 사용하고 콘트롤 모듈에서 라인 메모리 모듈과 필터 모듈을 제어하도록 설계하였다.

(1) 딜레이 모듈의 구현

그림 4의 딜레이 모듈은 모두 10개의 딜레이 소자 단으로 구성된다.

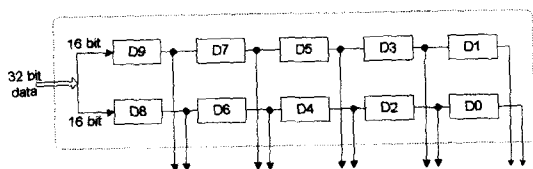


그림 4. 딜레이 모듈
Fig. 4. Delay module.

DRAM으로부터 입력을 받아 수평방향 저역 통과 필터 또는 수평방향 고역통과필터로 출력을 내보내게 되며 임출력을 2 포트로 하여 DRAM 입력 32 비트를 16 비트 씩 둘로 나누어 전달하도록 설계하였다. 즉 제안한 웨이브렛 변환 필터의 DRAM으로부터의 데이터 입출력은 클럭 당 32 비트이고 내부에서의 데이터 흐름은 16 비트이다. 즉 상위 16bit(data[31:16])은 D9로 입력되어 클럭에 맞추어서 D7, D5, D3, D1으로 전달되고 하위 16bit(data[15:0])은 D8로 입력되어 D6, D4, D2, D0로 전달된다. 즉 첫 번째 클럭에서 D9와 D8은 다음과 같다.

$$D9[15:0] = DRAMDATA[31:16]$$

$$D8[15:0] = DRAMDATA[15:0]$$

(2) 필터 모듈의 구현

필터 모듈은 크게 저역 통과 필터와 고역 통과 필터로 나뉘고 이 필터들은 각각 수평방향 저역 통과 필터와 수평방향 고역 통과 필터, 수직방향 저역 통과 필터와 수직 방향 고역 통과 필터로 세분된다. 수평방향 저역 통과 필터는 딜레이 모듈로부터 데이터를 입력받아 수평방향으로 필터링을 행한 후 그 값을 라인 메모리 모듈로 출력시킨다. 수평방향 저역 통과 필터의 내부구조는 5개의 필터탭으로 구성되며 각각의 필터탭 안에는 멀티플렉서, 가산기, 승산기가 들어간다. 승산기는 modified booth 승산기를 사용하였다. 제안한 웨이브렛 변환 필터는 쌍직교(biorthogonal) 웨이브렛 계수를 사

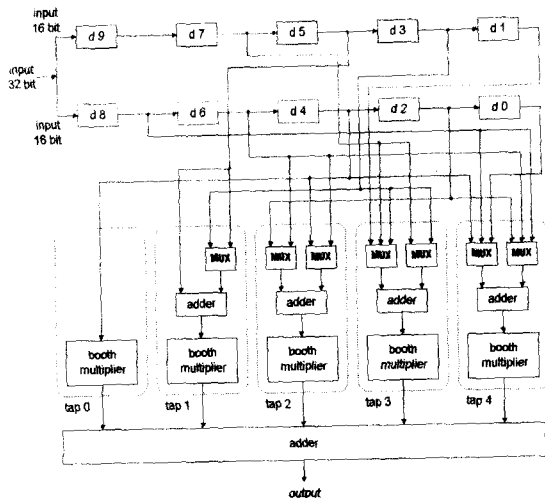


그림 5. 수평방향 저역통과필터
Fig. 5. Horizontal LPF(Low Pass Filter).

용하기 때문에 5개의 탭이 실제로는 9탭의 필터로 동작하게 된다. 즉 d0에서 d8까지의 9개의 데이터가 동시에 필터로 입력되어 계산이 이루어진다. 딜레이 모듈과 연결된 수평방향 저역 통과 필터의 구조를 그림 5에 나타내었다. 필터로 입력되는 딜레이 모듈값을 각각 d0 - d8이라 하고 필터계수를 h0 - h4라고 하면 출력값은 다음과 같은 5가지 경우이다.

- (1) $Out = (h0 \times d1) + (h1 \times (d3 + d5)) + (h2 \times (h2 + h6)) + (h3 \times (h1 + h7)) + (h4 \times (h0 + h8))$
- (2) $Out = (h0 \times d4) + (h1 \times (d5 + d5)) + (h2 \times (h6 + h6)) + (h3 \times (h7 + h7)) + (h4 \times (h8 + h8))$
- (3) $Out = (h0 \times d4) + (h1 \times (d3 + d5)) + (h2 \times (h2 + h6)) + (h3 \times (h3 + h7)) + (h4 \times (h5 + h8))$
- (4) $Out = (h0 \times d4) + (h1 \times (d3 + d5)) + (h2 \times (h2 + h6)) + (h3 \times (h1 + h7)) + (h4 \times (h0 + h6))$
- (5) $Out = (h0 \times d4) + (h1 \times (d3 + d5)) + (h2 \times (h2 + h4)) + (h3 \times (h1 + h3)) + (h4 \times (h0 + h2))$

(1)은 영상의 모서리가 아닌 부분에서의 출력, (2),(3)은 영상의 왼쪽 모서리인 경우의 출력, (4),(5)는 영상의 오른쪽 모서리인 경우의 출력을 각각 나타낸다.

필터의 설계시 중요한 것 중 하나는 실제 칩면적에서 많은 부분을 차지하는 승산기의 크기를 최대한 작게 하는 것이다. 이에 본 논문에서는 modified Booth 승산기를 사용하여 계산량을 줄임으로써 결국 필터탭

내의 가산기와 승산기의 크기를 줄일 수 있었다. Booth 승산기는 Booth table이란 스케닝 데이터 테이블을 만들어 두어서 곱셈 연산시에 어느 한 데이터를 스케닝 한 후 Booth table에서 일치하는 데이터값을 찾아 계산하는 식으로 연산이 이루어진다.

제안한 웨이브렛 변환 필터에 사용된 modified Booth 승산기는 곱해지는 두 데이터 중에서 한 데이터(웨이브렛 계수)가 고정되어 있는 특성을 이용해 위에서 설명한 일반적인 modified Booth 승산기보다 크기를 1/5 이하로 줄일 수 있었다. 한 예로 tap0에 사용된 modified Booth 승산기를 그림 6에 나타내었다.

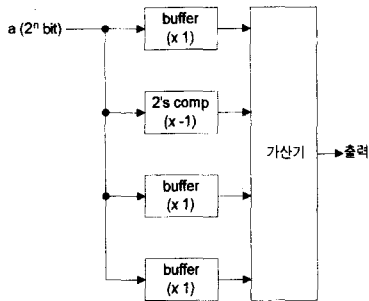


그림 6. 제안한 modified Booth 승산기
Fig. 6. Proposed modified Booth multiplier.

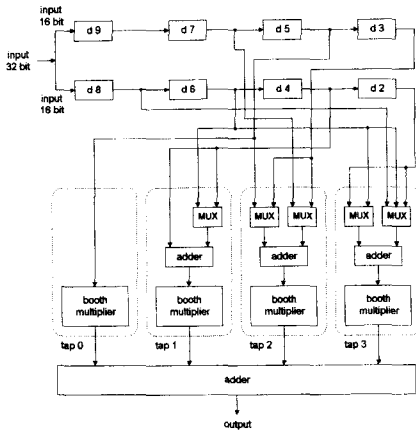


그림 7. 수평방향 고역통과필터
Fig. 7. Horizontal HPF(High Pass Filter).

수평방향 고역통과필터도 수평방향 저역 통과 필터와 비교시 딜레이 모듈로부터의 입력의 수가 9개가 아닌 7개여서 필터탭 수에서 하나의 차이를 가질 뿐 같은 구조와 동작을 가짐을 알 수 있다. 수직방향 저역 통과 필터와 수직방향 고역 통과 필터는 입력이 딜레이

이 모듈이 아니라 라인 메모리 모듈이라는 점이 다른 수평방향필터와 같은 구조를 가지고 동작에 있어서도 필터링의 방향이 좌우가 아니라 상하라는 점이 다른점이다. 그림 7은 본 논문에서 구현한 수평방향 고역통과필터이다.

(3) 라인 메모리 모듈의 구현

라인 메모리 모듈은 9개의 라인 메모리로 구성된다. 수평방향 저역 통과 필터 또는 수평방향 고역통과필터 출력력을 입력으로 받아들이고 수직방향 저역 통과 필터 또는 수직방향 고역통과필터로 데이터를 출력시킨다. 라인 메모리는 삼성사의 0.5μm STD85/STDM85 library에 있는 단일포트 비동기 RAM을 사용하였다^[11].

(4) 콘트롤 모듈의 구현

콘트롤 모듈은 전체 시스템의 동작 타이밍을 제어하는 기능을 한다. 클럭 타이밍, 데이터 입출력, 수평방향 저역 통과 필터와 수평방향 고역 통과 필터의 동작, 수직방향 저역통과필터와 수직방향 고역통과필터의 동작, 라인 메모리의 입출력 등을 시간적으로 문제가 없도록 조절한다. 콘트롤 모듈에 의한 데이터 플로우는 그림 8과 같다.

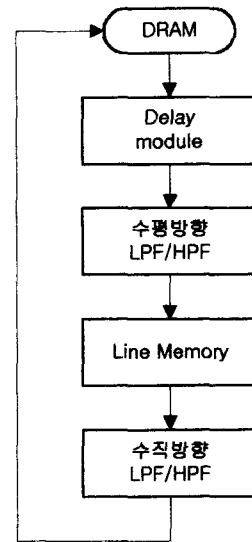


그림 8. 데이터 플로우
Fig. 8. Data flow.

수평방향 필터링은 딜레이 모듈에 데이터가 5개가 입력되었을 때부터 시작되며 필터링 된 데이터는 라인 메모리로 입력된다. 수평방향 필터링이 ((176×4)+1)번 수행된 후 첫 번째 수직방향 필터링이 시작되고 수평

방향 필터링이 ((176×4)+176)번 수행될때까지 계속해서 수직방향 필터링이 수행된다. 이후 한 행 건너뛰면서 계속해서 위와같은 동작을 반복하여 수행하게된다.

IV. 설계 및 검증

시스템의 설계 방식은 Verilog-HDL을 이용한 bottom-up 방식을 사용하여 하위 모듈부터 상위 모듈의 순서로 설계하였다. 설계 및 검증과정은 다음과 같으며 이를 그림 9에 나타내었다.

1) 웨이브렛 변환 필터 하위 모듈 설계 : Verilog-HDL을 이용하여 웨이브렛 변환 필터에 사용되는 각종 하위 모듈들을 설계하는 단계이다.

2) 테스트 모듈 설계 : 설계된 각 하위 모듈들을 RTL 레벨에서 시뮬레이션하여 출력값 검증을 위한 stimulus 모듈을 설계한다.

3) Verilog-HDL RTL 시뮬레이션 : Verilog-XL 로직 시뮬레이터로 검증을 하는 단계이다. 설계한 테스트 모듈에 랜덤한 데이터값을 입력하여 Verilog-XL 로직 시뮬레이션을 행한 후 결과값의 참/거짓을 판단한다.

4) 블록의 합성에 의한 웨이브렛 변환 필터 상위 모듈 설계 : 설계된 각 하위 모듈들을 합성하여 하나의 커다란 모듈로 구성하는 단계이다.

5) 테스트 모듈 설계 : 합성에 의해 생성된 최상위 모듈인 웨이브렛 변환 필터 모듈의 출력값 검증을 위해 테스트 모듈을 설계하는 단계이다.

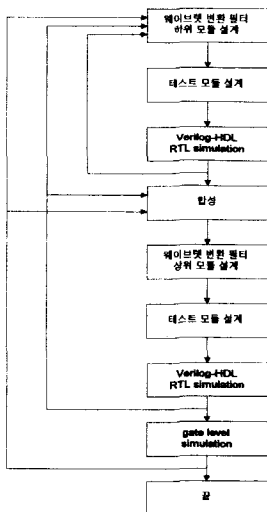


그림 9. 설계 및 검증 과정
Fig. 9. Design and verification process.

6) Verilog-HDL RTL 시뮬레이션 : 설계된 상위 모듈과 테스트 모듈을 바탕으로 출력값 검증을 위한 시뮬레이션 단계이다. 표준 영상인 miss America 영상 1 frame을 입력한 후 출력값을 검토하였다.

7) 게이트 레벨 시뮬레이션 : Synopsis사의 Design Analyzer를 사용하여 게이트 레벨에서 설계한 회로를 시뮬레이션하는 단계이다. 설계된 로직의 크기를 최소화하거나 또는 속도를 제약하는 최적화가 수행된다. 본 논문에서는 라인 메모리의 사용으로 속도향상을 이루었으나 상대적인 칩크기의 증가를 가져왔으므로 최적화 단계에서는 칩크기의 최소화를 옵션으로 선택하여 게이트 레벨 시뮬레이션을 행하였다.

V. 결과 및 검토

본 논문에서 사용한 라인 메모리는 삼성사의 STD/STDM85 0.5μm High Density CMOS Standard Cell Library를 사용하였다. HDL은 Verilog-HDL을 사용하였으며 synthesis tool은 Synopsis사의 Design Analyser를 사용하였다. 설계한 웨이브렛 변환 필터의 RTL 레벨 시뮬레이션 결과값을 표 6에 나타내었고 구현한 시스템에서 사용된 게이트 수 및 게이트 레벨 시뮬레이션 결과값들을 표 7에 나타내었으며 설계한 웨이브렛 변환 필터와 기존의 논문과의 성능비교를 표 8에 나타내었다. TV 동영상의 실시간 처리를 목적으로 할 때, 초당 30 프레임의 데이터가 입력되므로 1 프레임 처리시간을 기준으로 하면 33ms의 시간을 넘어서는 실시간 처리가 불가능하다. 즉, 이 범위를 넘지 않으면 실시간 처리가 가능함을 알 수 있다. 본 논문에서 구현한 웨이브렛 변환 필터의 Verilog-HDL에 의한 시뮬레이션 결과 352×288 크기의 영상 1 프레임을 처리하는데 걸린 시간이 약 4.66ms로 TV 동영상 데이터의 실시간 처리기준을 만족함을 알 수 있었다.

표 6. RTL 레벨 시뮬레이션 결과값
Table 6. Result of RTL level simulation.

	결과값
1/2 프레임 시뮬레이션 시간	2,332,845 ns
1/2 프레임(LL, LH) 클럭 사이클	77,761 cycle
1 프레임 시뮬레이션 시간	4,665,690 ns
1 프레임 클럭 사이클	155,522 cycle

표 7. 게이트 레벨 시뮬레이션 결과값
Table 7. Result of gate level simulation.

	결과값
포트 수	69
네트 수	739
셀 수	200
코어 게이트 수	10238
SRAM 게이트 수	3917 x 9
전체 게이트 수	45491

표 8. 설계한 웨이브렛 변환 필터의 성능표
Table 8. Performance Table of designed wavelet transform filter.

	제안한 논문	비교논문1	비교논문2
①	352 x 288	512 x 512	352 x 288
②	8 bit	8 bit	8 bit
③	16 bit	12 bit	16 bit
④	biorthogonal wavelet coefficient	Daubechies -4	Daubechies -6
⑤	0.5 μm CMOS	0.6 μm CMOS	1.2 μm CMOS
⑥	181964	191117	300000
⑦	45491	47779	75000
⑧	75	48pin dip	-
⑨	30 MHz	55 MHz	-
⑩	4.66 ms	-	13 ms

비교논문1 : Chu Yu와 Sao-Jie Chen의 논문

비교논문2 : A. Grzeszczak, M. K. Mandal,
S. Panchanathan의 논문

- ① Image size
- ② Input data Precision
- ③ Output data Precision
- ④ Filter Coefficients
- ⑤ Technology
- ⑥ Transistor Count
- ⑦ NAND gate Count
- ⑧ Pin Count
- ⑨ Clock Rate
- ⑩ 1 frame computation time(color image)

VI. 결론

본 논문에서 설계한 동영상 웨이브렛 변환 필터는 하드웨어로 설계할 때 가장 문제점이 되는 DRAM 데

이터의 수직방향 입출력 속도향상을 위해 라인 메모리를 사용하였다. 하드웨어 설계시 칩 크기의 대부분을 차지하는 메모리 영역을 최소화하는 것이 물론 중요하지만 그에 못지 않게 중요한 속도 향상을 위해 SRAM을 사용하였으며 속도와 칩 크기간의 trade-off를 고려하여 설계하였다. 그 결과 필연적으로 전체적인 칩의 크기가 늘어나게 되었지만 수직방향 웨이브렛 필터링을 라인 메모리에서 수행하기 때문에 DRAM에서는 데이터의 수평방향 입출력만이 DRAM fast-page mode로 행해질 뿐 수직방향 입출력이 필요없게 되어 결국 데이터 처리 속도 향상을 얻을 수 있었다.

본 논문에서 설계한 동영상 웨이브렛 변환 필터는 RTL 레벨 시뮬레이션 및 게이트 레벨 시뮬레이션을 통해 출력값을 검증하였으며 TV 동영상 데이터의 실시간 처리를 가능하게 하도록 설계하였다.

참고 문헌

- [1] A. Said and W. A. Pearlman, "An Image Multiresolution Representation for Lossless and Lossy Compression," *IEEE Trans. Image Proc.*, vol. 5, no. 9, pp. 1303-1310, Sept. 1996.
- [2] J. M. Shapiro, "Embedded Image Coding Using Zerotrees Wavelets Coefficients," *IEEE Trans. Signal Proc.*, vol. 41, pp. 3445-3462, Dec. 1993.
- [3] Olivier Rioul and Martin Vetterli, "Wavelets and Signal Processing," *IEEE SP. Magazine.*, pp. 14 - 37, October 1991.
- [4] I. Daubechies, "Orthonormal Bases of Compactly Supported Wavelets," *Comm Pure Appl. Math.*, vol. 41, pp. 909 - 996, 1988.
- [5] Marc Antonini and Michel Barlaud, "Image Coding Using Wavelet Transform," *IEEE Trans. Image Proc.*, vol. 1, NO. 2, April 1992.
- [6] S. Mallat, "A Theory for Multiresolution Signal Decomposition : The Wavelet Representation," *IEEE Trans. Pattern Anal. Mach. Intel.*, vol. 11, July 1989.
- [7] Chu Yu and Sao-Jie Chen, "VLSI Implementation of 2-D Discrete Wavelet Transform for Real-Time Video Signal Processing," *IEEE Trans. Consumer Electronics.*, vol. 43, no. 4.

November 1997.

- [8] A. Grzeszczak, M. K. Mandal, and S. Panchanathan, "VLSI Implementation of Discrete Wavelet Transform," *IEEE Trans. VLSI System*, vol. 4, no. 4, December 1996.
- [9] Fast Page & EDO, *256K × 16Bit CMOS Dynamic RAM with Extended Data Out*. SAMSUNG ELECTRONICS, KM416C254D, 1998.
- [10] Stanley L. Hurst, *Custom VLSI Microelectronics*.
- [11] *STD85/STDM85 0.5μm High Density CMOS Standard Cell Library*, SAMSUNG, 1998.

저 자 소 개



姜 奉 勳(準會員)

1973년 10월 22일생. 1997년 2월.: 광운대학교 전자통신학과(학사). 1999년 2월.: 광운대학교 대학원 전자통신공학과(석사). 1999년 3월~현재.: (주)디지픽스 연구소 연구원. ※ 주관심분야.: 영상처리, 하드웨어설계



李 鎬 俊(正會員)

1965년 2월 25일생. 1988년 2월.: 광운대학교 전자 통신학과(학사). 1992년 2월.: 광운대학교 대학원 전자통신공학과(석사). 1996년 3월~현재.: 한림정보산업대학 전자통신과 조교수. ※ 주관심분야.: 영상처리, ATM통신, 웨이브렛변환, ASIC 설계 등

高 亨 和(正會員) 第 36卷 B編 第 10號 參照

현재 광운대학교 전자공학부 교수